

디지털 지연동기루프 개발에 의한 전력선 전송시스템 구현

정주수*, 박재운**, 변건식***

Implementation of Power Line Transmission System using A New Digital Lock Loop

Ju-Su Jeong*, Jae-Woon Park**, Kun-Sik Byon***

요 약

확산대역통신은 CDMA 시스템에서의 핵심기술이지만 SS통신에서의 문제점은 동기 방법이다. 동기 방법에는 DLL(Delay Lock Loop), Tau-dither Loop, SO(Synchronous Osillator) 등이 있다. 그러나 아날로그 동작시에는 회로의 크기가 커지고 조정이 어려운 문제가 있어 본논문에서는 Digital Delay Lock Loop (DDLL)을 제안하고 실험을 통해 그 성능을 평가하였다.

Abstract

Spread Spectrum Communication is a core technique in CDMA system, but the problem for SS Communication schemes is synchronous method. There are DLL(Delay Lock Loop), Tau-dither Loop, SO(Synchronous Osillator) etc., in the sychronous method. But since there are analog operations, the setting is difficult and circuit size is large. In this paper we proposed Digital Delay Lock Loop (DDLL) and estimated it's performance through the experiment.

* 경남정보대학 전자정보과 조교수

** 동부산대학 정보통신과 교수

*** 동아대학교 전자공학과 교수

논문접수 : 1999. 5. 15. 심사완료 : 1999. 6. 19.

I. 서 론

스펙트럼 확산(Spread Spectrum : SS) 통신은 최근 CDMA로 잘 알려져 있는 시스템의 핵심기술이다.[1] SS통신은 방해에 강하고 선택호출 할 수 있는 등 열악한 환경 하에서의 통신에 적용할 수 있는 통신 방식 중의 하나이다. 그러나 SS 통신 방식에서 가장 문제가 되는 것은 동기이다. 스펙트럼 확산통신은 그 성질상 동기하고 있지 않으면 통신할 수 없다. 스펙트럼 확산 통신의 동기를 해결하는 방법으로 지금까지 DLL(Delay Lock Loop), Tau-dither, 동기발진기(SO)등의 방식이 있다.[1]-[7] DLL은 Tau-dither 방식에 비해 변환 손실이 3dB 우수하나 2 channel의 평형을 이루는 문제가 매우 어려우며 또한 회로 크기가 매우 크고 조정이 어렵다는 단점이 있다.[7]

Tau-dither 회로는 DLL에 비해 변환손실이 있지만 회로가 간단하고 조정이 용이한 장점이 있다. 동기발진기는 주파수 추적범위가 넓고 감도가 매우 우수하나 안정하지 못하고 입출력간의 위상차가 있다. 그러나 위의 모든 방법은 아날로그적인 동작을 하기 때문에 조정이 어렵다는 문제가 있다. 본 논문에서는 새로운 Digital Delay Lock Loop(DDLL)을 구성하여 실험 하며 응용분야로 전력선통신에[8][9][10] DDLL을 적용하였을 때의 결과를 제시하였다.

II. 본 론

1. DDLL을 이용한 송수신 시스템

전력선 사용 주파수에는 외국의 경우 제한이 있으므로 현 시스템에서도 이를 따르기로 한다. 그럼1은 DDLL을 이용한 전력선 통신 시스템을 보이며 그림2

는 시스템의 송신부를 보인다. 시스템 클럭(11.0592MHz)에서 분주된 클럭(3.6KHz)이 들어오면 하강 에지에서 카운터의 값들이 하나씩 증가하게 되어 ROM으로부터 63개의 골드부호를 루프로 구성하여 연속 출력된다. 시스템의 입출력 어드레스 6800h에서 63개 중의 하나를 선택해서 사용할 수 있도록 래치회로를 두었다. 어드레스가 선택되면 선택된 63개 중 하나의 63주기의 PN부호가 출력된다. 또한 ROM에서 출력되는 값들은 완전히 동기된 PN부호를 만들지 못하므로 동기부에서 시스템 클럭의 상승에지에서 동기를 맞추어 PN부호를 출력하도록 구성했다.

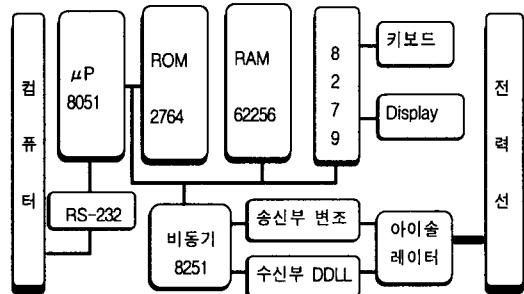


그림 1. DDLL을 이용한 전력선 통신 시스템의 구성도
Fig 1. Block Diagram of Power line system using DDLL

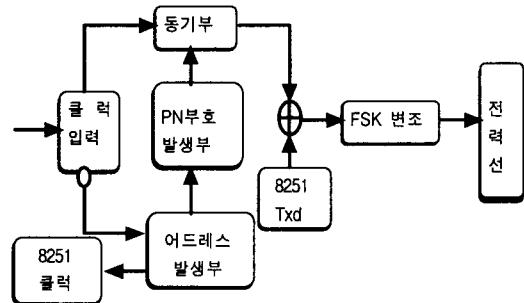
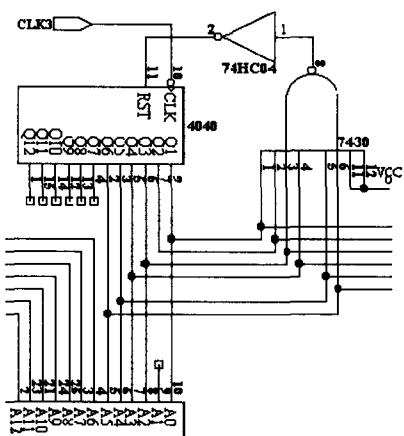


그림 2. 전력선을 이용한 송신부 구성도
Fig 2. Transmission part using power line

그리고 어드레스 발생부로부터 63주기마다 출력되는 펄스를 이용하여 8251의 보우레이트 클럭으로 공급하도록 하였다. 이것은 출력되는 한 비트당 63주기의 PN부호가 한 주기 삽입된 것과 같다. 직렬 데이터 비트열과 PN부호는 XOR(Exclusive-OR)연산되어 FSK변조되어 전력선으로 출력된다. (FSK 변조는 LM1893을 이용하였다.)

2. 송신부

PN부호는 레지스터의 초기값에 따라서 서로 다른 값들이 출력되므로 레지스터에 1 - 63의 값을 초기값으로 하는 63주기 부호를 프로그램을 통하여 만들어 앞으로의 각종 채널 실험을 위해 ROM 구성하였다. 본 논문에서는 DDLL의 성능평가만을 위해 한개의 PN부호를 사용했다. 따라서 프로세서로부터 PN부호를 선택하기 위해서 시스템 디코드 회로를 통하여 ROM의 상위 어드레스 A6-A12에 값을 써주어야 한다. ROM을 사용한 연속 PN부호 발생회로도는 그림3과 같다.



M : 63 (PN부호 주기)
그림 3. 송신 PN부호 선택 및 발생 회로
Fig 3. PN code output circuit

분주클럭 CLK3(3.6KHz)은 4040에 입력되어 하강 에지에서 카운터 동작이 시작된다. 4040의 Q1 - Q6출력은 ROM의 어드레스 A0-A5에 접속되고 증가 할때마다 ROM의 D0로부터 PN부호가 출력된다. 또한 4040의 출력은 NAND 게이트를 통해서 반전된 값에 의해 리셋되어 63주기 부호가 연속으로 출력된다. 또한 이 출력은 63주기마다 하나의 펄스가 발생되도록 사용된다. 발생된 63 펄스는 8251의 송수신 클럭으로 사용한다. 8251의 TXD로 부터 하나의 데이터 값이 들어오면 63주기의 PN부호와 XOR(8251의 하나의 데이터 속에 PN부호가 63개 들어있는 결과) 연산 후 FSK 변조를 통해서 전력선에 전달된다.

3. 수신부

기존의 PN역학산 회로는 서로 장단점이 존재하지만 모두 아나로그 회로이고 조정개수가 많아 접근하기 어렵기 때문에 본 논문에서는 디지털 DLL을 설계 실현한다. 이 복조부는 코히어런트 방식에만 사용된다.

3.1 DDLL(Digital Delay Lock Loop)

그림4는 본 논문에서 제시한 DDLL의 구성도를 나타낸다. LM1893에 의해 복조된 PN부호와 데이터는 시스템 분주 클럭(921.6KHz)과 함께 새로운 동기 클럭(SYN.CLOCK)을 만든다.

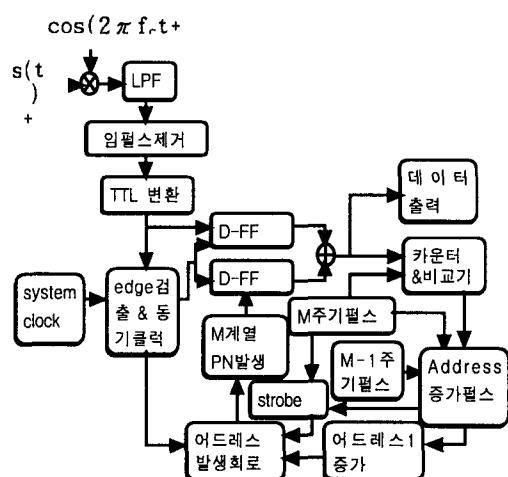


그림 4. DDLL의 구성도
Fig 4. DDLL Block Diagram

동기된 클럭은 역학산을 위한 내부 PN부호를 발생시키며, LM1893으로부터 신호(PN부호+데이터)와 내부 PN부호의 XOR 연산으로 PN부호 비교(역학산)를 시작한다. 매번 63주기 펄스 신호에 의해 리셋 된 후 카운터 값을 계수하여 비교한다. 63 주기 동안 누적된 계수값이 카운터의 비교값(본 시스템의 비교값은 3이다.)보다 이하이거나 초과인 경우에 어드레스 증가 펄스 회로는 틀리게 동작한다. 비교값 이하인 경우는 PN부호가 서로 완전히 상관된 상태이므로 어드레스 증가 펄스를 만들지 않지만, 초과한 경우는 PN부호가 서로 틀린 경우이므로 카운터의 계수값은 비교값보다 높다.

만약 어드레스 증가 펄스가 발생하면 어드레스 로딩 용 어드레스는 하나 증가하게 되고 63주기 리셋 STROBE 신호에 의해서 새로운 어드레스를 로딩 한다. 이러한 루프를 반복한 후 서로 상관된 PN부호 비교값이 카운터의 비교값 안에 들어오면 LOCK이 된 것으로 간주한다. LOCK이 된 경우(Lock pin은 "LOW"가 됨. 그림6) 새로운 PN부호 위치를 위한 어드레스 로딩이 없으므로 현재 부호를 계속 발생하게 된다. PN부호의 상관을 통해서 최대의 LOCK 검출시간은 식(1)에 의해서 구할 수 있다. 본 시스템에서는 PN부호가 63주기이고, PN부호의 한 칩시간은 1/3600이므로 최대 LOCK 검출시간은 1.1025초가 된다. PN부호의 한 칩당의 속도가 빠를수록 최대 LOCK의 시간은 좁혀지게 될 것이다.

$$\text{최대 LOCK 검출시간} = \\ (\text{PN부호 M주기})^2 * \text{PN부호 한 칩당 시간} \quad (1)$$

이상과 같이 DDLL은 M주기 동안 계속 누적 후 M-1 주기 펄스에 의해서 상관된 값들이 경계값 이하인지 이상인지를 판단해서 LOCK을 검출하는 방식이다.

3.2 세부 회로 동작

3.2.1 클럭 발생회로 및 동기용 에지 검출회로
역학 과정에서 중요한 과정은 동기를 맞추는 것이다. DLL에서는 루프를 통해서 계속적인 상관값을 통해서 동기를 찾아가지만, 본 회로에서는 입력되는 TTL 신호의 상승 또는 하강 에지 검출을 통해서 새로운 동기신호가 그림 5와 같이 만들어진다.

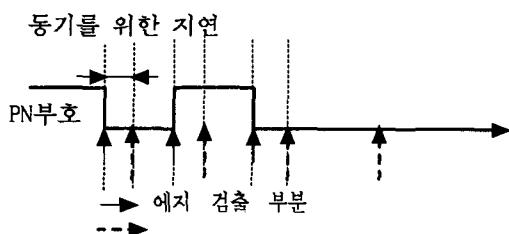


그림 5. 에지 검출을 통한 동기 클럭발생

Fig. 5. The chart of edge detection

새로운 동기 클럭이 만들어지면 이 클럭을 이용하여 ROM으로부터 발생되는 PN부호와 입력되는 신호(PN부호+데이터)는 D플립플롭을 통과한 후 XOR 연산을 한다. 이 연산 출력은 비교회로 또는 8251의 RXD로 각각 출력된다.

3.2.2 수신 PN부호 발생부

본 논문의 PN부호는 시프트 레지스터의 초기값에 0이 아닌 값을 넣어서 63개의 PN부호를 만들어 이를 ROM에 입력하여 어드레스 선택하도록 되어 있다. ROM의 데이터는 ROM의 D0핀으로 출력되며 동기를 위해 D플립플롭을 사용했다. 그림6은 PN부호 발생회로이다.

74193의 왼쪽 6개 라인은 어드레스의 출력으로 어드레스 A0-A5까지 연결되어져 있어서 룸의 어드레스 선택으로 카운터 동작을 하게된다.

또한 7430은 NAND 게이터로써 6개의 어드레스 선택의 값들이 모두 '1'(HIGH)이 된 경우 LOW값이 출력되어 74193의 값을 '0'으로 리셋되어 63주기를 만든다.

LOAD핀은 63주기 펄스신호와 비교기의 결과 값에 의해서 어드레스 증가 회로로부터 입력될 값을 받아들일 때 사용하는 입력단자이며, 'LOCK CHECK'의 상태가 'LOW'일 때 LOCK이 된 상태이다.

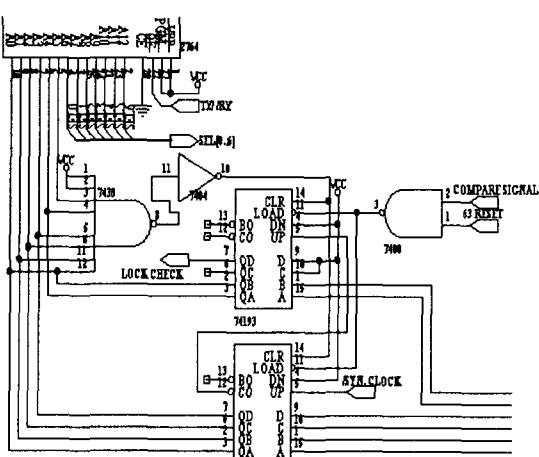


그림 6. PN부호 발생 및 어드레스 로딩회로
Fig. 6. PN code generator

3.2.3 62,63 주기 회로

62,63주기 펄스 발생회로는 카운터 초기화, PN부호 비교, 어드레스 증가 펄스 발생, 새로운 어드레스 로딩 등에 사용하기 위한 제어 펄스로 사용한다. 클럭은 동기 클럭을 반전한 신호로 사용한다.(그림7).

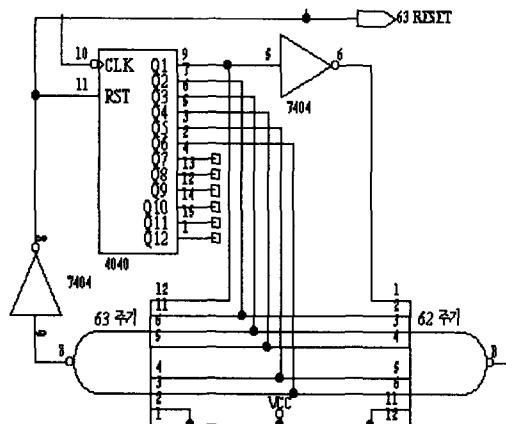


그림 7. 62,63주기 펄스 발생회로
Fig. 7. 62, 63 Period generator

3.2.4 비교회로

그림8은 XOR연산 계수를 비교기하는 회로이다. 63주기 동안의 카운터(4040) 계수를 비교하기 위해 최대 6비트 비교기기 때문에 2단 비교기를 구성했다. 비교 출력은 다음 단의 62주기 펄스 신호로 판정된다(그림9).

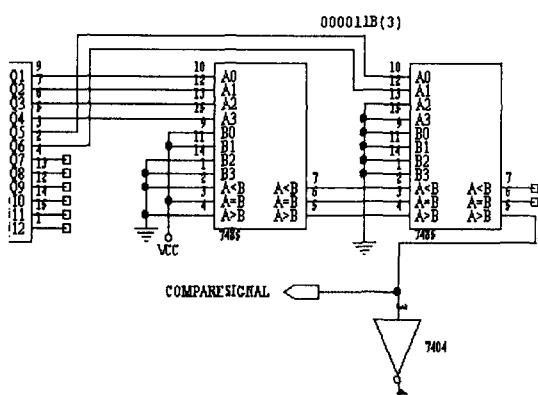


그림 8. PN부호 비교회로
Fig. 8. Comparator by the counter

3.2.5 어드레스 증가 회로

62주기 펄스에 의해서 판정된 값은 7474 D-FF의

Q단에 출력이 되며 63주기 펄스 신호에 의해서 다시 프리셋된다. 만약 Q의 최종 판정 출력이 LOW이면 하나의 펄스가 발생하게 되는데 이것이 바로 어드레스 증가 펄스이다. 어드레스 증가 펄스에 의해서 어드레스 로딩용 어드레스는 1증가한 새로운 어드레스를 만든다. 63개의 부호를 계속 출력하기 위해서는 62번째 다음 PN부호 위치를 0으로 리셋되도록 해주어야 한다.

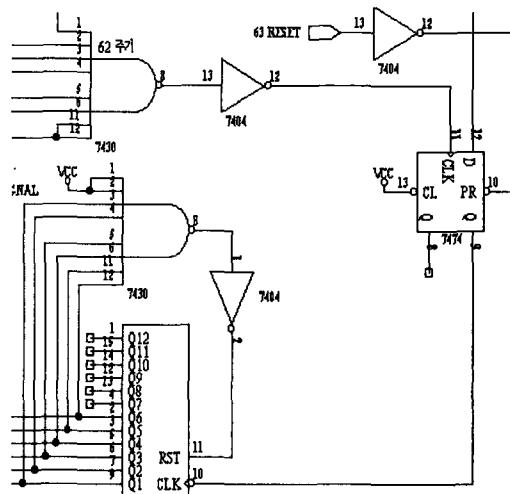


그림 9. 어드레스 증가회로
Fig. 9. Increment circuit of address

3.2.6 DDLL 복조 출력

어느 한 시점에서 LOCK(active LOW)이 되면, 최종 출력(XOR의 연산 출력)은 LOCK CHECK와 송수신 선택의 3-STATE 조합을 구성하여 8251의 RxData단으로 보내지게 된다.

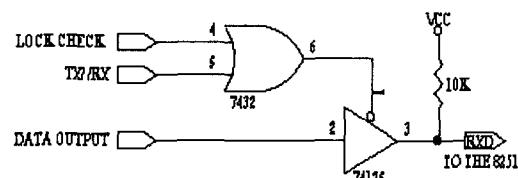


그림 10. 데이터 복조 출력
Fig. 10. Detection output of DDLL

3.2.7 DDLL 타이밍 챕트

DDLL복조회로에서 각 부분에 대한 타이밍 챕트를 아래와 같이 나타내었다.

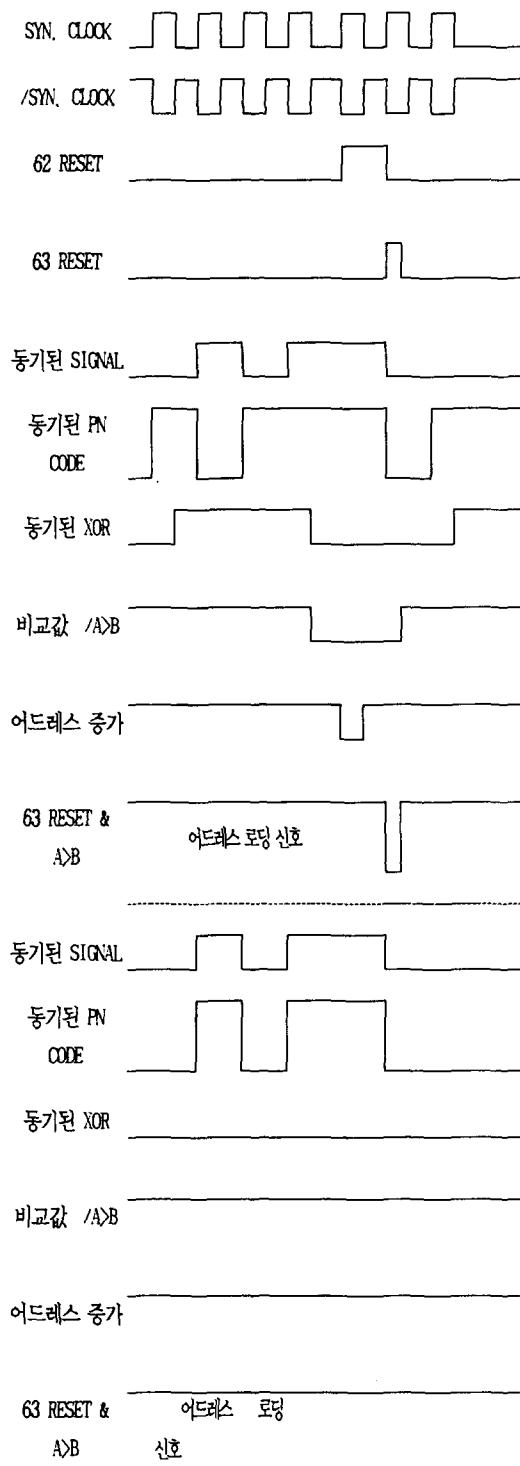


그림 11. LOCK이 안 되었을 때(위)와
되었을 때(아래)의 타임 차트
Fig 11. Timing chart for Unlock and Lock

4. 실험 및 검토

본 논문에서는 제안한 디지털 DLL의 성능을 평가하기 위하여 디지털 DLL를 이용한 전력선 통신시스템을 구성하였다. 시스템은 polling방식으로 구성하였으며 단말은 마스터에서 어드레스를 할당할때만 송신을 하게 된다. 송수신시 프로토콜은 그림12와 같다.



그림 12. 마스터(위), 슬레이브(아래) 프로토콜
Fig 12. The protocol between master and slave

그림13은 무부하 110V에서 송수신간 80M떨어진 수신측의 FSK된 입력파형과 복조된 TTL 레벨의 송신 PN부호를 보인다. 그림14는 그림13 아래 그림의 스펙트럼이다. 그림15는 무부하시 240M지점에서의 스펙트럼을 보인다. 그림16은 240M의 송수신점 사이에 1KW의 부하 구성도이며 그림17은 이때의 수신측 스펙트럼이다. 이때 스펙트럼 밀도가 저하함을 알 수 있다. 위의 3가지 모두 완전히 복조할 수 있었다.

실험 결과 현재의 속도로 1KW정도의 부하가 송수신기 사이에 있을 때 원활한 통신이 되며, 송수신점 밖에서의 부하에 의한 변화는 거의 없었다.

상기와 같이 제한한 디지털 DLL은 디지털 논리적으로 동작이 수행되므로 다른 PN동기 회로 보다 동작이 우수하고 제작이 간편하다는 장점이 있다.

III. 결론

본 논문에서는 제안한 디지털 DLL은 기존의 PN동기회로인 DLL, Tau-dither, 동기발진기등에비해동작이 확실하며 논리회로에 의해 디지털적으로 처리하기 때문에 조정이 쉽고 성능이 뛰어남을 알 수 있다. 그러나 이 회로는 코히어런트 방식에만 적용할 수 있으며 무선 통신에 적용 했을 경우 잡음 처리나 파형 성

형 기술이 뒤 따라야 할 것으로 사료되며, 또한 현재 PNG 클럭 속도가 3.6Kbps인 것을 좀 더 증가시킬 수 있도록 회로구성을 개선해야 할 것이다. 본 회로를 전력선 통신에 적용했을 경우 응용 분야로는 선박내 on-off제어, 가정내 on-off제어, 주차장 차고 관리, 경보기제어학교내 인력의 행선지 관리등에 적용 할 수 있는 것으로 사료된다.

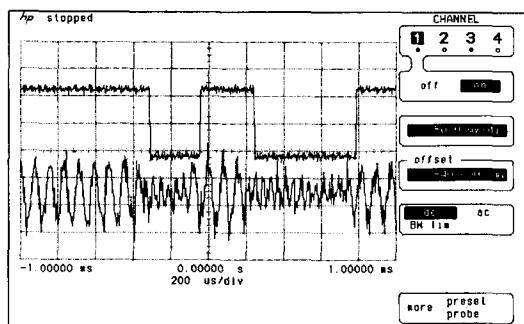


그림 13. 80M에서의 수신측 파형(무부하)
Fig 13. Received waveform without load (80M)

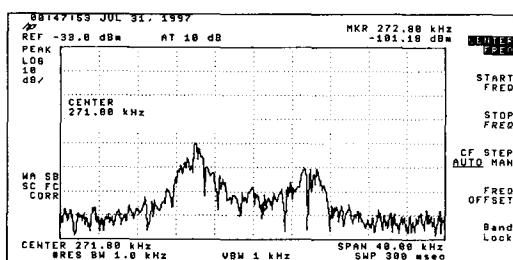


그림 14. 80M에서의 수신측 스펙트럼(무부하)
Fig 14. Received spectrum without load (80M)

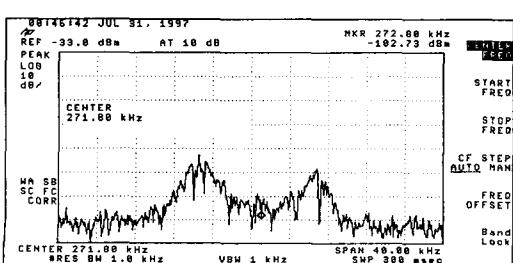


그림 15. 240M에서의 수신측 스펙트럼(무부하)
Fig 15. Received spectrum without load (240M)

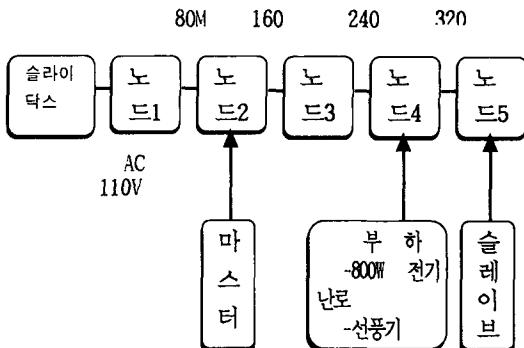


그림 16. 240M 송수신 사이의 부하 구성
Fig 16. Block Diagram between master and slave

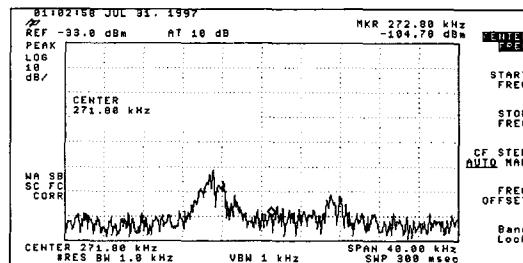


그림 17. 수신측 스펙트럼 파형(약1KW의 부하, 240M)
Fig 17. Received spectrum (240M)
(about load of 1KW)

참고문헌

- [1] R.Dixon, "Spread Spectrum systems", New-York wiley 2nd Ed, pp.186-234, 1984.
- [2] 한홍석, 김재민, 김홍필, 이형찬, 정기철, "8051 마이크로 프로세서", 복斗출판사, PP.1-50, 1997.
- [3] Andre' Kesteloot, "Practical Spread Spectrum Clock Recovery with the Synchronous Oscillator", spread spectrum Theory and Projects, pp.55-57, June, 1989

- [4] Vasil Uzunoglu, "The synchronous oscillator", Electronic Engineering, May, 1993.
- [5] Marvin Tam et.al, "Theoretical Analysis of a Coherent Phase Synchronous Oscillator", IEEE Trans. on circuit and system, Vol.39,No.1, January, 1992.
- [6] 이동욱, 변건식, 김명기, "스펙트럼 확산통신방식을 이용한 타국간 간섭제거 비동기 부호 분할 LAN구성", 한국통신학회 논문지, Vol.14, No.6, 1989.
- [7] 홍성일, 이정호, 변건식, 정만영, "RF 수신 기를 내장한 GPS안테나 시스템의 설계 및 제작", 전자공 학회지논문, 제33권, A 편, 제6호, June, 1996.
- [8] Mitchell Lee, "A New carrier current transceiver IC", IEEE Transactions on consumer electronics, part1, Vol.CE-28, Number3,August, 1982.
- [9] Dennis M. Monticelli and Michael B.wright, "A carrier current transceiver IC for Data Transmission over the AC power Lines", IEEE Transaction on consumer electronics, May, 1982.
- [10] National Semiconductor, "LM1839/LM 2893 Carrier -Current Transceiver", 1995.

저자 소개

정주수

1997 동아대학교 전자공학과 공학
박사
현재 경남정보대학 전자정보과 조
교수

박재운

1994 동아대학교 전자공학과 공학
박사
현재 동부산대학 정보통신과 교수,
한국OA학회 수석부회장

변건식

현재 동아대학교 전자공학과 교수