

이중 간접 주파수 합성기를 이용한 FH/SS 적용에 관한 연구

정 명 덕*, 박 재 홍**, 김 영민***

On the Application FH/SS Using Double Indirect Frequency Synthesizer

Myeong-Deok Jeong*, Jae-Hong Park**, Young-Min Kim***

요 약

본 논문은 주파수도약 확산스펙트럼 통신에 적용하기 위한 이중루프 간접 주파수 합성기에 대하여 연구하였다. 간접주파수합성 방법에서 PLL을 이용한 주파수합성기의 문제점으로는 주파수 변화에 따르는 댐핑 계수의 값 변화로 인하여 불안정한 주파수 발생 요인이 되고 있다. 따라서 안정한 주파수합성 출력을 위해서는 댐핑 계수를 최적화하고 과도응답 시간이 없는 시점에서 출력되어야 한다. 본 연구에서는 안정된 주파수를 얻기 위하여 이중루프 주파수합성기를 이용하여 FH/SS 통신을 위하여 적용하였다. 실험 결과를 통하여 주파수 도약을 위한 실시간 속도가 증가하였고, 안정된 주파수를 얻을 수 있었다.

Abstract

For FH/SS communication, We discussed the method of indirect frequency synthesizer in several methods. The problem of single frequency synthesizer using with PLL is a varied coefficient value of damping factor in frequency hopping time, which is caused unstable frequency. So, for stable frequency synthesizer, a coefficient of damping factor must be optimized and synthesized to be removed excessive response time. In this paper, we studied FH using with double loop frequency synthesizer which takes stable frequency. We made up a simulator and had a good performance(real time speed).

* 부산정보대학 정보통신계열 조교수

** 부산정보대학 정보통신계열 시간강사

*** 대구기능대학 전자계산기과 전임강사

I. 서론

스펙트럼 확산 (spread spectrum) 통신방식들은 협대역의 송신 정보를 광대역에 걸쳐 균등히 그 스펙트럼을 확산 전송하는 방식으로서^{6,7)} 협대역의 잡음이 혼입해도 수신측에서 상관을 취하는 것에 의해 S/N비가 개선되는 잇점이 있는 통신이다^{6,7,8)}. 이와 같은 SS 통신방식을 위해서는 스펙트럼의 광대역화, 특수 부호의 사용, 상관 신호를 특징으로 한다. 이 방식에는 직접확산 (direct sequence) 방식, 주파수도약(ferquency hopping) 방식, 시간도약 (time hopping) 방식과 이들을 혼합한 방식이 있다.

본 논문에서 언급할 FH 방식의 기원은 DS 방식과 마찬가지로 오래 되었으나, 실제로 제작한 장치는 그리 많지 않은 편이다. 그 이유는 고속으로 주파수를 전환하는 주파수 합성기의 실현이 어려웠기 때문이며, 또 소형화나 주파수 합성법 등에도 여러가지 곤란한 문제가 있었기 때문이다. 따라서 본 논문에서는 주파수 합성기법중에서도 이중 루프 주파수 합성기법을 이용하여, 주파수 호핑 속도를 배가 시키고, 안정된 FH실현을 위한 간접 주파수 합성기법을 논하고자 한다.

II. FH 스펙트럼 확산 통신

FH를 이용한 스펙트럼 확산 송, 수신기의 일반적인 구성도 및 전송과형은 그림 1에 보였다.¹⁾ 주파수 호핑 스펙트럼 확산 방식에서의 처리 이득은 식(1)과 같다.

$$PG = \frac{BW_{RF}}{R_{info}} = TW = \text{주파수선택수} \quad (1) \text{식}$$

(1)에서 R_{info} 는 정보율이며 BW_{RF} 는 클럭속도이다. 주파수 호핑은 의사 부호 발생기의 분주비를 N 으로 하여 주파수 합성기의 출력에는 $N \cdot F_R$ 의 주파수가 발생한다^{2,4,6)}. 이때 N 을 가변하므로서 $N-1$ 사이의 도약주파수가 출력된다.

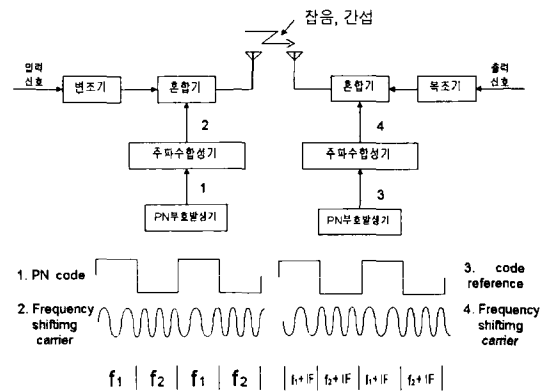


그림 1. FH 통신방식의블록다이그림
Fig. 1. Basic frequency hopping system with waveforms.

1. PN 부호 발생기

PN(pseudo-noise)부호는 인위적으로 발생시킬 수 있는 주기를 가진 2진 부호로 잡음과 유사한 특징을 가지고 있다. SS통신에 방해파를 신호와 구별하여 수신하기 위해서는 자기 상관치가 크며 동시에 상호상관치가 작고, 계열의 종류수가 많아야 하는 등 사용목적에 따라 PNG를 발생시 켜야 한다.

그림 2는 기본적 PN M계열 발생기의 구성도를 보인것으로, 본 논문에서는 M계열 부호 발생을 위해 4단 시프트레지스터를 사용하여 최장 부호 접속(4, 1)을 사용하였다^{6,7,8)}.

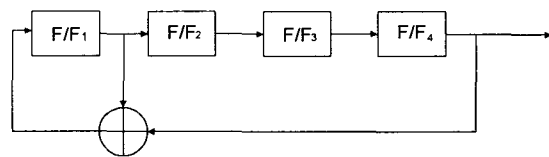


그림 2. 선형 시프트레지스터 계열 발생기
Fig. 2. Linear shift-register sequence generator.

PN 부호의 자기 상관 함수는 식(2)와 같다.

$$R_{cc}(n) = \frac{1}{n} \sum_{k=0}^{n-1} (-1)^{C_k} (-1)^{C_{k+n}} \dots\dots\dots (2)$$

$$= 1 - \frac{2}{n} \sum_{k=0}^{n-1} C_k \oplus C_{k+n} \dots\dots\dots (2)$$

가 되고, 같은 형태의 상호상관 함수 $R_{cb}(n)$ 는 식(3)과 같다. 여기서 \oplus 는 EX-OR이다.

$$R_{cb}(n) = 1 - \frac{2}{n} \sum_{k=0}^{n-1} C_k \oplus C_{k+1} \dots\dots\dots (3)$$

따라서 식(2)에서 정의된 주기 N의 자기 상관 함수 $R_{CC}(n)$

$$R_{CC}(n) = 1 \quad (n = 0 \text{ mod } N)$$

$$-1/N \quad (\text{그외 } n) \dots\dots\dots (4)$$

식(4)가 된다. 여기서 $n=0 \text{ mod } N$ 은 n 을 N 으로 나눈 나머지가 0이 된것을 나타내고, n 이 주기 N의 배수일때를 의미한다. 자기상관함수가 2 레벨의 값만을 취한다는것은 계열의 무상관성을 의미하고 0과 1의 빈도 발란스는 부호의 랜덤성을 나타낸다. 이와같이 PN 부호 발생기는 백색 잡음과 같은 성질을 가지고 있어 SS통신에서 확산부호로 사용될 수 있다.

2. PLL 기본 구성

PLL은 위상검출기(PD), 로우패스 필터(LPF), 전압제어 발진기(VCO) 구성되어 있다. 입력신호(ϕ_i) VCO의 출력(ϕ_o) 과의 사이의 위상차 $\Delta(|\phi_i - \phi_o|)$ 에 PD의 출력전압(V_d)을 이 위상차에 비례하므로

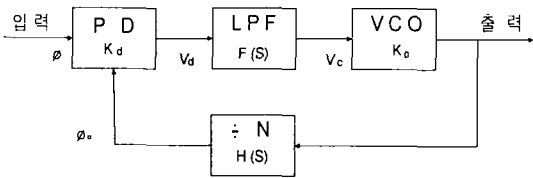


그림 3. PLL의 블록다이그림
Fig. 3. Block diagram of phase loop.

그림 3에서 저역 통과 필터에 인가되는 전압 $V_d = K_d \Delta\phi \dots\dots\dots (5)$

$$\Delta\phi : |\phi_i - \phi_o|$$

K_d : 위상검출기 이득

K_o : 전압제어발진기 이득

가 된다. 여기서 K_d 는 위상 검출기의 변환이득이며 단위는 V/rad이다.

다음에 위상검출기의 출력은 로우패스 필터에 의해서 여파되며 루프필터는 두가지 기능을 갖고 있다. 첫째는 위상검출기의 출력전압에서 고주파 성분과 잡음을 제거하여 평균 직류 전압을 공급하는 것이고, 둘째는 루프의 동특성을 결정한다. 이러한 루프필터는 수동 또는 능동회로의 어느 것이나 상관없다. 먼저 로우패스 필터의 전달함수를 $F(s)$ 로 하면, 로우패스 필터의 출력은 일반적으로

$$V_c(s) = V_d F(s) \dots\dots\dots (6)$$

가 된다.

다음에 필터의 출력 전압은 VCO의 출력 주파수를 제어한다. 이 전압에 따라서 VCO의출력 주파수는 그 중심값(ω_o)에서 편이량 ($\Delta\omega$)만큼 이동하므로

$$\Delta\omega(s) = K_d V_c(s) \dots\dots\dots (7)$$

가 된다. 여기서, 정수 K_o 는 VCO의 변환이득이며 단위는 rad/v이다.

주파수는 위상의 시간변화이므로

$$\omega = \frac{d\phi}{dt} \dots\dots\dots (8)$$

이다. 따라서 식(8)은 식(9)와 같다.

$$\frac{d\phi}{dt} = K_o V_c(s) \dots\dots\dots (9)$$

식(9)를 라플라스 변환하면

$$L\left(\frac{d\phi(t)}{dt}\right) = S\phi_o(s) = K_o V_c(s) \dots\dots\dots (10)$$

$$\phi_o(s) = \frac{K_o V_c(s)}{S} = \frac{K_d K_o V_c(s)}{S} \dots\dots\dots (11)$$

따라서 PLL 개회로 루프의 전달함수로 표시하면

$$G(s) = \frac{K_d K_o F(s)}{S} \dots\dots\dots (12)$$

식(12)이 되고, 식(5) 및 식(10)에서 케환이 있는 폐회로 전달함수 $\phi_o(s)/\phi_i(s)$ 의 비를 풀면

$$H_{FS}(s) = \frac{\phi_o(s)}{\phi_i(s)} = \frac{G(s)}{1 + G(s)H(s)} \dots\dots\dots (13)$$

맞는다. 따라서 PLL 폐회로 전달 함수는 식

(12)을 식(13)에 대입하면 다음과 같다.

$$H_f(s) = \frac{K_d K_0 F(s) / S}{H(K_d K_0 F(s) / S) N}$$

$$= \frac{K_d K_0 S F(s)}{S + (K_d K_0 / N) F(s)} \dots\dots\dots (14)$$

식(14)에서 $K = \frac{K_d K_0}{S + K F(s)}$ 라 두면

$$H_f(s) = N \left[\frac{K F(s)}{S + K F(s)} \right] = N \left[\frac{K}{S/F(s) + K} \right]$$

..... (15)

이 식에서 적절한 K에 대해 루프 필터 F(s)가 PLL 동작특성에 매우 큰 영향을 주고 있음을 알 수 있다.

3. 주파수 합성기

주파수 합성기는 하나의 기준 주파수나 몇개의 기준주파수와 불리우는 주파수로 부터 원하는 출력 주파수를 발생시킨다. 주파수 합성기는 직접 주파수 합성기와 간접 주파수 합성기로 분리되며, 여기서는 PLL을 사용한 간접 주파수 발생장치를 이용하였다.

PLL을 사용하는 간접 주파수 합성기의 블록도는 그림 3과 같다.

주파수 도약장치에서는 주파수 분주기의 N값의 PN 부호 발생기의 시프트 레지스터의 상태를 직접 병렬로 연결하면 병렬로 입력된 2진수에 해당하는 값으로 분주기의 입력 주파수를 분주한다.

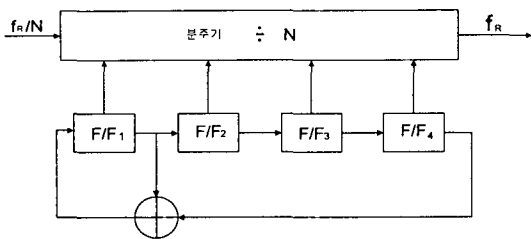


그림 4. PN부호에 의한 주파수 분주기
Fig. 4. Frequency divider by PN code.

n 단의 시프트 레지스터를 사용한 PN부호 발생기는 1에서 2^n-1 에 해당하는 이진수가 시프트 레지스터에 나타나므로 PLL간접 주파수 합성기

에는 기준 주파수가 f_R 일 때 출력 주파수는 f_R 에서부터 $(2^n-1)f_R$ 의 주파수가 나타난다. 그러나 일반적으로 원하는 출력주파수가 Mf_R 주파수에서 최고 $[M+(2^{n-1})]f_R$ 일 때에는 PN부호 발생기의 상태를 가산기를 사용하여 (M-1)로 더하면 PLL의 출력주파수는 주파수 간격을 f_R 로한 최저 Mf_R 주파수에서 최고 $[M+(2^{n-1})]f_R$ 의 주파수가 출력에 나타난다. 간접 주파수 합성 방법은 기구가 소형이며 소비전력이 작은 장점이 있으나 하나의 주파수에서 다음 주파수로 도약할 때 다음 주파수가 안정될 때까지의 천이 시간이 길며 출력주파수의 간격이 좁을 때는 기준주파수를 줄여야 하므로 PLL 회로내 저역여파기의 차단주파수를 적게 설계하므로써 하나의 주파수에서 다른 주파수로 도약할 때 다음 주파수로 빨리 안정될 필요가 있다. 실제로는 주파수 합성기내 루프 필터로 인하여 전압 제어 발진기에 입력되는 직류신호는 일정 시간이 경과한 다음 안정되므로 전압 제어 발진기의 출력에 안정된 주파수를 얻기까지는 어느정도 시간이 걸린다.

이와 같이 주파수 스위칭시간을 줄이는 방법으로 몇개의 방법이 강구되어 있다. 여기서 논하고자하는 이중 루프 PLL을 사용한 주파수 합성기는 그림 5와 같다.^{6,7)}

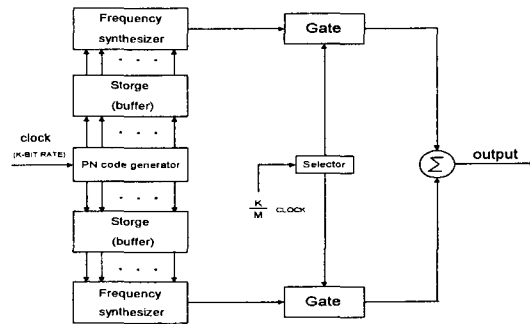


그림 5. 이중루프 간접 주파수 합성기
Fig. 5. Double loop indirect frequency synthesizer.

상단 주파수 합성기와 하단 주파수 합성기의 출력주파수를 각기 $f(PLL-1)$, $f(PLL-2)$ 라 하면 합성된 출력주파수 $f(PLL-1)$ 와 $f(PLL-2)$ 의 전압 제어 발진기의 출력 신호는 다음과 같다.

주파수 합성기(I)에서 발생된 주파수는

(t_0-t_2), (t_2-t_4), (t_4-t_6)...시간 사이에 있으며 주파수 합성기(II)에서 발생된 주파수는 (t_1-t_3), (t_3-t_5),(t_5-t_7) ... 사이에 발생하여, 주파수 합성기(II)에서 합성된 주파수는 주파수 합성기(I)에서 합성된 주파수보다 1클럭 차이가 난다. 여기서 주파수 합성기(I)의 출력주파수는 시간적으로 (t_0-t_1), (t_2-t_3), (t_4-t_5)의 앞부분에 주파수 천이 발생하고 마찬가지로 주파수 합성기(II)에서도 (t_1-t_2),(t_3-t_4),(t_5-t_6) 앞부분에 주파수 천이 기간이 생겨, 이를 피하고 주파수 합성기(I)에서 (t_1-t_2) 사이만 추출하고, 주파수 합성기(II)에서 (t_2-t_3) 사이를 이용하여 주파수 합성기(I)와 주파수 합성기(II)를 교대로 스위치를 사용하여 안정된 주파수 부분만 꺼내면 천이기간이 없는 안정된 도약 주파수를 꺼낼 수 있다. 이 개념을 사용하면 다중 루프를 사용한 주파수 합성기를 사용할 수 있으며 M개의 루프의 주파수 합성기를 사용하면 주파수 도약을 M배로 높일 수 있으나 회로가 복잡해진다는 단점이 있다. 본 논문에서는 이중 루프 주파수 합성기를 사용하여 주파수 호평 실험을 하였다.

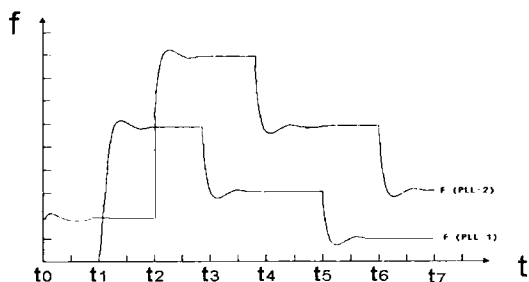


그림 6. 주파수 합성기의 출력주파수
Fig. 6. Frequency output of the 2 frequency synthesizer.

대부분의 PLL 루프필터는 1차 저역 필터로서 Integrator Lead filter도 있지만, 여기서는 간단한 Leg Lead Filter를 사용하였다.

4. Lag Lead Filter

Lag Lead Filter를 이용한 루프필터의 전달함수는 다음과 같다.

$$F(s) = \frac{1 + S\tau_2}{1 + S(\tau_1 + \tau_2)} \dots\dots\dots (16)$$

단 $\tau_1 = R_1 C$, $\tau_2 = R_2 C$

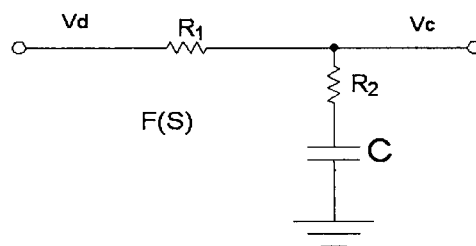


그림 7. 1차저역 래그리드 LPF
Fig. 7. Lag lead filter.

식(14)에 대하여 식(16)을 대입한 PLL의 전달 함수는 식(17)과 같다.

$$H(s) = \frac{K_d K_0 (1 + S\tau_2)}{S^2 N\tau_1 + S^2 N\tau_2 K_d K_0 (1 + S\tau_2)}$$

$$= \frac{K_d K_0 (1 + S\tau_2) / N(\tau_1 + \tau_2)}{S^2 + \frac{(1 + K_d K_0)S}{N(\tau_1 + \tau_2)} + \frac{K}{N(\tau_1 + \tau_2)}} \dots\dots\dots (17)$$

식(17)에서

$$\omega_n = \left[\frac{K_d K_0}{N(\tau_1 + \tau_2)} \right]^{\frac{1}{2}}$$

$$= \left[\frac{K}{\tau_1 + \tau_2} \right]^{\frac{1}{2}} \quad [rad/sec]$$

단, $K = \frac{K_d K_0}{N}$

$$2\zeta = \left[\frac{K}{\tau_1 + \tau_2} \right]^{\frac{1}{2}} \left[\tau_2 + \left(\frac{1}{K_d K_0} \right) \right] \dots\dots\dots (18)$$

$$= \frac{1}{\tau_1 + \tau_2} (1 + \tau_2 K)$$

를 대입하면

$$H(s) = \frac{N \omega_n^2 [1 + S(2\zeta/\omega_n - 1/K)]}{S^2 + 2\zeta \omega_n S + \omega_n^2} \dots\dots\dots (19)$$

로 쓸 수 있고, $1/K_d K_0 \ll \tau_2$ 이라면 일반적으로 PLL에 적용되는 Lag Filter의 위상전달함수는 거의 유사함을 알 수 있다. 따라서 결과식에서

살펴보면 N은 의사 잠음부호(PNG)에 의해 발생되는 분주와 ξ 값에 크게 의존하고 있음을 알 수 있고, 주파수 합성하에 있어서 1비트 클럭마다 N의 값은 달라지게 되므로 하나의 주파수(f_1)에서 다른 주파수(f_2)의 값으로 바꾸는 식으로 약 제동된 2차 지연 시스템의 입력에 급격한 변화를 주면 VCO의 출력은 이 변화에 추종하려고 잠시동안 f_2 의 값 근처에서 진동하고 새로운 주파수(f_2)로 안정된다. 이 과정을 그림(8)에 보였다.

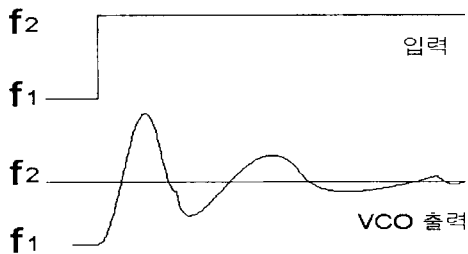


그림 8. 과도응답
Fig. 8. Excessive response

이 과정이 얼마나 빨리 완료하는가를 루우프의 감쇄정수(ξ)에 의존하고 댐핑벡터는 루우프 필터에 의해서 제어된다.

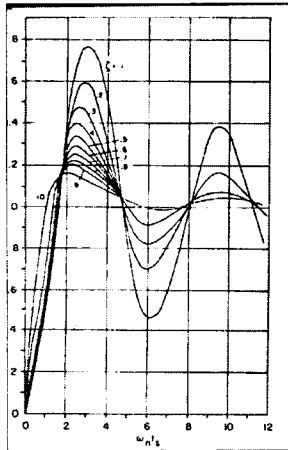


그림 9. 정규화된 과도응답
Fig. 9. Normal Type excessive response.

그림.9의 그래프에 보인 바와 같이 댐핑 벡터를 작게하면 정상상태로까지의 긴 시간을 요한다. ξ 와 ω_n 의 값을 합리적으로 선정하기 위한 한가지 방법으로는 주어진 세틀링 타임의 범위에 들어오도록 오우버슈우트의 값을 정하는 일로서 일반적으로는 댐핑벡터는 0.5 ~ 0.8 사이로 정한다. 따라서 PLL을 이용한 세틀링 타임 동안의 불안정한 주파수를 억제하여 안정된 주파수 합성기의 타당성을 입증하고자 한다.

Ⅲ. 주파수 합성기의 적용

간접 주파수 합성기인 이중 루프 PLL을 사용하여 스위칭 시간을 감소시키고 안정된 도약 주파수를 시키는 방법을 설명한다. 본 논문의 실험 회로도의 개요도는 그림 10와 같다.

2개의 주파수 합성기와 선택스위치 그리고 하나의 PN 부호 발생기와 버퍼레지스터 분주기로 구성되어 있으며 버퍼레지스터는 PN 부호 발생기에서 나온 부호를 일시 저장 시키고 위와 아래의 주파수 합성기 분주회로에 들어가는 이진부호 클럭 펄스가 2개 들어올때마다 교대로 저장한다. 클럭과 분주기는 주파수 도약비 및 도약 주파수 간격을 (기준주파수 f_R)을 결정한다.본 주파수 합성기는 2개의 PLL이 각각의 루프를 이루도록 하여 가변 분주기의 상태에 따라 기준 주파수 f_R 에 N배 채배된 주파수가 나오도록 형성되어 있다. 이때 가변 분주기의 값은 버퍼레지스터의 지연 신호는 J-K F/F 출력에 맞추어 2 클럭 마다

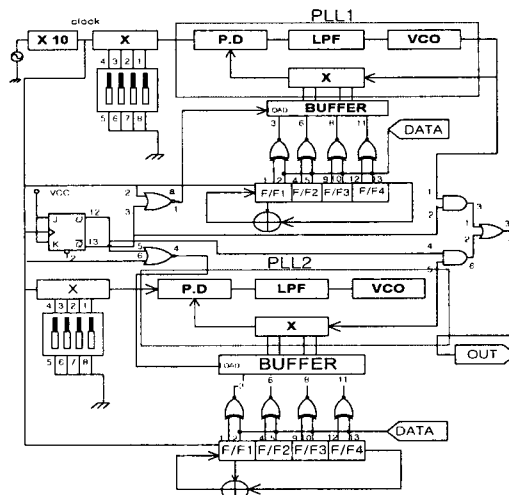


그림 10. 이중 루프 주파수 합성기의 블록다이그램
Fig. 10. Block diagram for double loop indirect frequency synthesizer.

한번씩 교대로 동작하고 출력 선택 스위치는 PLL-1의 세틀링 타임시는 PLL-2가 출력되도록

하고, PLL-2의 세틀링 타임시는 PLL-1이 출력 되도록 하여 클럭에 의해 새로이 바뀐 N수으로써 새로운 주파수 형성 과정을 시작하더라도 정상주파수를 출력으로 뽑아내는 특징이 있다.

그림 10의 부분적인 동작시간 흐름도는 그림11에 도시되어 있다

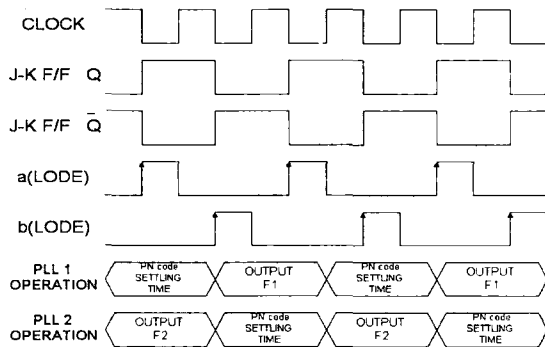


그림 11. 그림 10의 타이밍도
Fig.11. Time chart of fig 10.

그림 10에서 먼저 고려되어야 할 것은 주파수 합성기 부분의 빠르고 안정된 동작을 하기 위해서는 식(15),(16),(19)등에서 고려한 바와 같이 루프필터의 특성 중에서도 ξ 의 값이 N의 변화값(1~15)에 따라 변하게 되는데 최적의 ξ 값을 선정하기 위한 LPF 부분의 소자 (R, C 등) 에 대한 적절한값을 결정되어야 한다.

IV. 실험 및 고찰

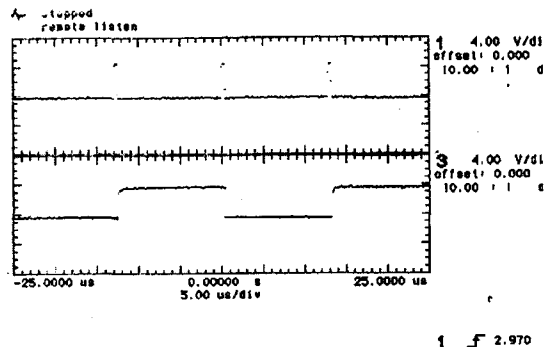


사진 1.
Photo 1

클럭에서 분주된 클럭을 이진 J-K F/F를 사용한 분주기로서 듀티비가 50%가 되도록 하여 PLL4046 입력 조건에 맞도록 하였다. 사진 1에서는 윗열의 2주기 입력에 대하여 1주기(듀티비 50%)의 파형을 보여주고 있다.

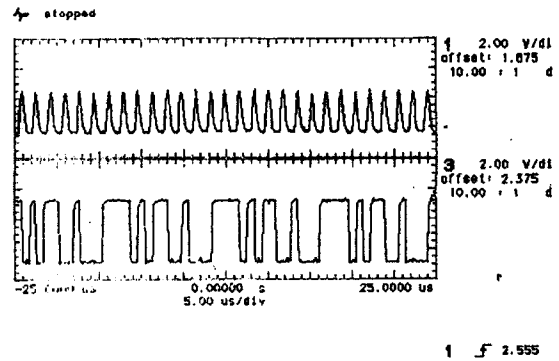


사진 2.
Photo 2

사진2는 버퍼레지스터 지연클럭,PNG 출력과 데이터가 변조되어 버퍼레지스터 입력에 인가되는 파형을 보여주고 있다.

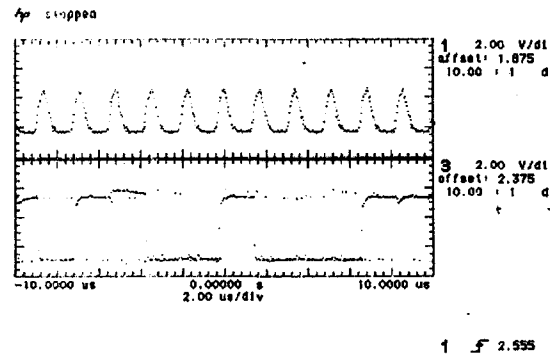


사진 3.
Photo 3

사진3은 버퍼레지스터 지연 클럭에 대하여 출력을 보여 주고 있다. 사진2의 입력 신호 파형과 비교하여 출력 파형 주기가 2분주 되었으므로 클럭 2주기에 대하여 버퍼레지스터는 1주기로 동작함을 보여 주며, PLL의 안정된 동작을 보장한다.

사진4는 버퍼레지스터 입출력에 해당하는 파형으로서 윗열이 입력이고 아랫열이 출력이다.

살펴보면 입력 2주기에 대하여 1주기의 출력을 확인할 수 있다.

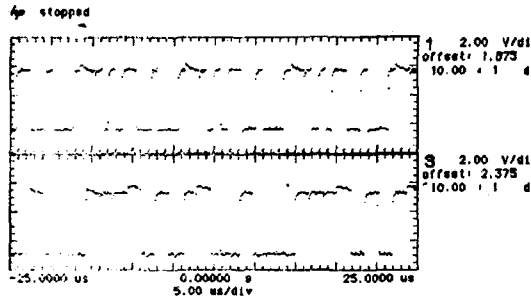


사진 4.
Photo 4

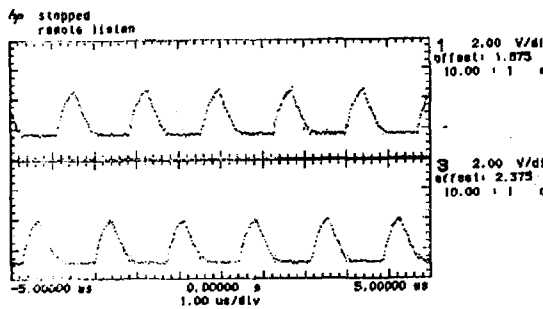


사진 5.
Photo 5

사진 5는 두개의 주파수 합성기 각각의 버퍼레지스터 지연신호이다. 교대로 동작하여 클럭에 대하여 2주기 마다 한번씩 교대로 PN 부호 발생기의 신호를 지연하여 분주기에 인가하고 있음을 볼 수 있다.

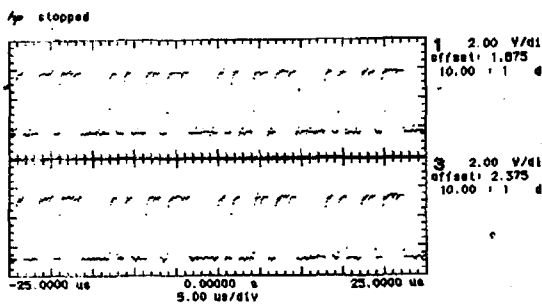


사진 6.
Photo 6

사진6은 두 PN의 각각에 대한 출력 파형으로서 동일한 파형을 보여주고 있다. 따라서 PNG의 형태가 같음을 알 수 있다.

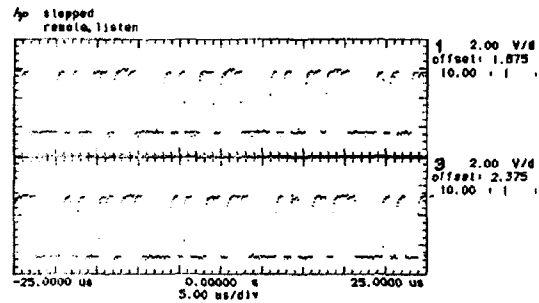


사진 7.
Photo 7

사진7은 PNG 임의의 출력에 대하여 병렬로 1비트이동된 출력의 파형을 보여주고 있다.

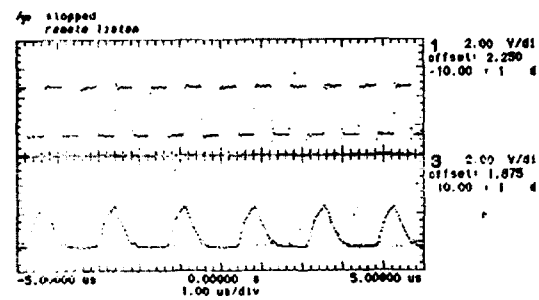


사진 8.
Photo 8

사진8은 클럭신호에 대한 버퍼레지스터 지연신호이다. 지연신호가 클럭신호에 대하여 스위칭적으로 동작할 수 있음을 알 수 있다. 지연신호가 삼각파형으로 보이는 것은 지연신호의 시점을 지연시키기 위하여 클럭신호에 대하여 지연신호 입력에 콘덴서를 병렬로 접속하여 적분된 파형을 보여주고 있다.

V. 결론

SS-FH 시스템에서의 처리이득(PG)은 정보 신호에 대한 도약 주파수 수와 클럭 속도로서 결정되므로 주파수 합성기를 이용한 방법에서 주파수 도약들이 많으면 주파수 합성기에서 주어지는 ξ 값의 안정 범위내에 있어야 하고, 따라서 클럭 속도가 상승하여 주파수 도약을 출력하는 때에도 ξ 값에 의존한다. ξ 의 값에 따라 다소의 차이는 있지만 과도 현상은 도약할때마다 발생하므로 안정된 주파수 합성을 위하여서는 이러한 과도 현상 시간을 피하는게 중요하다.

본 논문에서는 이중 루프 주파수 합성기를 이용하여 주파수 도약시의 과도 현상을 줄이고, 안정된 출력 주파수 합성을 얻기 위한 실험을 하였다. 그 결과 양호한 주파수 합성 특성을 얻을 수 있었다.

참고문헌

[1] Floyd M.Gardner, "Phaselock Techniques", John Wiley & Sons Inc., 1979.
 [2] William F.Egan "Frequency Synthesis by Phase Lock " John Wiley & Sons Inc., 1981.
 [3] Vadim Manassewitsch, "Frequency synthesizers theory and design", John Wiley & Sons Inc., 1987.
 [4] Ulrich L. Rohde, Sc.D., "Frequency synthesizers theory and design ", Prentice-Hall, Inc. 1987.

[5] Dan H. Wolaver, "Phase-locked loop circuit design." Prentice-Hall biophysics and bioengineering series, Inc., 1991.
 [6] Howard M.Benlin, "Design of phase-locked loop circuits, with experiments", 1978 E & L instruments, Inc.,1982.
 [7] R.C. Dixon, "Spread spectrum system" John Wiley & Sons Inc., 1976.
 [8] Jack K. Holmes, "Coherent spread spectrum systems". John Wiley & Sons Inc.,1981.
 [9] 한영열 "PN 부호와 대역 확산 통신" 정보통신학회지 PP.91-100, 1986.
 [10] 長谷川, 小林, 廣崎, "스펙트럼 확산 방식에 이용한 電燈線 테-타 傳送". 信學技報, IN 83 - 67, 1983.
 [11] Mitchell Lee "A new carrer current transceive IC".IEEE Transactions on Consumer Electronics, Part I,Vol. EE - 28, No. 3, August 1982.
 [12] Motorola "CMOS logic data(data sheet)", Motorola Inc, 1990.

저자 소개

정명덕

1989년 2월 : 부경대학교 전자공학
학과 졸업(공학사)
 1991년 2월 : 동아대학교 전자공
학과 (공학석사)
 1998년 6월 : 동아대학교 전자공
학과 졸업(공학박사)
 1979년 11월 ~ 1993년 2월 한
국통신 근무
 1993년 3월 ~ 현재 : 부산정보대
학 정보통신계열 조교수
 관심분야 : 확산대역통신, 통신 시
스템

박재홍

1988년 : 동아대학교 전자공학과
(공학사)

1992년 : 동아대학교 대학원 전자
공학과 (공학석사)

1997년 : 동아대학교 대학원 전자
공학과 박사과정수료

김영민

1986년 : 영남대학교 전자공학과
(공학사)

1994년 : 동아대학교 대학원 전자
공학과 (공학석사)

1997년 : 동아대학교 대학원 전자
공학과 (박사과정수료)

1997년~현재 : 대구기능대학 전
공학과 교수