

## 카운터 회로에 대한 지연결함 검출구조의 개발

이 창 희\*, 장 영 식\*\*

### Development of Delay Test Architecture for Counter

Chang-Hee Lee\*, Young-Sig Jhang\*\*

#### 요 약

본 논문에서는 클럭 입력을 갖는 대표적인 회로인 5비트 카운터를 대상회로로 선정하여 경계면 스캔 구조를 적용하고, 대상회로에 대한 지연시험을 위한 새로운 시험 구조와 지연시험 절차를 개발하였다. 지연시험 대상회로가 클럭 입력을 갖는 경우, 기존의 경계면 스캔 구조에서는 동일한 패턴의 중복 입력, 클럭 입력과 데이터 입력과의 시간 간격과, 패턴 입력과 응답값 캡처까지의 시간 문제에 의해 적절치 않음을 보였다.

본 논문에서 제안하는 지연 시험 구조는 클럭 계수 발생기를 사용하여 연속 발생시킬 클럭의 개수를 입력받아 이를 대상회로의 클럭 입력에 적용하여 대상회로에 대한 입력 패턴의 중복문제를 해결하였다. 또한 시스템 클럭을 TCK로 사용하여 대상회로를 정상 속도에서 동작할 수 있도록 하였다. 연속적인 클럭 발생에 TCK를 사용함으로써 대상회로를 정상 속도에서 검증할 수 있다. 제안된 시험 구조와 절차는 대상회로에 대한 타이밍 시뮬레이션을 통해 동작의 정확성을 확인하였다.

#### Abstract

In this paper, we developed a delay test architecture and test procedure for clocked 5-bit asynchronous counter circuit based on boundary scan architecture. To develop, we analyze the problems of conventional method on delay test for clocked sequential circuit in boundary scan architecture. This paper discusses several problems of delay test on boundary scan architecture for clocked sequential circuit. Conventional test method has some problems of improper capture timing, of same pattern insertion, of increase of test time. We suggest a delay test architecture and test procedure, is based on a clock count-generation technique to generate continuous clocks for clocked input of CUT. The simulation results of 5-bit counter shows the accurate operation and effectiveness of the proposed delay test architecture and procedure.

---

\* 계명문화대학 사무자동화과 전임강사

\*\* 계명문화대학 전산정보처리과 조교수

논문접수 : 98. 12. 23. 심사완료 : 99. 2. 13.

## I. 서론

시스템의 기능이 커지고, 요구되는 동작 속도가 높아짐에 따라 칩이나 회로 기판의 설계 시 집적도가 높아지고, 칩간의 간격, 배선과 접점 등에 많은 제약이 가해진다. 이로 인해 도전율이 감소하고 용량성이 증가하여 지연 결합 발생 확률이 높아진다. 따라서 회로의 설계와 제조 시, 지연에 대한 고려와 지연 결합에 대한 시험의 요구가 증가하고 있다. 또한 시험 대상회로는 기능적인 동작에 대한 검증뿐만 아니라 요구되는 속도에서 정상적인 동작을 하는지의 검증이 필요하다. 지연 시험은 대상회로의 초단 입력에서 중단 출력까지의 모든 경로들이 설계 시 주어진 시간 범위 내에 신호를 전달하는지를 검사하는 것이다.[1-3]

경계면 스캔 구조는 대상회로의 논리 결합의 원인이 되는 고착 결합을 검출하는데 주로 사용되고 있으며, 최근 들어 회로의 동작 타이밍과 관련된 지연 시험에의 응용에 대해 관심이 높아지고 있다.[4,5]

지연 시험 대상회로가 클럭 입력을 갖는 경우, 경계면 스캔 구조에서의 지연 시험은 다음의 3가지 문제점을 가진다. 첫 번째는 대상회로의 클럭 입력에 상승(하강)전이 신호를 공급하기 위해서는 지연 시험 패턴을 중복 입력해야 한다. 두 번째는 클럭 입력에 친이 신호를 발생시키는 시간과 나머지 입력에 시험 패턴을 인가하는 시간의 차이가 너무 길다는 것이다. 대상회로의 클럭 입력에 시스템 클럭이 사용될 경우, 대상회로의 입력에 데이터를 인가하고 시스템 클럭의 1/2 주기 후에 친이 신호를 인가하는 것이 일반적인 경우이다. 세 번째는 시험 패턴을 대상회로에 인가한 후, 입력에 대한 응답값을 캡처하기까지의 시간이 최소 2.5개의 TCK클럭이 필요하다. 위의 3가지 문제점들에 의해 기존의 경계면 스캔 구조에서는 클럭 입력을 갖는 대상회로에 대한 지연 시험이 불가능하였다.

본 논문에서는 클럭 입력을 가진 대표적인 회로인 카운터에 대해 경계면 스캔 구조를 적용하고, 대상회로 카운터에 대한 지연 시험을 위한 시험구조와 지연 시험 명령어와 이에 따른 지연 시험 절차를 개발한다. 본 논문의 구성은 1장 서론에 이어서, 2장에서 경계면

스캔 구조에서의 클럭 입력을 가진 대상회로에 대한 지연 시험과 동작, 문제점에 대해 논하고, 3장에서 5비트 카운터를 시험 대상회로로 선정하여 대상회로에 지연 시험 구조를 적용하고 지연 시험 절차를 개발한다. 4장에서는 5비트 카운트에 대한 시뮬레이션을 통해 제안된 지연 시험 절차와 시험 구조에 대한 동작의 정확성을 확인한다. 그리고 5장에서 결론을 맺는다.

## II. 경계면 스캔 구조에서의 지연 시험

### 1. 표준 경계면 스캔에서의 지연 시험

그림 1은 경계면 스캔 구조가 적용된 회로에 대한 지연 시험 모델을 나타낸다. 본 논문에서 사용한 지연 모델은 게이트 지연 결합 모델과 경로 지연 결합 모델을 고려한 혼성 지연 결합 모델이다. 지연 결합으로 인해 시스템에 타이밍 결합이 발생되기 위해서는 지연 결합의 크기가 시스템 클럭 간격과 경로 상의 전파지연 사이의 간격보다 커야 하며, 최소한 하나 이상의 중단 출력 신호선의 값이 정상적인 회로의 응답값과 반대되는 값으로 나타나야 한다.

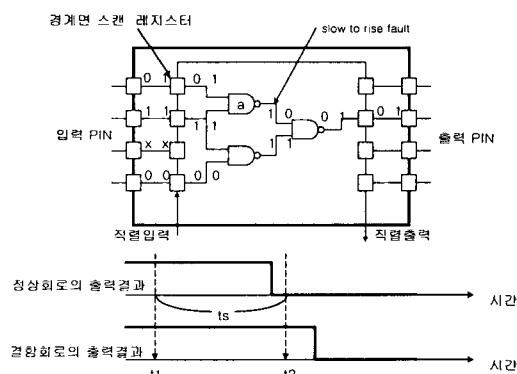


그림 1. 경계면 스캔 구조에서의 지연 시험 모델  
Fig. 1. Delay test model on boundary scan architecture.

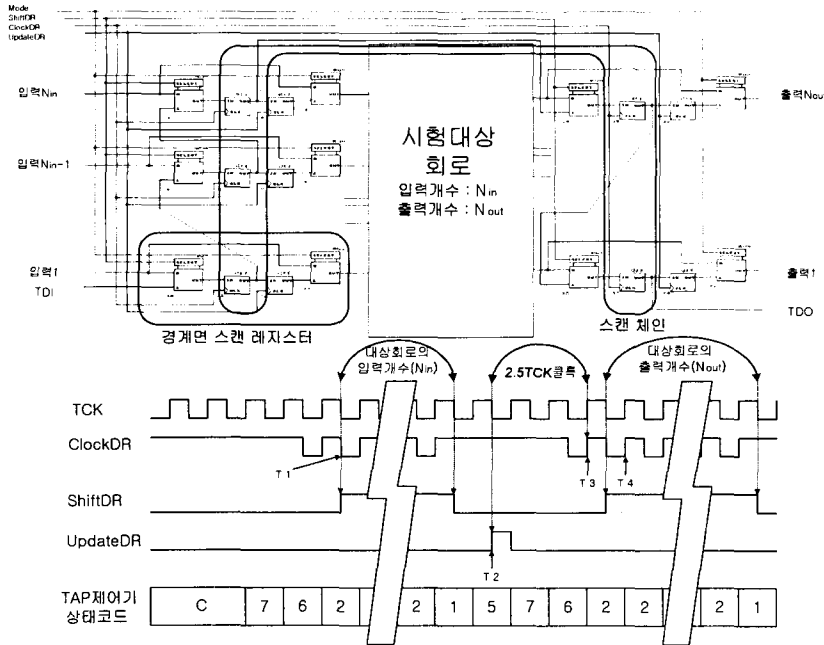


그림 2. 경계면 스캔에서의 지연시험 동작과 타이밍도

그림 1에서 NAND 게이트 a의 출력선에 상승 지연 결함이 있다고 가정하고, 초기화 패턴 11x0을 입력 경계면 스캔 레지스터에 직렬 입력시켜 회로를 안정화 시킨다. 결함이 발생한 경로에 상승천이 신호를 발생시키기 위해 천이 전파 패턴 01x0을 경계면 스캔 레지스터에 직렬 입력시키고, 이를 시간 t1에 대상회로의 입력에 병렬 인가한다. 인가된 입력에 대한 응답값을 시간 t2에서 출력 경계면 스캔 레지스터에서 캡처한 후, 이를 직렬 출력한다. 이때, 회로 경로의 전파 지연이 정해진 시간범위 ts보다 큰 경우 직렬 출력된 응답값은 정상 응답값과 반대값을 가지게 되어, 직렬로 출력된 데이터를 정상 응답값과 비교하여 지연 결함을 검출할 수 있다.

그림 2는 지연 시험 모델을 경계면 스캔 구조가 적용된 대상회로에 적용했을 때의 동작 타이밍을 나타낸다. 본 논문에서 사용된 각 신호선의 이름과 용도는 IEEE 1149.1의 표준을 따른다. 경계면 스캔 구조에서의 모든 동작은 TAP제어기의 상태 천이도에 의해 제어된다. TAP제어기는 입력으로 TMS, TCK를 가지며, 출력으로 Reset, Enable, Select, ShiftIR, ClockIR, UpdateIR, ShiftDR, ClockDR, UpdateDR 을 가진다. 상태 천이를 위해서는 그림 3의

화살표상의 값을 TMS에 유지하고 1 주기의 TCK를 인가해야 한다.[6,7]

그림 2의 동작과정을 살펴보면, 먼저 대상회로에 대한 지연 시험을 위해서는 대상회로의 입력 개수만큼 장착된 입력측 경계면 스캔 레지스터의 스캔 체인을 구성하는 Df/f에 지연시험 패턴을 입력해야 한다. 이를 위해 T1시점에서 TDI에 입력 데이터를 유지하면서 ShiftDR신호를 1로, ClockDR신호에 상승에지를 발생시킴으로써 TDI에 입력된 데이터가 Df/f 체인에 직렬로 입력된다. 이 과정을 위해 TAP제어기의 Shift\_DR상태가 입력 개수만큼 필요하다. 다음으로 직렬 입력된 데이터를 대상회로에 병렬 인가하기 위해 입력측 경계면 스캔 레지스터의 스캔 체인상의 Df/f의 데이터를 오른쪽 Df/f 군으로 전달하기 위해 T2시점에서 UpdateDR 신호에 상승에지를 발생시킨다. 이를 위해 TAP제어기의 Update\_DR상태로 천이 되어야한다. 대상회로에 병렬 인가된 데이터에 대한 대상회로의 응답값을 출력측 경계면 스캔 레지스터의 스캔 체인을 구성하는 Df/f에서 캡처하기 위해서 T3시점에서 ClockDR신호에 상승에지를 공급해야한다. 이를 위해 TAP제어기는 Capture\_DR상태로 천이 되어야 한다. 이때, 대상회로에 데이터를 병렬 인가하는 UpdateDR상태에서 응답값을 캡처하는 CaptureDR상태로의 가장 짧은 천이 경로

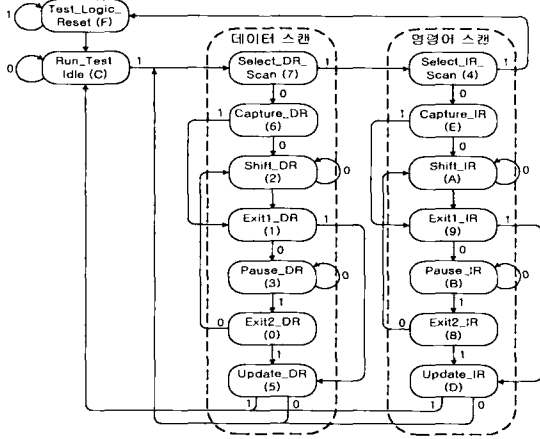


그림 3. TAP 제어기의 상태 천이 다이어그램  
Fig.3. State transition diagram of TAP controller

는 그림 3의 TAP제어기의 상태 천이도에서 Update\_DR -> Select\_DR -> Capture\_DR의 천이 순서를 거쳐야 한다. TAP제어기에서 다음 상태로의 변화에는 TCK가 1클록이 필요하므로 그림 2의 아래와 같은 동작 타이밍 관계를 갖는다. 즉, 대상회로에 지연 시험을 위한 입력패턴을 T2에서 병렬로 인가하고, 이에 대한 응답값을 T3에서 캡처하는데 2.5개의 TCK클록이 필요하다. 대상회로에 인가되는 시스템 클록의 주기를 SCLK라고 할 때, 일반적으로 대상회로는 시스템 클록에 동기를 맞춰 동작하므로 대상회로에 대한 입력이 있을 후, 그 응답 값은 연결된 다른 회로에 1SCLK 내에 인가되는지 보장되어야 한다. 즉 1SCLK내에 응답값이 발생되는지를 시험할 수 있어야 한다. 그러나 그림 2에서와 같이 표준 경계면 스캔 구조에서는 대상회로의 시스템 클록을 TCK로 사용할 경우, 대상회로에 입력을 인가한 후부터 응답값 캡처까지 2.5개의 TCK클록이 필요하므로 지연의 크기가 2.5SCLK 이상인 결합만 검출할 수 있으며, 1SCLK에서 2.5SCLK사이의 지연 결합은 검출할 수 없다.

2. clocked 회로에 대한 지연 시험의 문제점

그림 4는 경계면 스캔 구조에서 클록 입력을 가진 대상회로에 대해 지연 결합을 검출하기 위한 동작을 보여준다. 대상회로의 입력은 IN0부터 IN3까지이며, 이 중 IN3이 클록 입력이다. 대상회로는 IN3의 상승 에지에서 상태 변화를 일으킨다고 가정하면, IN0에서

IN2까지 101을 입력하고, IN3에 상승 에지를 입력할 경우, 일반적인 경계면 스캔 구조에서 IN3에 상승 에지를 발생시키기 위해서는 그림 10의 시간 t0때 IN3에 0을, 시간 t1때 IN3에 1을 입력하여 상승 에지를 발생시켜야 한다. 이와 같은 절차를 가진 일반적인 경계면 스캔 구조는 다음 3가지의 문제점을 가진다.

첫 번째는 대상회로에 입력 패턴을 인가한 후, 그에 대한 응답 값을 캡처하기까지의 시간이 최소 2.5개의 TCK클록이 소요된다. 즉, 시스템 클록이 주입될 시, 대상회로의 정상 동작 여부를 판단할 수 없다.

두 번째는 대상회로의 클록 입력에 상승(하강) 에지를 발생시키기 위해 클록입력을 제외한 대상회로의 나머지 입력들에 대해 동일 패턴을 한번 더 입력해야 한다. 중복 패턴의 입력은 지연 시험 소요 시간의 증가를 의미한다.

세 번째는 대상회로의 클록 입력과 나머지 입력과의 시간 간격이 {입력 개수(N) + 4}Ttck가 소요됨으로써 발생된다. 그림 4의 아래 동작 타이밍도에서 시간 t0에 IN0, IN1, IN2와 IN3에 '1010'이 입력된 후, 시간 t1에 '1011'을 입력하여, IN3에 상승 에지를 발생시키기 위해서는 그림 2의 TAP제어기의 천이 상태도를 따르면 시간 t0과 시간 t1의 간격이 최소한 {입력 신호선 개수(4) + 4} TCK클록이 된다. 이러한 시험 동작은 대상회로의 클록이 시스템 클록일 경우, 정상 동작에서 IN0, IN1, IN2의 신호 값이 입력된 후, 시스템 클록의 1/2주기 이후에 IN3에 상승 에지가 발생된다는 것을 고려하

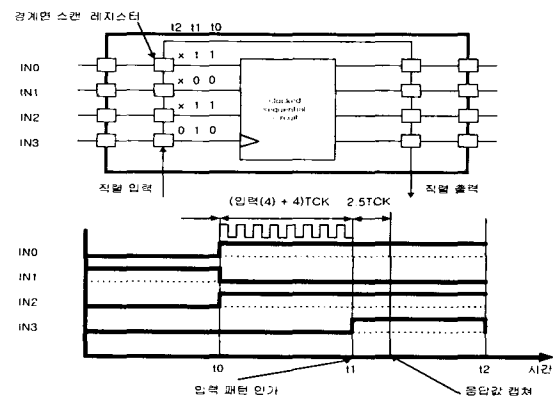


그림 4. 경계면 스캔 구조에서의 클록 입력을 갖는 대상회로에 대한 지연 시험 동작  
Fig. 4. Delay test operation of boundary scan for clocked input

면, 대상회로가 정상적인 시스템 클록 속도에서 동작할 것임을 시험할 수 없다는 문제점을 가진다. 즉, 클록 입력을 발생시키는 시점이 너무 늦어짐으로 대상회로의 동작을 정상 속도에서 검증할 수 없다. 위의 3가지 문제점들에 의해 일반적인 경계면 스캔 구조에서는 클록 입력을 가진 대상회로에 대한 지연 시험이 불가능하다.

### III. 카운터에 대한 지연시험 구조의 개발

3장에서는 클록 입력을 가지는 대표적인 회로인 카운터를 대상으로 하여 경계면 스캔 구조를 적용하고, 이에 대한 지연 시험을 가능하게 하는 시험구조를 제안한다.

#### 1. 지연 시험 구조의 개발

본 논문에서 제안하는 시험구조는 대상회로에 입력시킬 클록을 계수, 발생시키는 클록 계수 발생기를 이용하여 표준 경계면 스캔이 가진 문제점인 입력 패턴의 중복 문제를 해결하고, 대상회로를 정상 속도에서 동작할 수 있도록 시스템 클록을 TCK로 사용함으로써, 표준 경계면 스캔에서 불가능하였던 시스템 클록 속도에서의 대상회로의 동작 여부를 시험할 수 있다.

그림 5는 시험대상인 5bit 카운터의 구조를 보여준다. 출력 신호에 지연결함을 발생시키기 위해 비동기 식을 설계되었다. 그림 6은 지연시험을 위한 클록 계수 발생기의 구조를 보여준다. 클록 계수 발생기는 발생시킬 클록의 수를 지정하는 클록 계수 레지스터와 정해진 클록을 계수하는 카운터 부분과 비교기, 계수 시작과 종료 시, 다른 장치와의 연결을 위한 부가 회로로 구성된다. 클록 계수 발생기를 이용하는 지연시험에는 다음의 2개 명령어가 사용된다. Clkin명령어는 대상회로의 클록 입력에 발생시킬 연속 클록의 개수를 입력할 때 사용한다. Clken명령어는 클록 계수

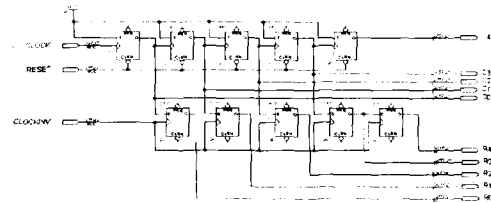


그림 5. 5bit 비동기 카운터(시험대상회로)  
Fig. 5. 5-bit asynchronous counter

발생기에서 연속 클록을 발생시켜 지연 시험을 수행할 때 사용한다. Clken명령어에 의해 TAP제어기의 UpdateDR신호가 1로 천이되는 시점에서 0.5TCK 클록 후에 클록 계수 발생기의 NEWUPDR신호가 정해진 연속적인 클록을 경계면 스캔 레지스터에 인가한다. 클록 계수 발생기가 연속 클록을 발생하도록 TAP 제어기는 RT/I상태를 계수 레지스터에 입력된 수만큼 유지해야 한다. 대상회로의 응답값을 캡처하기 위해 대상회로의 출력 선에 연결된 경계면 스캔 레지스터는 마지막 클록이 발생되는 시점에서 1TCK클록 후, 응답값을 캡처하여 TDO로 직렬 출력하도록 클록 계수 발생기의 NEWCLDR신호가 발생된다.

#### 2. 지연 시험 절차

그림 7은 클록 계수 발생기를 사용한 지연 시험 과정을 나타내는 흐름도이다. 지연 시험 과정을 살펴보면, 먼저 경계면 스캔을 구성하는 모든 장치들이 초기화된다. 경계면 스캔 레지스터를 구성하는 플립플롭이 리셋되고, 명령어 레지스터의 내용이 초기값을 갖는다.

지연 시험을 위해서는 TAP제어기의 상태 천이에 의해 명령어 스캔을 따라서 경계면 스캔의 명령어 레지스터의 길이 만큼 Shift\_IR 상태를 거침으로써 TDI를 통해 명령어 비트들이 입력된다. 이후 TAP제어기의 Update\_IR상태를 지나면서 입력된 명령어가 해석된다. 해석된 명령어가 Clkin일 경우, 지연 시험에 사용될 연속 클록의 개수를 입력받는 동작을 수행한다.

연속 발생 클록의 개수를 입력하기 위해 TAP제어기의 상태 천이에 의해 데이터 스캔을 따라서 계수 레지스터의 길이만큼 Shift\_DR 상태를 거침으로써 TDI를 통해 입력된 비트들이 계수 레지스터들에 직렬 입

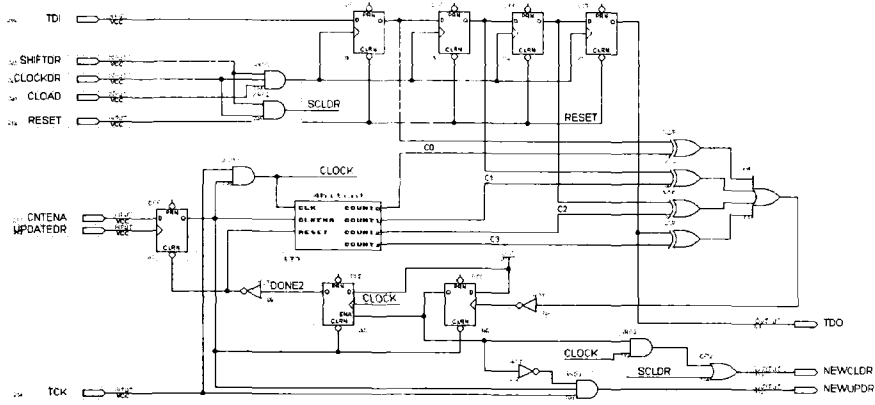


그림 6. 클록 계수 발생기의 구조  
Fig. 6. Architecture of clock count-generator

력된다. 해석된 명령어가 Clken일 경우, 연속 발생 클록을 이용한 지연 시험 동작을 수행한다. 지연 시험 패턴을 대상 회로에 인가하기 위해 TAP제어기의 상태 천이에 의해 데이터 스캔을 따라서 대상회로의 입력 신호선마다 장착된 경계면 스캔 레지스터의 수만큼 Shift\_DR 상태를 거침으로써 TDI를 통해 입력된 비트들이 경계면 스캔 레지스터들에 직렬 입력된다. 이때, TDO에는 이전에 경계면 스캔 레지스터에 입력되어 있던 값이 직렬로 출력된다. 시험 수행 중에 TDO를 관측함으로써 대상회로의 이상 여부를 판단할 수 있다.

다음 단계에서 직렬 입력된 시험 패턴을 대상회로에 병렬 인가하기 위해 TAP제어기의 Update\_DR상태가 필요하다. Update\_DR상태로 천이하면서 TAP제어기는 출력 UpdateDR신호를 상승에지로 만든다. UpdateDR신호의 상승에지에서 클록 계수 발생기는 계수 레지스터에 지정된 개수만큼의 NEWUPDR을 상승에지로 동작시킴으로써 대상회로에 연속적인 클록을 입력한다.

마지막 클록이 입력되고 1TCK 클록 이후에 대상회로의 응답값을 캡처한다. 캡처된 응답값을 TDO로 직렬 출력하기 위해서 TDI를 통해 대상회로의 출력 신호선 개수만큼의 비트를 TAP제어기의 Shift\_DR상태에서 직렬 입력한다. 이때 시험해야 할 지연 시험 패턴이 남아 있을 경우, 지연 시험 패턴의 직렬 입력과 이전 패턴에 대한 응답값의 직렬 출력이 동시에 이루어질 수 있다. 대상회로의 입력 개수 Nin이 대상회

로의 출력 개수 Nout보다 크거나 같은 경우에 이 과정에서 클록 계수 발생기는 NEWCLDR 신호를 Nin개 입력함으로써 응답값 출력과 시험 패턴의 입력이 동시에 가능하며, Nin이 Nout보다 적은 경우에는 (Nin-Nout)개의 임의의 비트를 시험 패턴의 앞에 덧붙여 TDI에 직렬 입력함으로써 동시에 입력과 출력이 병행될 수 있다. 위의 시험 과정을 TAP제어기의 상태 천이도를 따라 단계별로 수행하는데 필요한 시간을 계산하면 표1과 같다.

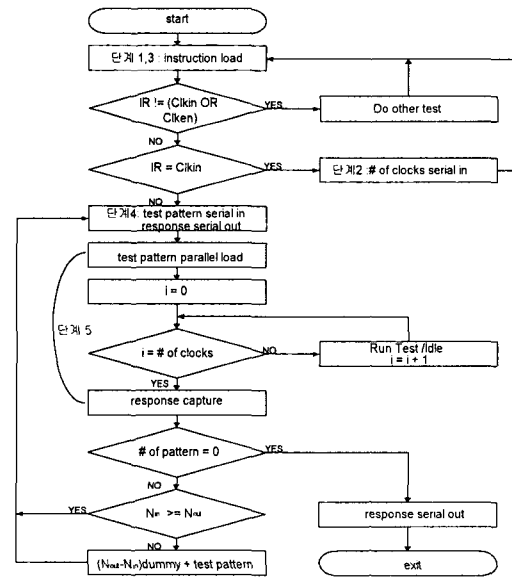


그림 7. 클록 입력을 가진 대상회로에서의 지연 시험 순서도  
Fig. 7. Flowchart of delay test procedure

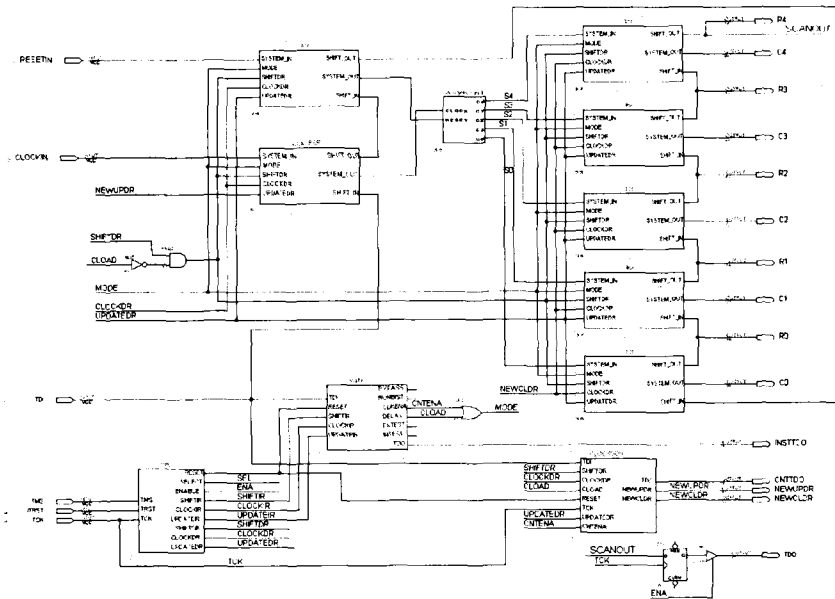


그림 8. 5bit 카운터에 대한 지연 시험 구조의 적용회로도  
 Fig. 8. 5-bit counter based on delay test architecture using boundary scan

표 1. 지연 시험 단계별 수행시간  
 Table 1. Operation time for delay test

단계	동작 설명	수행 시간(TCK)
단계 1.	Clkin명령 직렬 입력.	Ninst+6
단계 2.	클럭 입력 개수 직렬 입력.	C+5
단계 3.	Clken명령 직렬 입력.	Ninst+6
단계 4.	시험 패턴 직렬 입력, 이전 응답값 직렬 출력	MAX(Nin, Nout) + 5
단계 5.	시험 패턴 병렬 인가, 연속 클럭 발생, 응답값 캡처, 단계 4로.	Nc

Ninst : 명령어 레지스터 길이  
 Nin : 대상회로의 입력 신호 개수  
 Nout : 대상회로의 출력 신호 개수  
 Nc : 연속 발생 클럭 수  
 C : 연속 발생 클럭 수를 저장하는 레지스터의 길이

#### IV. 시뮬레이션

클럭 계수 발생기를 사용한 시험 구조와 경계면 스캔 구조를 적용한 시험 대상회로 비동기 5bit 카운터의 설계와 시뮬레이션은 ALTERA의 MAX PLUS II 8.0을 사용하였다. 시험 대상회로는 2개의 입력 신호선과 5개의 출력 신호선으로 구성되어 있으며, 초기값 0에서부터 입력 클럭의 상승 에지에서 1씩 감소되는 감소 카운터이다. 즉, 클럭의 상승 에지에서 대상회로의 출력은 0부터 31, 30, 29, ..., 0으로 천이된다. 대상회로 카운터의 최대 동작 주파수를 알기 위해 그림 5와 같이 5bit카운터에 입력 클럭과 같은 주기를 사용하여 카운터의 값을 캡처하는 기억소자를 추가하였다. 그림 5의 회로를 ALTERA의 CPLD EPM7064LC 44-7를 대상으로 논리 합성을 하고 타이밍 시뮬레이션 결과로 클럭의 주기가 25ns이상일 때 정상 동작이 되고, 24ns주기를 사용하였을 경우, 대상회로 카운터의 가장 긴 지연시간을 가진 0에서 31로 변화되는 과정에서 비정상적인 15가 기억소자에 입력된다. 즉, 대상회로 카운터의 최대 동작 클럭이 40MHz이다.

그림 8은 대상회로 5bit 카운터에 클럭 발생기를 가진 지연 시험 구조를 적용시킨 회로도이다. 대상회로 카운터의 CLOCK신호가 클럭 입력이다. 대상회로 카운터에 대한 지연 결함을 검출하기 위해서는 클럭

발생기가 출력하는 연속 클록의 상승에지에서 대상회로의 응답값을 캡처하는 클록의 상승에지까지의 시간 간격이 24ns이하인 경우 지연 결함을 탐지하게 되고, 25ns이상인 경우 대상회로는 정상 동작하는 것으로 판단된다. 시뮬레이션에서는 DTAC에서 정확한 TCK 주기 간격의 응답값 캡처가 가능한지를 시험하기 위하여 시뮬레이션의 TCK의 주기를 24ns, 25ns로 하였다.

그림 9는 그림 7의 지연 시험 절차를 따라 시뮬레이션한 결과 파형이다. 대상회로 카운터의 초기값 0에서 31로 천이되는 과정에서 가장 긴 지연이 발생하므로 이를 검사하기 위해 시뮬레이션에 사용할 연속 클록의 개수는 1개로 하였다. 그림 9는 TCK의 주기를 24ns로 하였을 경우의 결과 파형이다. 표 2는 시뮬레이션 과정에 사용된 TDI와 TMS 입력 데이터와 출력 결과를 나타낸다.

시뮬레이션 결과 파형을 설명하면 다음과 같다. 아래의 원숫자는 그림 9의 시뮬레이션 파형도상의 원숫자가 지시하는 시뮬레이션 시점을 나타낸다.

① Clkin 명령어 입력 단계.

Clkin('011')를 TDI를 통해 명령어 레지스터에 직렬입력한다.

파형도에서 IRBIT(2:0)이 3으로 천이된다.

② 연속 발생 클록 개수 입력 단계.

데이터 '0101'을 직렬 입력하여 연속 발생 클록의 수를 1개로 지정한다.

③ Clken 명령어 입력 단계.

Clken('110')를 TDI를 통해 직렬 입력한다.

파형도에서 IRBIT(2:0)이 6으로 천이된다.

④ 대상회로 카운팅 초기값 입력 단계.

대상회로에 데이터 '11'를 TDI를 통해 직렬 입력한다. 대상회로를 0으로 초기화 시킨다.

⑤ 대상회로의 클록 입력선인 CLOCK에 TCK의 주기를 가진 1개의 클록을 입력한다.

파형도에서 NEWUPDR이 대상회로에 입력될 연속 클록이다.

⑥ 1개의 클록이 입력되어 반영된 대상회로의 결과값을 캡처한다.

캡처되는 시점은 대상회로에 1번째 클록의 상승 에지에서 정확히 1TCK클록이후에 NEWCLDR이 발

생된다.

⑦ 표 2의 대상회로의 응답값 출력 단계.

⑥에서 캡처된 대상회로의 응답값을 TDO를 통해 직렬 출력한다.

신호선 NEWUPDR신호가 대상회로의 클록 입력선에 입력되는 신호를 나타낸다. Clkin신호가 입력된 후 UpdateDR의 하강 에지에서 Clkin명령에 의해 입력된 수의, TCK의 주기를 가진 연속적인 클록이 발생된다. 에서 NEWCLDR신호는 마지막 연속 클록이 발생되고 정확히 1TCK 클록이후에 발생되므로 대상회로 카운터에 대한 정확한 동작 검증이 가능하다. 확대된 파형도의 시간 간격을 검사한 결과, 시뮬레이션상에서 정확히 24ns로서 사용된 TCK의 주기와 정확히 일치함을 확인하였다.

시뮬레이션 결과를 비교하면, 그림 9의 출력 결과는 '01111'로서 0에서 31로 천이 과정중의 15가 캡처되어 출력되었다. 시뮬레이션 주기를 25ns로 하였을 경우 파형도에서 '11111'이 출력되어 정상적인 천이가 이루어짐을 확인하였다. 즉, TCK의 주기를 24ns를 사용하였을 경우 5비트 카운터가 가지는 지연 결함을 정확히 검출하였음을 보여준다.

하드웨어 추가면에서 그림 6의 클록 계수 발생기를 구성하기 위해서는 대상회로의 클록 입력이 요구하는 연속 클록의 개수에 비례하여 하드웨어를 추가해야 하는 문제점이 있다. 그러나 연속 클록의 개수가 2의 지수 배 증가할 때마다 클록 계수 발생기에 추가되는 하드웨어는 대략 D플립플롭 2개와 XOR, AND, NOR 정도의 소규모의 추가가 필요하다.

## V. 결론

본 논문에서는 경계면 스캔 구조에서의 클록 입력을 갖는 대표적인 회로인 5비트 카운터를 대상회로로 선정하여 지연시험을 위한 시험 구조와 시험 절차를 개발하였다. 표준 경계면 스캔 구조에서의 지연시험 방법에 대한 고찰을 통해 클록 입력 대상회로에 대한 지



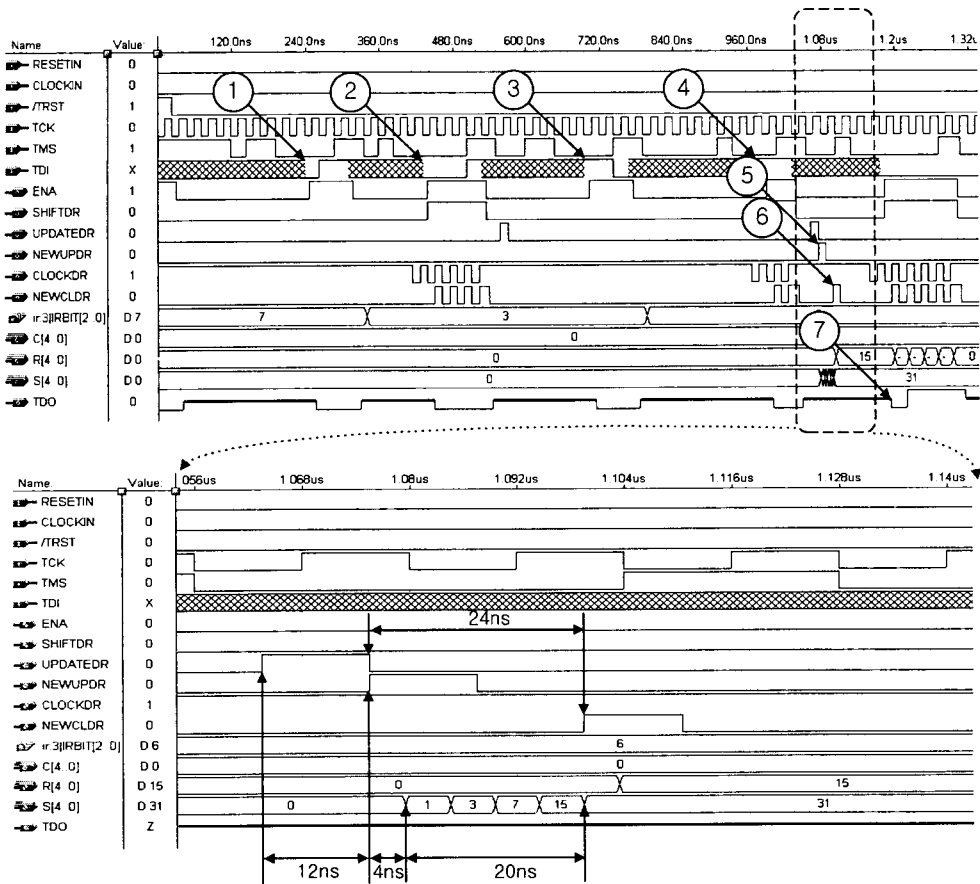


그림 9. 지연 시험 시뮬레이션 결과 파형 (TCK주기 : 24ns)  
 Fig. 9. Simulation results of delay test (TCK clock cycle : 24ns)

연시험의 문제점을 고찰하였다.

지연 시험 대상회로가 클럭 입력을 가질 경우, 경계면 스캔 구조에서의 지연시험이 가지는 첫 번째 문제점은 대상회로에 입력 패턴을 병렬로 인가한 후, 응답 값을 캡처하기까지 소요되는 시간이 최소 2.5TCK 클럭이 필요하다. 즉, 경계면 스캔 구조를 동작시키는 TCK에 시스템 클럭이 주입될 시, 대상회로의 정상 동작 여부를 판단할 수 없다는 것이며, 두 번째는 대상회로의 클럭 입력에 상승(하강)에지를 발생시키기 위해 대상회로의 나머지 입력들에 대해 동일한 패턴을 중복 입력하여야 한다. 중복 패턴의 입력은 지연시험에 소요되는 시간의 증가를 의미한다. 세 번째 문제점은 대상회로의 클럭 입력과 나머지 입력들과의 시간 간격이 (입력개수(N)+4)TCK 클럭이 되므로, 상승(하강)에지를

발생시키는 시점이 너무 늦어짐으로 대상회로의 동작을 정상적인 속도에서 검증할 수 없다.

본 논문에서는 클럭 계수 발생기를 사용하여 연속 발생시킬 클럭의 개수를 입력받아 이를 대상회로의 클럭 입력에 적용시킴으로서 대상회로에 입력되는 입력 패턴의 중복문제를 해결하였다. 또한 시스템 클럭을 TCK로 사용하여 대상회로를 정상 속도에서 동작할 수 있도록 하였다. 이는 연속적인 클럭 발생에 TCK를 사용함으로써 대상회로를 정상속도에서 검증할 수 있음을 의미한다. 제안된 지연 시험 구조는 클럭 계수 발생기를 구성하기 위해 소규모의 하드웨어 추가가 필요하며, 타이밍 시뮬레이션을 통해 5비트 카운터의 지연 결함을 정확히 검출함을 확인하였다.

**참고 문헌**

[1] M. A. Breuer. "The Effects of Races, Delays and Delay Faults on Test Generation," IEEE Transaction on Computers, pp. 1078-1092, October, 1974.

[2] G. L. Smith, "Model for Delay Faults Based upon Path," IEEE International Test Conference, pp. 342-349, 1985.

[3] C. J. Lin and S. M. Reddy, "On Delay Fault Testing in Logic Circuits," IEEE Transaction on CAD, pp. 694-703, September 1987.

[4] H. Chang and J. A. Abraham, "Delay Test Techniques for Boundary Scan based Architecture," IEEE Custom Integrated Circuit Conference, 1992.

[5] 姜秉旭, 安光善 "경계면-스캔 기저 구조를 위한 지연 시험," 대한전자공학회 논문집, 31권 A편 6호, pp. 199-208, 1994.

[6] IEEE Std. 1149.1-1990, IEEE Standard Test Access Port and Boundary Scan Architecture, 1990.

[7] C. M. Maunder and R. E. Tulloss, "The Test Access Port and Boundary Scan Architecture," IEEE Computer Society, 1990.

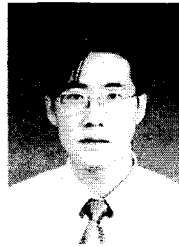
[8] I. Park, D. Ha and G. Sim, "A New Method for Partial Scan Design Based on Propagation and Justification Requirements of Faults," IEEE International Test Conference, pp. 413-422, 1995.

[9] C. M. Maunder and R. E. Tulloss, "An

Introduction to Boundary Scan Standard ANSI/IEEE std1149.1," Journal of Electronic Testing, vol. 2, no. 1, pp. 27-42, 1990.

[10] L. Whetsel, "Improved Boundary Scan Design," IEEE International Test Conference, pp. 851-860, 1995.

**저자 소개**



**이창희**

1944년 경북대학교 컴퓨터공학과 석사 졸업  
 1998년 경북대학교 컴퓨터공학과 박사 졸업  
 1998년 8월 계명문화대학 사무자동화과 전임강사



**장영식**

1993년 경북대학교 컴퓨터공학과 석사 졸업  
 1995년 경북대학교 컴퓨터공학과 박사 수료  
 1983-1994 한국전자통신 선임연구원  
 1994년 현재 계명문화대학 전산정보처리과 조교수