ATSC대응 DTV 수상기 칩세트 개발

최 승 종
LG전자 DTV연구소

요약

본 논문은 ATSC표준에 대응하는 DTV수상기용 칩세트에 대해서 논한다. 1세대 칩세트는 모두 5개로, VSB복조를 위한 두 개의 칩, 트랜스포트 역다중화칩, MPEG2 MP@HL 비디오 복호화칩, 디스플레이 프로세서등으로 구성되어있다. 1세대 칩세트는 0.35/0.6㎛ 공정으로 모든 개발이 완료되었다. 개발한 칩들의 특징, 채택한 알고리즘 및 구현시 각종 파라미터들의 최적화 방법들에 대해서 설명한다. 현재 2세대 칩세트가 개발 진행 중이며 대략적인 특징 및 주요 기능을 기술한다.

1. 서론

작년 11월 미국에서의 DTV 지상파 방송의 시작으로, 고해상도 TV 신호에 대응하는 수상기의 개발에 대한 관심이 고조되고 있다. 미국은 디지털 방송도입에 가장 선도적인 국가로 FCC (Federal Communication Commission)가 지상파 TV를 주도하고 있다. FCC는 방송 표준과 관련하여 전적으로 고품질 디지털 TV프로그램을 방송하는데 사용하도록 고해상도를 지지하였다. 이를 바탕으로 미국의 DTV규격인 ATSC 표준은 grand alliance 방식을 기본으로 하여, 전송방식으로는 8-VSB, 동영상 압축방식으로는 MPEG2 MP@HL, 오디오 압축방식으로는 Dolby AC-3, 다중화 방식으로는 MPEG2 트랜스포트를 채택한 것이 특징이다 [1-2].

우리나라도 미국 및 유럽등 선진국의 개발 추세에 발맞추어, DTV의 방송 및 개발에 많은 노력을 기울이고 있고, 2001년부터 디지털 본방송을 추진하는등, DTV를 수출주력산업으로 적극 육성하기 위한 일들이 진행되고 있다. 국가 표준으로는 미국의 ATSC규격을 채택하였다. 이런 맥락에서 본 논문은 DTV수상기의 핵심 부품인 칩세트의 개발 현황을 우리나라 및 미국 방식인 ATSC표준에 대응하는 칩들을 중심으로 살펴보고자한다.

2절에서는 개발 완료된 1세대 칩세트의 대략적인 소개 및 설계/검증 방법등에 대하여 주로 설명하고, 3절은 1세대 칩세트 중에서 주로 VSB수신 시스템의, 4절은 주로 영상 처리 시스템부의 설계 시 사용된 알고리즘 및 이를 하드웨어로 구현 시 필요한 최적화 방법등에 대해서 기술한다. 5절에서는 현재 개발 진행 중인 2세대 칩세트를 개략적으로 살펴보고, 6절에서는 결론을 맺는다.

2. 1세대 칩세트

1세대 칩세트는 그림 1과 같이 모두 5개로 구성되어 있다 [3]. 즉, VSB수신을 위한 두 개의 칩과 비디오 신호 처리를 위한 세 개의 칩이며, VSB부는 동기복구와 채널등화를 주기능으로하는 칩과 채널의 오류정정을 주기능으로 하는 칩으로 나뉜다. 비디오 신호 처리부는 역다중화칩, 비디오 복호화칩 및 디스플레이 프로세서로 나뉜다. 또한, 디지털 부외에 보드레벨에서의 시스템을 간단하게 하기 위하여 A/D, D/A변환기 및 PLL 등의 아날로그회로들도 함께 칩에 구현하였다. 오디오 복호화칩은 기존의 칩을 이용하여 시스템을 구현하였다.

칩세트를 구성하는 각각의 칩들은 VHDL언어를 이용한 하향식 설계 방법으로 설계되었다 [4]. 먼저, DTV수상기에서 요구되는 각종 시스템 사양들을 정의하였고, 각 칩별로 요구 사양을 만족시키기 위한 각종 디지털 신호 처리 알고리즘들을 C언어를 사용하여서 기능별 모의 실험을 실시하였다. 이와 같은 과정으로 기능이 검증된 부동 소수점 알고리즘은 최종적으로 하드웨어를 고려한 고정 소수점 연산들로 변환되었다. 두 번째로 검증된 C언어는 하드웨어로 구현하기 위해, 아키텍쳐 설계를 거쳐서 RTL레벨의 VHDL언어로 기술되었다. 세 번째로 VHDL언어에 대한 기능 모의 실험을 거쳐 논리 합성을 통하여 게이트레벨로 변환하였고, 마지막으로 레이아웃을 실시하였다.

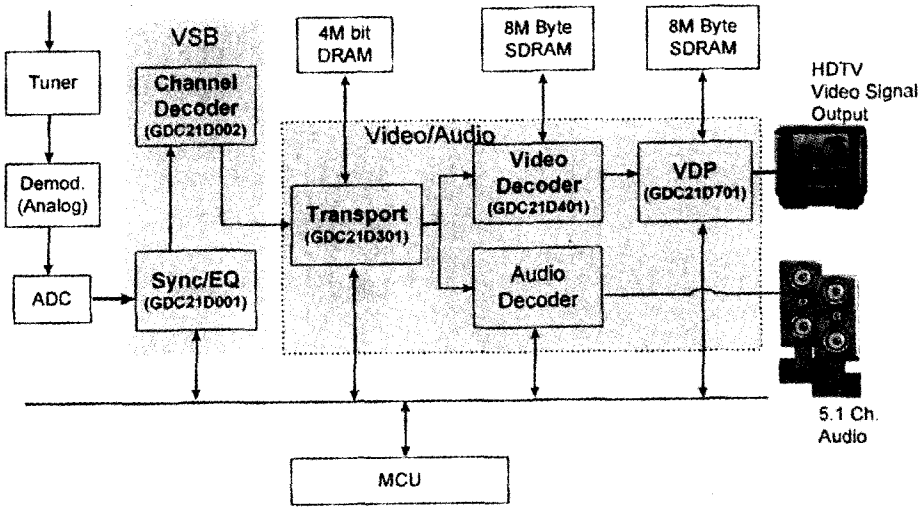

그림 1. ATSC대응 DTV용 1세대 칩세트의 구성도

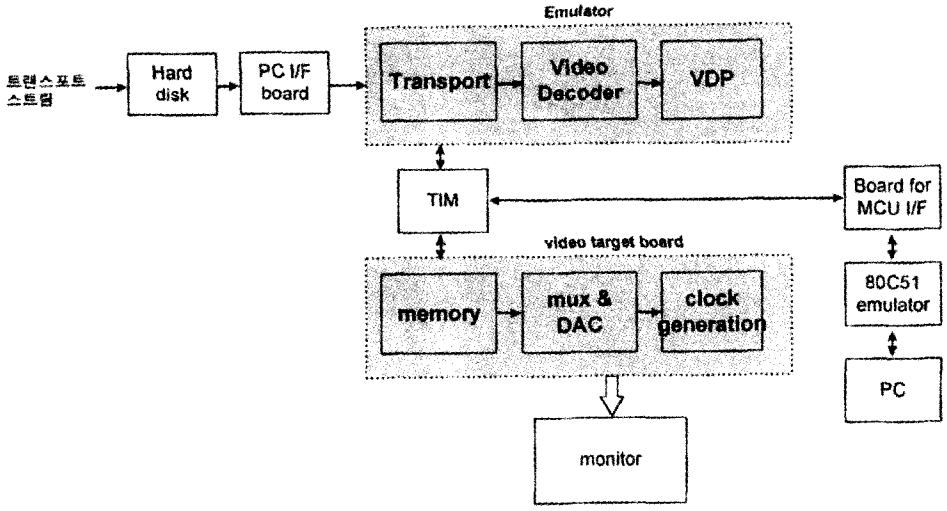

그림 2. 비디오 신호 처리부를 위한 하드웨어 에뮬레이션 구성도

이런 설계과정에서 가장 중요한 것이 기능 검증 과정이다. 컴퓨터 모의 실험은 시간이 너무 많이 필요로 하기 때문에, 모의 실험과 병행하여 FPGA등을 이용한 하드웨어 검증 방법이 일반적으로 많이 사용된다. 이번 설계에서는 하드웨어 에뮬레이터를 이용하였다. 에뮬레이터란 상당량의 FPGA들의 모음으로, 설계된 모든 디지털부를 다운로드하여 검증할 수 있었다. 즉, VSB수신 시스템을 전부 한 칩처럼 검증하였고, 비디오 신호처리부 모두를 한 칩처럼 검증하였다 (참조 : 그림 2). VSB수신 시스템의 테스트 벡터로는 실제 채널로 전송된, 즉 각종 잡음과 함께 섞인 VSB신호를 샘플링하여서 사용하였고, 비디오 부의 테스트 벡터로는 각종 트랜스포트 스트림과 샘플링한 NTSC신호가 사용되었다. 에뮬레이터의 동작속도는 설계된 칩의 속도보다 훨씬 낮춘 최대 1MHz로 하였다.

모든 칩은 1차적으로 0.6㎛ CMOS 공정을 이용하여서 제작되었다. 표 1은 제작된 칩세트의 게이트 수, 동작 주파수, 전력 소모등의 특징을 모두 정리한 것이다. 제작된 칩세트는 DTV시제품 형태로 제작되어서 평가를 실시하였다. 설계된 VSB수신기의 테스트 결과는 표

표 1. 1세대 칩들의 특성

기능	VSB 수신기		비디오 신호 처리부		
	SyncEq	VCD	TP	VDEC	VDP
공정	0.6㎛ CMOS				
VDD	3.3 V				
die 크기 (㎟)	11.9×11.9	10.1×8.6	6.6×6.4	12.7×12.1	14.0×14.0
게이트 수 (천개)	240	210	50	250	470
클록 (MHz)	10.76	10.76	27	54, 81	54, 65, 75
전력 소모 (mW)	2880	300	300	1700	3300
패키지	160 MQFP	100 MQFP	176 TQFP	240 HQFP	304 QFP

표 2. 설계된 VSB 수신부의 테스트 결과

백색잡음 임계치	S/N=14.87dB	다이내믹레인지	-77.5~-30.5dBm
위상잡음 한계치	-74.5 dBC/Hz	FPLL pull-in 영역	200 kHz
FM Hum	16 kHz	AM Hum	21.10%
균집잡음 임계치	191 μsec	동일채널 잡음임계치	-1.2 dB
인접채널 잡음임계치	27.3 dB	고스트신호(1μsec)	0 dB
고스트신호(.3μsec)	1.5 dB	고스트신호(1μsec)	2.5 dB

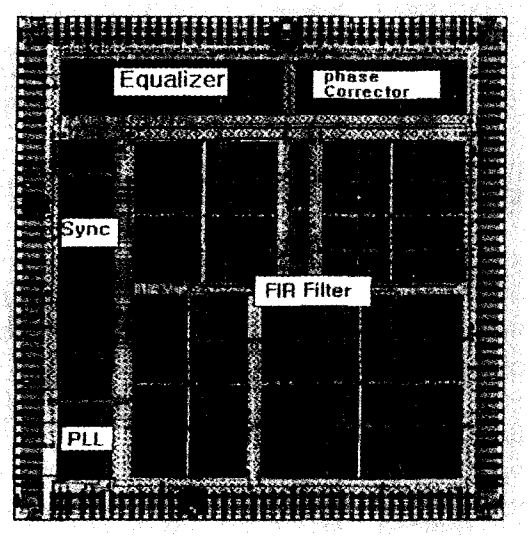

그림 3. 설계된 VSB수신기 중 SyncEq칩의 레이아웃

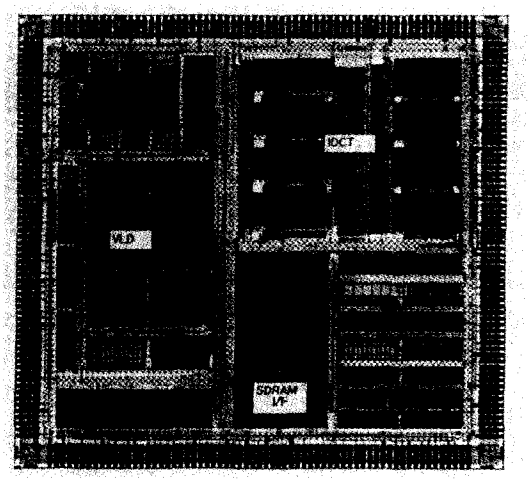

그림 4. 설계된 비디오 복호화기의 레이아웃

2에 요약되었다. 그 중 가장 중요한 항목인 백색 잡음 임계치 (TOV)는 14.87dB로, ATSC표준안의 14.9dB보다 조금 나은 성능의 값을 얻었다. 비디오 신호 처리부는 시각 평가와 함께 고정 소수점 C언어의 모의 실험 결과 값들을 칩의 출력 값들과 비교하였고, 동일한 결과를 얻었다. 그림 3~5 는 칩세트 중에서 SyncEq칩, 비

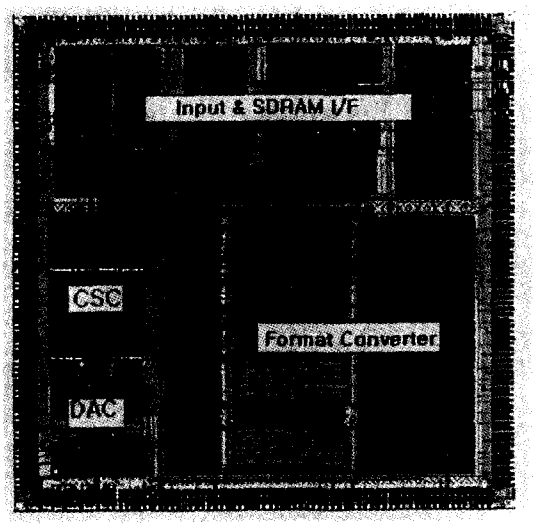

그림 5. 설계된 디스플레이 프로세서칩의 레이아웃

디오 복호화칩 및 디스플레이 프로세서의 레이아웃이다. 현재 칩세트는 추가 기능들을 포함하여 0.35㎛공정으로 다시 제작되어 현재 양산 단계이며, 미국향 DTV 수상기에 적용 중이다.

3. VSB수신 시스템

VSB수신기는 그림 6에서와 같이 크게 복조부와 채널 복호부로 나뉘어지고, 복조부는 RF 신호를 IF를 거쳐 기저대역으로 내리는 튜너, 반송파를 검출하는 FPLL (frequency and phase locked loop), 정확한 심볼의 샘플시간을 복원해 이를 A/D변환기로 보내는 클록복구, 다중경로 잡음을 줄여주는 채널 등화, 그리고 위상잡음을 보정해주는 위상 추적부로 구성된다. 채널 복호부는 송신기의 채널 부호화의 역순으로 트렐리스 복호, 데이터 디인터리버, Reed-Solomon부호 복호 그리고 데이터 디랜덤마이저부로 구성된다.

VSB수신기는 크게 세가지의 모듈로 구현된다. 즉, 안테나에서 수신된 RF 신호를 IF 및 기저대역으로 내리고 A/D 변환하는 아날로그 모듈, A/D변환된 신호에서 각종 동기 신호를 복구하고 신호의 모양을 판정에 적합한 형태로 정형하는 모듈, 신호를 판정하고 오류를 정정하는 모듈이다. 여기서 두 번째, 세 번째 모듈이 각각 칩으로 설계되었고, 각각 SyncEq(synchronizer/equalizer)와 VCD(VSB channel decoder)라는 이름을 갖는다. 설계된 칩은 지상파 8-VSB를 포함하여 모두 5개의 VSB 모드를 지원한다.

3.1 SyncEq (synchronizer/equalizer) 칩의 설계

수신된 RF VSB신호는 튜너에서 IF신호 및 기저대역신호로 변환되고, A/D 변환기를 거쳐서 10.76MHz의 주파수를 갖는 10bit의 디지털 형태로 SyncEq칩으로 입력된다. 이 SyncEq칩은 크게 동기검출, 채널등화, 위상추적등의 기능을 수행하며, DC성분 제거기, 극성 복구부, 동기 복구부, 채널 등화기, 위상 추적기등의 블록으로 나뉘어진다.

DC성분 제거기는 역할이 종료된 파이롯트 신호를 제거하는 것이 목적인데, 아날로그부에서 처리하는 것은 정밀도가 낮기 때문에 디지털로 처리하는 것이다. DC성분을 정확하게 제거하기위하여 25bit의 적산기를 사용하여 계속 적산을 하고 상위 10비트를 DC값으로 판단한다. 구현된 DC제거기는 순간적인 1~2 비트의 잔류 성분만을 보였다. 극성 복구부는 FPLL의 특성이 정위상인 0도와 역위상인 180도 위상에 대해 양면 안정성향을 갖기 때문에, 입력되는 신호의 극성을 검출하고 역위상에서 수렴한 데이터의 극성을 반전, 보정시키기 위함이다. 극성 검출은 세그먼트 동기 신호의 패턴으로부터 검출되기 때문에 세그먼트 동기 신호 검출과 같이 수행된다. 동기 복구부는 세그먼트 동기, 클록 동기, 필드 동기등 세가지 동기 복구를 차례로 수행한다. 이중 가장 기본이 되는 것이 세그먼트 동기 복구이고 이로부터 클록 동기와 필드 동기 복구가 수행된다. 가장 복잡한 것이 심볼 클록 동기 복구이다. 세그먼트 동기 복구후에 (1,1,-1,-1)과의 상호 상관값을 구하여 그 결과가 0이 되도록 클록을 이동시킨다. 필드 동기 복구는 가장 간단하며 313 세그먼트를 주기로 두세번 비교하

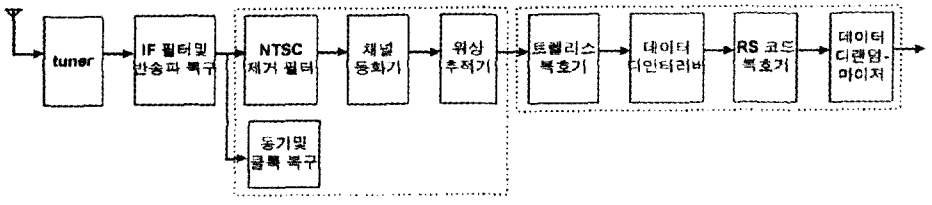

그림 6. VSB수신기 시스템

여 찾아낸다. 또한, VSB모드 검출 및 NTSC 간섭 제거 등도 이 SyncEq칩 내에서 행해진다.

채널 등화기는 전송로등에서 발생하는 고스트나 주파수 변형등의 선형 왜곡을 보상한다. 결정 궤환 등화기가 사용되었으며, 순방향으로 64탭, 역방향으로 192탭 등 모두 256탭의 필터로 구성되었고, LMS (Least Mean Square) 알고리즘이 등화기의 계수를 갱신하는데 사용되었다. 채널 등화기는 그 특징상 블록의 크기가 상당히 크기 때문에 비트수를 최소로 하면서 부동 소수점 계산 시와 비교하여 성능의 저하가 최소가 되도록 컴퓨터 모의 실험을 반복하였고, 이 결과 순방향의 필터 계수는 10비트, 역방향으로는 8비트, 계수 저장 적산기는 30비트로 결정하였다. 또한, 등화기 필터의 탭은 곱셈기이기 때문에, 모두 256개의 곱셈기가 요구된다. 본 설계에서는 필요한 하드웨어의 양을 줄이기 위해, 동작 주파수를 4배로 증가시켜 하나의 곱셈기를 4개가 공유하게 하였다.

위상 추적기는 FPLL이 제거하지 못한 위상 잡음을 제거하는 기능을 갖으며, 루프 필터의 대역이 매우 큰 1차 PLL로 구성된다. 위상 추적기는 심볼율로 동작하며 약 60kHz의 대역폭을 갖는다. 위상 추적기는 채널 등화기와 비교하여 요구되는 복잡도가 상당히 작아, 비트수를 줄이는 것보다는 각종 잡음 상황을 적절하게 판정하는 것이 더욱 중요하며, 여기서는 세가지의 에러 상황에 따른 비선형표가 모의 실험을 통하여 선정되고 이용되었다.

3.2 VCD (VSB channel decoder) 칩의 설계

채널 복호를 위한 VCD칩은 수신단 채널부호의 역순으로 트렐리스 복호, 디인터리버, RS 부호 복호 및 디랜덤마이저등의 블록으로 구성되며, 3.1절에서 설명한 SyncEq칩으로부터 신호를 입력받는다. 8-VSB 송신 시스템에서는 군집에러에 강한 RS부호와 백색 잡음에 강한 트렐리스 부호를 채택하였고, 입력 데이터를 불규칙한 형태로 만들기 위한 데이터 랜덤마이저와 데이터의 산란을 위한 데이터 인터리버가 사용되었다.

트렐리스 복호기는 12단의 디인터리빙 구조로 이루어져있고, 각각 NTSC 간섭 제거 필터가 사용된 경우와 그렇지 않은 경우에 대해서 각각 8상태 및 4상태의 복호를 수행한다. 세그먼트 동기신호는 복호기를 거치지 않고 그냥 통과되며, 출력 데이터는 바이트 단위로 디인터리버에 전해진다. 이후의 과정들은 모두 바이트 단위로 동작한다. RS 복호화기는 패리티 바이트가 20인, 즉 오류 정정 능력이 10인 (207, 187)부호를 복호화한다. 최종적으로 출력은 MPEG2 트랜스포트 역다중화부로 연결되며, 187바이트의 데이터외에 동기 바이트, 정정 불가능한 오류가 트랜스포트 패킷에 있다는 것을 알려주는 에러플랙, 유효 데이터 구간을 알려주는 밸리드신호등을 함께 출력한다.

4. 비디오 신호 처리 시스템

비디오 신호 처리 시스템부는 3절에서 설명한 VSB 수신부의 출력, 즉 트랜스포트 스트림을 역다중화하여 프로그램 정보, 영상및 오디오 패킷을 각각 분리하고, 각각 데이터의 복호화를 수행하여 최종적으로 디스플레이 모니터 및 스피커를 구동하는 아날로그부에 필요한 영상 및 오디오 소신호를 생성한다. 비디오 신호 처리 시스템부는 역다중화, 비디오 복호화, 디스플레이 프로세서등 세 가지의 칩으로 구성되었고, Dolby AC-3 오디오 복호화 칩은 설계되지 않고 기 설계된 칩을 사용하는 것을 가정하였다.

4.1 역다중화 칩의 설계

트랜스포트 역다중화 칩은 ISO/IEC 13818-1, 즉 MPEG2 시스템 규격을 지원하며, 입력되는 스트림은 최대 80 Mbits/sec까지를 받아들인다. 입력된 트랜스포트 스트림은 트랜스포트의 문법에 따라서, 헤더, 적응필드 및 유효 데이터 (payload) 등으로 분류되고, 선택된 PID별로 유효 데이터를 외부 메모리의 적정한 위치에 PES (packetized elementary stream) 또는 PSI (program specific information) 테이블의 형태로 저장한다. PID는 최대 32개가 지원된다. 외부 메모리로는 4Mbit DRAM이 사용되며, 이 메모리는 MCU와 공유 가능하다. 비디오 및 오디오 PES는 각각의 복호화기로 보내지고, 저장된 PSI의 테이블들은 전체 시스템을 제어하는 MCU에 의해 해석되어, 필요한 정보들이 취해진다.

역다중화 칩은 또한 적응 필드에 전송되어지는 PCR 값을 분류하여 MCU에 전달하고, MCU는 적절한 펄스 폭변조 신호를 만들어 출력하여 시스템 클록 27 MHz를 재생한다. 이와 같이 재생된 클록은 비디오와 오디오의 동기를 맞추는 데 사용된다. 만약 패킷에 에러플랙이 있으면, 이 패킷은 버려지게된다. 특히, 비디오 패킷이면, MPEG2에서 지정한 에러 시작 부호의 4바이트를 비디오 복호화기에 전달하여 복호화기가 적절한 오류 은폐를 할 수 있도록 한다.

4.2 MP@HL 비디오 복호화 칩의 설계

비디오 복호화기는 ATSC의 규정된 비디오 포맷 18가지를 포함하여 MPEG2의 MP@HL로 부호화된 모든 비디오 비트스트림을 지원한다. 설계된 복호화기는 가장 고해상도인 1920x1088 60 field/sec의 비디오 포맷까지 복호화가 가능하다. MP@ML급의 복호화기에 비해서

MP@HL급의 복호화기는 약 6배의 복잡도를 갖는다. 복호화기는 크게 가변 길이 복호화기, 역 양자화기, 역 이산 여현 변환기 및 움직임 보상부의 네가지로 구성된다.

가변 길이 복호화기는 배럴 쉬프터와 각종 부호화 테이블을 갖는다. 이와 같은 구조로 한 클록 주기에 한 개의 부호를 복호화하는 것이 가능하나, 배럴 쉬프터의 구조적인 특징상 궤환 루프가 존재하여 가변 길이 복호화기의 동작 주파수를 어느 정도 이상으로 높이는 것은 상당히 어렵다. 본 설계에서는 복호화되는 역산변환 계수의 통계적인 특성등을 고려하여 54MHz의 클록으로 동작 주파수를 결정하였다. 즉, 이론적으로 복호화하여야 하는 최대의 주파수는 약 96MHz이지만, 약 1/2정도의 동작 주파수로 복호화가 가능하게 설계하였다 [5].

복호화기는 비디오 비트스트림을 저장하고, 움직임 보상을 수행하며, 복호화가 종료된 픽쳐를 저장하는 등의 용도로 메모리를 읽고 쓸 필요가 있으며, 움직임 보상이 가장 메모리를 많이 필요로 한다. 이를 위하여 요구되는 최대의 메모리 크기는 약 85Mbit이며, 1초당 약 600Mbytes의 읽고 쓰는 동작이 요구된다. 본 설계에서는 외부 메모리로 네 개의 16x1 Mbits SDRAM을 사용하여 64bit의 데이터 버스 폭을 갖으면서 81MHz의 동작 주파수의 클록으로 동작하여, 듀얼 프라임을 포함한 MPEG2에서 규정된 모든 움직임 보상 방법을 지원한다.

4.3 디스플레이 프로세서 칩의 설계

디스플레이 프로세서는 포맷 변환, PIP (picture in picture) 지원, 디스플레이 제어, 동기 신호 생성, OSD (on-screen display) 지원, 컬러 공간 변환등의 기능을 수행한다. 이 중 가장 중요한 것은 포맷 변환으로 디스플레이 프로세서는 복호화된 18가지의 입력 영상 포맷을 모두 고해상도 HD급, 즉 1920x1080 60 fields/sec로 포맷을 변환한다. 또한, 복호화된 영상외에 외부 입력을 통하여 A/D 변환되어 입력되는 NTSC 포맷과 VGA입력 포맷을 변환한다. 포맷 변환시에 4:2:0 또는 4:2:2의 형태로 입력된 색차 신호는 4:4:4로 변환된다. 변환된 휘도 및 색차 디지털 신호는 칩에 내장되어있는 세 채널의 D/A변환기를 통하여 바로 아날로그 신호로 출력된다.

NTSC신호나 복호화된 480I 신호의 고화질 포맷 변환을 위해서 삼차원 디인터레이싱 알고리즘이 개발되어 구현되었다. 이 알고리즘은 필드간의 움직임 정보를 이용하여서 필드내 보간 또는 필드간 보상을 적응적으로 수행함으로써 고화질을 실현한다. 이 방법에서는 먼저 480I 신호가 480P로 변환되고 최종적으로 1080I로 포맷 변환된다.

다양한 디스플레이를 위하여 PIP, multi-PIP 및 zoom in이 지원된다. 즉, DTV를 주화면으로 NTSC를 보조화면으로, 또는 반대로 동시에 PIP형태로 디스플레이할 수 있다. PIP의 위치는 임의로 가능하며, 크기는 1/4, 1/9이 지원된다. Multi-PIP으로 16개의 화면이 동시에 표시되며, 그 중 하나는 동화이며 나머지는 정지화이다. 이 기능을 이용하여 여러 채널 스캔 또는 한 채널의 연속 정지화 처리등이 가능하다.

OSD는 비트맵형태로 전 화면 크기, 즉 1920x1080까지 지원된다. 화소당 컬러 테이블을 이용하여서 65,536가지의 컬러중 2/4/16/256 컬러가 표현 가능하며, 16 레벨로 영상과 블렌딩이 가능하다. 커서를 포함하여 모두 세 개의 화면을 갖는다.

5. 2세대 칩세트및 향후 전망

1세대 칩세트의 개발에 이어 현재는 칩수는 더욱 줄이고 기능은 추가한 2세대 칩세트가 개발 중이다 (그림 7 참조). 칩수는 다섯 개에서 두 개로 대폭 줄였다. 즉, 1세대에서는 두 칩으로 구성되었던 VSB수신부의 모든 기능을 한 칩에 구현하였으며, 세 칩으로 구성되었던 비디오 신호 처리부도 모두 한 칩에 구현하고있다. 이상을 가능하게 하는 가장 큰 요인은 반도체의 공정 기술 및 설계 기술의 비약적인 발전이다. 즉, 1세대에서 사용되었던 0.6㎛ 공정에 비해 훨씬 집적도가 향상된 0.25㎛ 공정이 현재 사용 가능하고 그에 따른 제반 설계툴들이 개발되어있다.

2세대 칩세트는 단순히 칩 수만을 줄이는 것외에 1세대 칩세트와 비교하였을 때 상당히 많은 기능들이 추가되어있다. 먼저, VSB수신부를 보면 A/D 변환기를 포함하여 전체 수신부를 구성하는 칩수가 줄어들 뿐만 아니라 백색 잡음 임계치 등의 성능도 더욱 더 이론치에 가깝게 향상되고 있고, VSB외에 QAM등도 지원되어 지상파와 유선 방송이 같은 칩으로 대응된다. 2세대 비디오 신호 처리부의 첫 번째 특징은 멀티 포맷의 지원이다. 모든 입력에 대해서 출력 포맷으로 1080I, 720P 및 480P 등이 지원되어 같은 칩으로 다양한 디스플레이 장치와 연결이 가능하다. 두 번째로는 OSD외에 그래픽의 기능이 상당히 강화되어있다. 이는 DTV가 단순 A/V 플레이외에 데이터 서비스, 쌍방향 서비스의 부가적인 기능이 상당히 추가되고 있는 추세에 대응하여 HTML등의 지원을 용이하게 하기 위함이다. 또한, 호스트도 32비트급까지 지원되게 설계되어있다. 이는 PC와 TV와의 복합화추세를 반영하고 있다. 세번째로는 화질 향상을 위한 각종 영상 후처리 알고리즘이다.

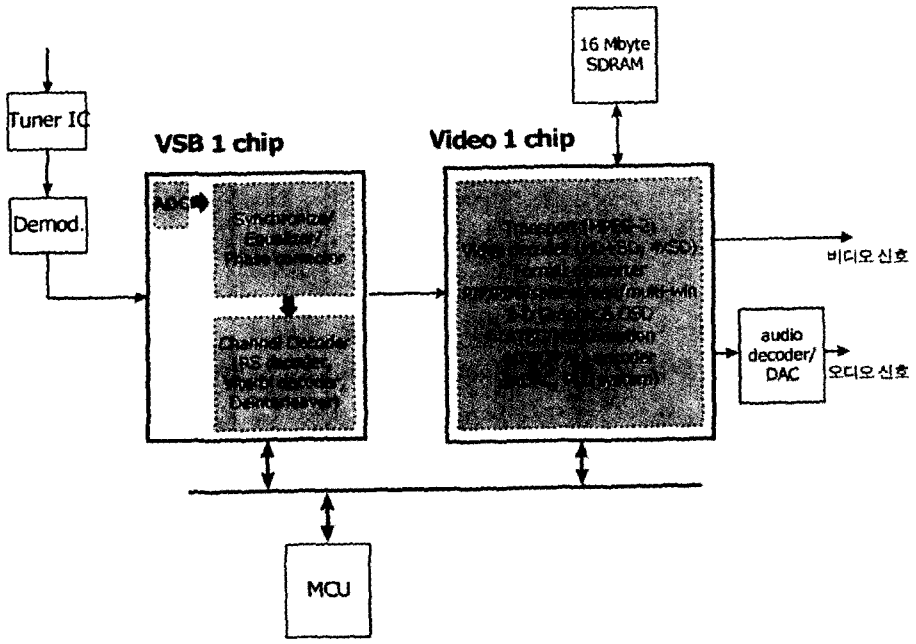

그림 7. 2세대 칩세트의 구성도

디인터레이싱, 잡음 제거 및 휘도 성분의 선명화 등이 구현되어있다. 이는 디지털 방송과 상당 기간 같이 방송될 아날로그 방송의 수신시에 기존의 TV보다 상당히 개선된 화질을 제공한다.

이상에서는 주로 LG전자가 개발하였거나 개발 중인 칩세트에 대해서 살펴 보았다. 현재의 추세를 보아 향후 기술 및 시장을 예측을 하여보면, 2000년을 전후하여 0.18/0.13㎛ 등의 공정과 로직과 대용량의 메모리를 내장하는 임베디드 메모리 등의 기술이 개발 될 예정이고, 이를 이용하여 디지털 TV에 필요한 모든 기능을 하나의 칩에 집적하는 각종 시도들이 예상된다. 즉, 전송부 및 비디오, 오디오 신호 처리부와 필요 메모리 그리고 MCU 및 필요 주변 장치들을 1칩화하는 제품들이 예상되며 21세기의 멀티미디어 복합 단말기로 진화할 것이 예상되는 디지털 TV의 핵심 부품 공급을 위한 칩메이커들의 성능 및 가격의 경쟁이 치열하게 전개될 것이다.

6. 결론

본 논문은 우리 나라의 디지털 지상파 방식으로 선정된 ATSC표준에 대응하는 DTV용 칩세트에 대해서 논하였다. 제작된 1세대 칩세트는 5개로 구성되었으며, 국내의 설계 기술과 공정을 이용하여 세계 최초로 개발에 성공하였다. DTV용 칩세트는 기술 집약적이며 고부가 가치인 비메모리 집적 회로 분야의 성공 기반을 구축하는 효과뿐만 아니라, DTV의 조기 국산화 및 수출 전략 산업으로서의 육성등에 중요한 발판이 된다. 현재, 칩수는 줄이고 기능을 더욱 추가한 2세대 칩세트가 개발 진행 중이다.

참 고 논 문

1. *United States Advanced Television Systems Committee, ATSC Digital Television Standard,* Sep. 1995.
2. ISO/IEC 13818-2, "Information technology - Generic coding of moving pictures and associated audio information: Video," May. 1996.
3. H.-B. Park et al, "A chipset for HDTV compliant with ATSC standard," IWHDTV98, pp. 21-30, Oct. 1998.
4. S. Sjoholm et al, VHDL for designers, Prentice Hall, 1997.
5. J. G. Kim et al, "Single chip HDTV video decoder architecture," IWHDTV98, pp. 301-309, Oct. 1998.

필 자 소 개

최 승 종

- *1987. 2 : 서울대학교 전자공학과*
- *1989. 2 : 한국과학기술원 전기 및 전자공학과 (석사)*
- *1996. 8 : Rensselaer Polytechnic Institute 전기공학과 (박사)*
- *1989. 1 ~ 현재 : LG전자 DTV연구소 선임연구원*
- *관심 분야 : 동영상 압축, VLSI 시스템 설계*