

어닐링 기능을 갖는 셀룰러 신경망 칩 설계

(Design of CNN Chip with Annealing Capability)

柳星桓*, 全興雨*

(Sung-Hwan Ryu and Hung-Woo Jeon)

요약

셀룰러 신경망 셀의 출력값은 각 셀의 초기 상태값에 따라서 국부적 최소점으로 안정화될 수 있으므로 출력값에 오류를 가져올 수 있다. 이에 본 논문에서는 각 셀의 초기 상태값에 관계없이 출력값이 전역적 최소점 도달하여 정확한 출력이 보장되도록 하는 어닐링 기능을 갖는 6×6 셀룰러 신경망을 설계하였다. 이 칩은 0.8μm CMOS 공정으로 설계하였다. 설계된 칩은 약 15,000여개의 트랜지스터로 구성되며 칩 면적은 약 2.89×2.89mm² 이다. 설계된 회로를 이용한 윤곽선 추출 및 hole filling에 대한 시뮬레이션 결과에서 어닐링이 되지 않은 경우에서 출력값에 오류를 일으킬 수 있지만 어닐링 기능을 갖는 경우에는 오류가 발생하지 않는 것을 확인하였다. 시뮬레이션에서 어닐링 시간은 3μsec로 하였다.

Abstract

The output values of cellular neural networks would have errors because they can be stabilized at local minimums depending on the initial states of each cell. So, in this paper, we design the 6×6 cellular neural networks with annealing capability which guarantees that the outputs reaches the global minimum to have correct output values independent of the initial states of each cell. This chip is designed using a 0.8μm CMOS technology. The designed chip contains about 15,000 transistors and the chip size is about 2.89×2.89mm². The simulation results of edge extraction and hole filling using the designed circuit show that the outputs values would have errors in un-annealed case, but not in annealed case. In the simulation, the annealing time of 3μsec is employed.

I. 서론

셀룰러 신경망(Cellular Neural Networks : CNN) [1,2]은 시냅스와 신경 처리요소인 셀들이 어레이로 구성되어 있는 병렬처리 시스템으로서 셀룰러 신경망의 동작은 셀의 템플릿(template) 계수 및 뉴런 전달함수와 셀들의 위상(topology)에 의해 결정된다. 셀룰러

신경망의 국부적인 연결특성으로 인하여 셀룰러 신경망을 하드웨어로 구현할 경우 배선이 용이하게 하며 칩의 집적도를 높일 수 있다는 장점을 가지고 있다. 또한 셀룰러 신경망의 공간 불변성(space invariant)특성에 의해 모든 셀이 동일한 형태를 가지므로 규칙적인 레이아웃을 할 수 있으며 서로 다른 가중치(weight)가 매우 적으므로 템플릿의 숫자를 훨씬 줄일 수 있다. 그리고 셀룰러 신경망은 병렬연산 및 연속시간 동작이 가능하므로 처리속도 문제를 해결할 수 있다. 그러므로 셀룰러 신경망은 초고집적회로(VLSI)의 구현에 매우 적합하며 이의 응용 및 하드웨어 구현에 대한 연구가 활발히 진행 중에 있다^[3,4,5].

그러나 셀룰러 신경망은 주어진 조건에서 안정된 정상상태의 출력을 갖지만 각 셀의 초기 상태값에 따라

* 正會員, 金烏工科大學校 電子工學部
(School of Electronic Engineering, Kumoh National University of Technology)

※ 본 논문은 금오공과대학교 학술연구비와 IDCE의

CAD Tool 지원에 의하여 연구된 논문입니다.
接受日字: 1998年11月20日, 수정완료일: 1999年9月27日

서 그 출력의 에너지상태가 전역적 최소점 (global minimum)에 있다는 것을 보장할 수 없다^[1,6]. 이와 같이 출력의 에너지상태가 국부적 최소점(local minimum)에 있는 경우 그 출력은 최적해가 될 수 없다.

여러 가지 최적화 방법 중 가장 많이 사용되는 방법으로는 gradient descent, simulated annealing (SA), 볼츠만 머신, 민필드 어닐링 등이 있다^[6,7]. 본 논문에서는 어닐링 방법을 부가한 셀룰러 신경망을 하드웨어적으로 설계하였다. 이 어닐링의 기본적 이론은 이진 상태의 뉴론을 연속적인 아날로그 뉴론으로 대체하는 방법으로서 뉴론의 이득을 점진적으로 증가시키므로써 실현될 수 있다^[6,7]. 이러한 방법을 이용하면 신경망은 전역적 최소점에 빠른 시간 내에 도달할 수 있으며 하드웨어적으로 쉽게 구현될 수 있다는 장점을 가지고 있다.

본 논문에서는 0.8 μ m CMOS공정을 이용하여 어닐링 기능을 갖는 전류방식 셀룰러 신경망 칩을 설계하였다. 그리고 설계한 칩을 이용하여 6 \times 6 영상입력에 대한 윤곽선 추출 및 hole filling 처리동작에 대한 시뮬레이션을 통하여 어닐링 기능에 의한 최적화 동작을 확인하였다.

본 논문의 구성은 다음과 같다. II장에서는 셀룰러 신경망의 기본적 이론과 어닐링 기능에 대해 간략하게 기술하였으며 III장에서는 어닐링 기능을 갖는 셀룰러 신경망의 기본 셀의 설계에 대해 기술하였다. IV장에서는 설계된 회로를 이용한 윤곽선 추출 및 hole filling의 처리동작에 대한 HSpice 시뮬레이션한 결과를 검토하였다. V장에서는 결론 및 앞으로의 연구방향에 대해 기술하였다.

II. 어닐링 기능을 갖는 셀룰러 신경망

1. 일반적인 셀룰러 신경망

$n \times m$ 어레이로 구성된 셀룰러 신경망의 동특성에 대한 비선형 미분 방정식과 출력 방정식은 다음과 같다^[1,2].

$$C_x \frac{dx}{dt} = -\frac{1}{R_x} x + Ay + Bu + I_b w \quad (1)$$

$$y = f(x) \quad (2)$$

식 (1)과 (2)에서 $x = [v_{x1}, v_{x2}, \dots, v_{xn}]^T$ 은 각 셀의 상

태값, $y = [v_{y1}, v_{y2}, \dots, v_{yn}]^T$ 은 각 셀의 출력값, $u = [v_{u1}, v_{u2}, \dots, v_{un}]^T$ 은 각 셀의 입력값이다. A와 B는 각 각 출력 피드백 및 입력 피드 포워드 시냅스 가중치로 구성된 행렬로써 주어진 템플릿에 의해 결정된다. $w = [1 \ 1 \ \dots \ 1]^T$ 는 $N \times 1$ 단위벡터이다, 여기서 $N = n \times m$ 이다. 캐패시터 C_x , 저항 R_x 및 바이어스 전류 I_b 는 전체 신경망에서 동일한 값을 갖는다. 그리고 $f(x)$ 는 뉴론의 전달함수이다. 그리고 i -번째 행과 j -번째 열에 위치한 각 셀 C(i,j)의 초기상태와 입력값에 대한

$$|v_{xij}(0)| \leq 1, \quad |v_{uij}(t)| \leq 1$$

의 제한조건에서 대칭적인 행렬 A를 갖는 신경망은 안정된 정상상태에 도달하며 $A(i, j: i, j) > 1/R_x$ 이면 포화된 이진 출력이 보장된다^[1]. 그러나 셀룰러 신경망의 안정된 정상상태 출력에서의 에너지상태가 신경망의 초기 상태값에 따라서 국부적으로 최소화될 수 있는 문제를 가지고 있다^[1,6]. 따라서 최적화를 위해 신경망의 초기 상태값에 관계없이 주어진 입력에 대해 출력의 에너지상태가 전역 최소값이 되어야 한다.

2. 어닐링 기능을 갖는 셀룰러 신경망

셀룰러 신경망의 출력에 대한 에너지상태는 여러 개의 안정된 국부적 최소점에 수렴할 수 있으므로 최적 상태인 전역적 최소점에 이르도록 보장할 필요가 있다.

어닐링의 방법은 두개의 이진 상태를 갖는 이진 뉴론을 연속적인 출력을 갖는 아날로그 뉴론으로 대체하는 것으로써 어닐링 시간을 적절히 제어하므로써 신경망의 에너지상태가 전역적 최소점에 도달한다^[6,7]. 따라서 어닐링 기능을 셀룰러 신경망에 부가하므로써 신경망이 국부적 최소점을 빠져나와 전역 최소점에 신속하게 도달할 수 있다. 이와 같은 어닐링 기능은 뉴론의 이득을 제어하므로써 간단하게 실현될 수 있다.

어닐링 기능을 갖는 셀룰러 신경망의 동특성 미분방정식은 식(1)과 같으며 출력방정식은 $y = f(gx)$ 로 변경된다^[6], 여기서 $g(t)$ 은 뉴론의 이득을 제어하는 어닐링 신호이다. 각 뉴론의 전달함수는 구간-선형함수이며 전달함수의 이득은 식 (3)과 같이 $g(t)$ 를 변화시키므로써 III장의 그림 7과 같은 출력특성을 갖는다. $g = 1$ 인 경우는 일반적인 셀룰러 신경회로망의 기능을 한다.

$$v_y = f(g v_x) = \begin{cases} 1 & ; v_x > \frac{1}{g} \\ g v_x & ; -\frac{1}{g} \leq v_x \leq \frac{1}{g} \\ -1 & ; v_x < -\frac{1}{g} \end{cases} \quad (3)$$

어닐링 기능을 갖는 경우 셀룰러 신경망의 에너지함수는 다음과 같다^[6].

$$E = -\frac{1}{2} \sum_{i,j} \sum_{C(k,l) \in N_c(i,j)} A(i,j;k,l) v_{yij} v_{ykl} - \sum_{i,j} \sum_{C(i,j) \in N_c(i,i)} B(i,j;k,l) v_{yij} v_{ykl} + \frac{1}{2gR_x} \sum_{i,j} (v_{yij})^2 - \sum_{i,j} I_b v_{yij} \quad (4)$$

셀룰러 신경망의 상태값이 초기화 된 후 초기 이득이 매우 작은 양(+)의 값이면 국부적 최소점 상태에 있는 신경망의 에너지상태를 전역적 최소점에 속하는 흡인분지(attraction basin) 에너지상태로 이동하게 하며, 이득을 더욱 증가시키면 신경망의 에너지상태를 전역 최소점으로 접근하게 하며 이득이 1에 도달하면 전역적 최소점 상태에 도달되며 포화된 이진 출력이 얻어진다^[6].

본 논문에서는 이와 같이 뉴론의 이득을 제어하므로써 최적화된 출력을 갖도록 하는 셀룰러 신경망을 하드웨어적으로 설계하였다.

III. 기본 셀 설계

1. 어닐링 기능을 갖는 셀룰러 신경망 셀의 블록도

그림 1은 본 논문에서 설계한 어닐링 기능을 갖는 전류방식 셀룰러 신경망을 구성하는 셀의 블록도로서 일반적인 셀룰러 신경망에 뉴론의 이득을 변화시키기 위한 제어입력을 갖는 곱셈기가 부가된 형태를 갖는다.

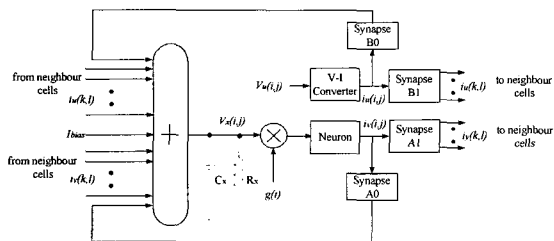


그림 1. 어닐링 기능을 갖는 CNN 셀 블록도
Fig. 1. Cell block of CNN with annealing capability.

2. 전압-전류변환, 전류바이어스 및 저항회로
입력전압의 전류변환 회로, 전압제어 전류 바이어스 회로 및 저항회로의 설계에 OTA (Operational Trans-conductance Amplifier)^[8]를 이용하였다.

OTA 회로는 그림 2와 같으며 입력전압이 V1와 V2 인가된다. 그리고 차동 입력전압 $V_{in} \equiv (V1-V2)$ 에 대한 차 출력전류 $I_{out} \equiv (I_{out+} - I_{out-})$ 은 아래와 같다.

$$I_{out} = \sqrt{\beta I_b} V_{in} \quad (5)$$

여기서 $\beta = \mu C_{ox}(W/L)$ 이며 I_b 는 트랜지스터 Mb에 의한 바이어스 전류로써 OTA 출력전류의 최대 크기를 결정하는 요소이다.

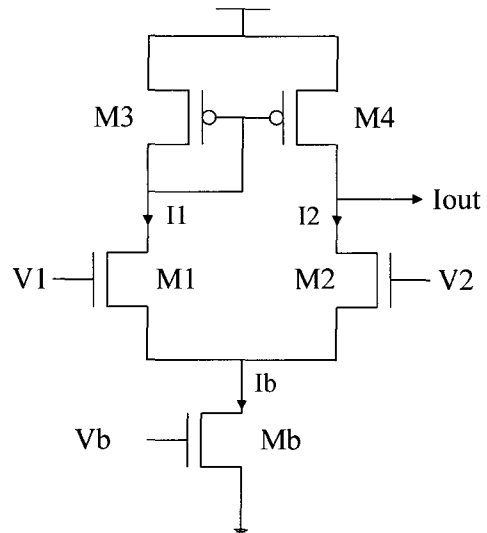


그림 2. OTA회로
Fig. 2. OTA circuit.

OTA를 이용한 전압-전류 변환 입력회로와 셀에 바이어스전류를 공급하기 위한 전압제어 전류 바이어스 회로는 V2단자를 3.7V에 고정시키고 V1단자에 입력전압 또는 바이어스 제어전압을 연결하여 구현하였다. 그리고 전압-전류 변환 회로의 출력은 피드 포워드 시냅스 회로에 I_{out+} 과 I_{out-} 가 별개로 입력되도록 Mb과 M4에 각각 전류미러 회로를 부가하였다. 저항회로는 OTA의 V1단자를 기준전압 3.7V에 고정시키고 V2 단자를 출력단자와 연결하므로써 구성된다.

본 논문에서는 3.0V~4.4V의 입력전압이 $-5\mu A \sim +5\mu A$ 의 차 전류로 선형적으로 변환되도록 설계하였다. 그리고 바이어스 전류는 $-10\mu A \sim 10\mu A$ 범위에서 변

환이 가능하도록 하였으며 저항회로는 $\pm 30\mu A$ 의 전류 범위에서 $3.7 \pm 1.2V$ 의 전압변이(40k Ω)가 되도록 설정하였다. 그리고 캐패시턴스는 회로 자체의 캐패시턴스를 이용하였으며 약 4pF 이다.

2. 아날로그 곱셈기

아날로그 곱셈기는 뉴론의 이득을 제어하기 위해 사용된다. 본 논문에서는 넓은 범위의 선형동작 영역을 갖도록 하기 위해 그림 3과 같은 광대역 길버트 곱셈기^[8,9]를 사용하였다.

이 곱셈기의 출력전류 I_{out} 은 식 (6)과 같이 두개의 차동 입력전압에 의해 결정된다.

$$I_{out} = \sqrt{\frac{\beta_n \beta_p}{2}} (V1-V2)(V3-V4) \quad (6)$$

여기서 $\beta_n = \beta_{31} = \beta_{32} = \beta_{41} = \beta_{42}$, $\beta_p = \beta_{11} = \beta_{12}$ 이다.

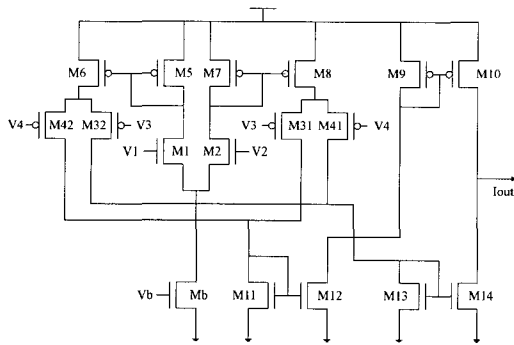


그림 3. 길버트 곱셈기
Fig. 3. Gilbert multiplier.

이 회로를 이용하여 뉴론의 이득을 제어하기 위하여 한 쌍의 차동 입력전압 단자 중 입력단자 V3은 어닐링 제어단자에 연결하고 입력단자 V4는 기준전압 1V에 고정시켰다. 그리고 또 다른 한 쌍의 차동 입력전압 단자 중 입력단자 V1은 셀의 상태전압 단자에 연결하고 입력단자 V2는 기준전압 3.7V에 고정시켰다. 이 회로는 뉴론 회로에 입력되는 출력전류를 조절하여 뉴론의 이득을 제어하는 효과를 갖는다.

설계된 곱셈기에 대한 시뮬레이션 결과는 그림 4와 같다. 그림 4에서 x축은 2.4V~5V의 상태전압값 (0.2V/DIV)이며 y축은 출력전류(2 μA /DIV)로써 [-40 μA , +40 μA] 범위의 출력전류를 갖는다. 이때 출력전류

는 0V~2V의 어닐링 제어입력전압(0.2V 간격)에 의해 선형영역에서의 기울기(이득)가 변하는 것을 알 수 있다. 따라서 $3.7 \pm 1.3V$ 상태전압 범위와 $1 \pm 1.0V$ 의 어닐링 제어전압 범위에서 좋은 선형특성을 갖는다. 그리고 이 회로는 차동 입력전압 (V1-V2)와 (V3-V4)의 극성에 따라서 4사분면 곱셈기능을 갖는다.

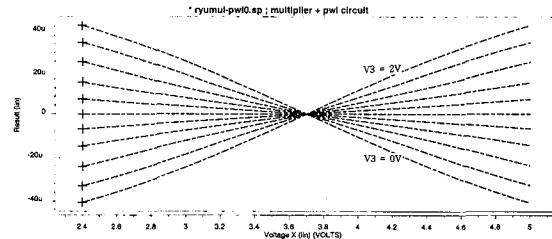


그림 4. 곱셈기의 출력특성
Fig. 4. Output characteristic of multiplier

3. 뉴론 회로

뉴론 회로는 그 전달함수가 구간선형함수로 동작하도록 하는 PWL 회로^[10]로 구현하였으며 두개의 전류 제한기를 이용하여 설계하였다.

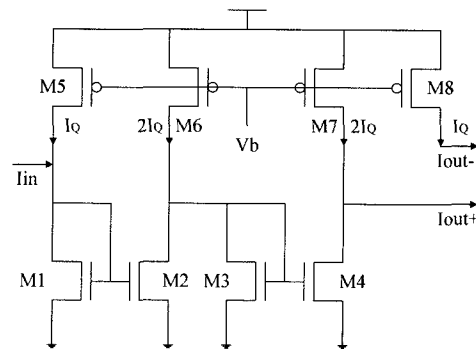


그림 5. 뉴론회로
Fig. 5. Neuron circuit.

PWL 회로는 그림 5와 같으며 하나의 입력 I_{in} 과 2개의 출력전류 I_{out+} 와 I_{out-} 를 갖는다. 이 회로의 모든 트랜지스터는 포화영역에서 동작하며, 차 출력전류 ($I_{out+} - I_{out-}$)는 다음과 같다.

$$I_{out+} - I_{out-} = -IQ ; I_{in} \leq -IQ$$

$$I_{in} ; -IQ < I_{in} < IQ \quad (7)$$

$$IQ ; I_{in} \geq IQ$$

따라서 차 출력전류는 [-IQ, IQ] 범위로 제한되며 구간-선형 함수의 특성을 갖는다.

본 논문에서는 단위전류가 $5\mu A$ 가 되도록 PWL회로를 설계하였으며 PWL회로에 대한 시뮬레이션 결과는 그림 6과 같다. 그림에서 x축은 $-10\mu A \sim +10\mu A$ 의 입력전류($2\mu A/DIV$)이며 y축은 출력전류($2\mu A/DIV$)로써 $[-5\mu A, +5\mu A]$ 범위의 출력전류를 갖는다.

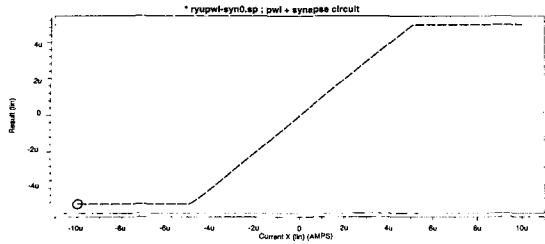


그림 6. 뉴런회로의 전달특성
Fig. 6. Transfer characteristic of neuron circuit.

곱셈기의 제어입력전압에 의하여 뉴런회로의 이득을 변화시키는 경우 설계된 뉴런회로의 시뮬레이션 결과는 그림 7과 같다. 그림 7에서 x축은 $2.4V \sim 5V$ 의 곱셈기 제어입력전압 ($0.2V/DIV$)이며 y축은 뉴런회로의 출력전류($2\mu A/DIV$)로써 $[-5\mu A, +5\mu A]$ 범위의 출력전류를 갖는다. 이때 출력전류는 $0V \sim 2V$ 의 곱셈기 제어입력전압 ($0.2V$ 간격)에 의해 선형영역에서의 기울기(이득)가 변하는 것을 알 수 있다.

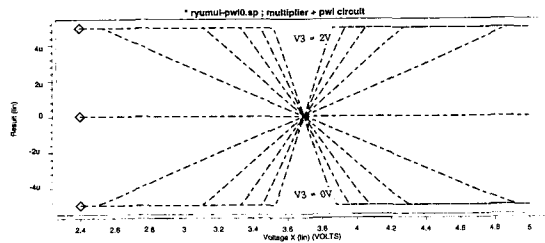


그림 7. 가변 이득을 갖는 뉴런회로의 전달특성
Fig. 7. Transfer characteristic of neuron circuit with variable gain.

4. 시냅스 회로

시냅스 회로는 그림 8과 같이 이진 제어위드에 의해 가중치를 결정하는 전류 리피터(repeater)회로[10]로 구성하였으며 가중치의 극성을 변환시키므로써 4-사분면 곱셈기능이 가능하도록 하였다.

시냅스의 가중치 출력전류의 크기는 제어위드 D4-D1의 이진 제어신호와 그에 연결된 전류 리피터의 전류이득에 의해 결정된다. 그리고 가중치의 극성은 제어입력 D5에 의해 결정된다. 가중치 제어신호에 의한 시

냅스 회로의 가중치 출력전류는 다음과 같다.

$$I_{out} = \pm \sum_{i=1}^4 A_i D_i (I_{in+} - I_{in-}) \quad (8)$$

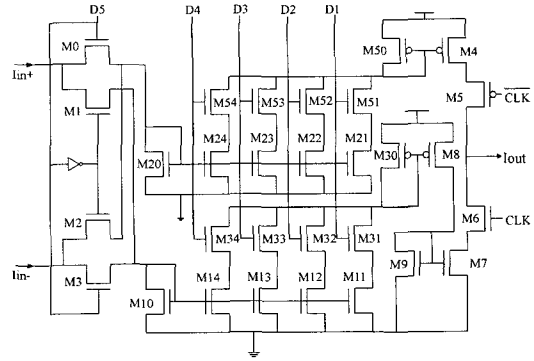


그림 8. 디지털적으로 프로그램이 가능한 시냅스회로
Fig. 8. Digitally programmable synapse circuit.

여기서 A_i 는 트랜지스터에 M10(M20) 대한 M11-14 (M21-24)의 W/L 비에 의해 결정되는 전류이득이다. 그리고 제어입력 D5가 논리 '1' 이면 +, 논리 '0' 이면 - 이다.

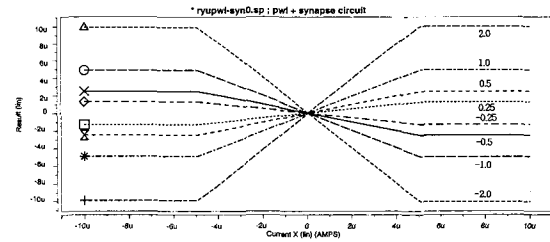


그림 9. 시냅스회로의 전달특성
Fig. 9. Transfer characteristic of synapse circuit.

본 논문에서는 전류이득이 각각 단위 전류의 2, 1, 0.5, 0.25배가 되도록 설계하였다. 따라서 시냅스 가중치를 단위 전류의 ± 3.75 배의 범위에서 0.25배의 간격으로 프로그램할 수 있다. 그림 10은 PWL회로의 출력에 시냅스회로를 연결하여 시뮬레이션을 한 결과로써 시냅스 회로의 가중치 2, 1, 0.5, 0.25에 따른 출력전류의 이득과 제어입력 D5에 의한 극성의 변화를 볼 수 있다. 그림 9에서 x축은 $-10\mu A \sim +10\mu A$ 의 PWL회로 입력전류($0.2\mu A/DIV$)이며 y축은 시냅스회로의 출력전류($2\mu A/DIV$)로써 가중치에 따라서 각각 $[-10\mu A, +10\mu A]$, $[-5\mu A, +5\mu A]$, $[-2.5\mu A, +2.5\mu A]$, $[-1.25\mu A, +1.25\mu A]$ 범위의 출력전류를 갖는다. 그리고 $(I_{in+} - I_{in-})$ 의 극성과 D5에 의한 가중치의 극성에 따

라서 4사분면 곱셈기능을 갖는다. 시냅스 가중치 회로는 셀 자체의 출력 및 이웃한 셀의 출력에 관련된 피드백 템플릿 계수 A0 및 A1와 자체 입력 및 이웃한 셀의 입력에 관련된 피드 포워드 템플릿 계수 B0 및 B1에 대해 각각 하나씩 구성된다.

IV. 실험 및 고찰

본 논문에서는 셀을 6×6 어레이로 배열하여 칩을 설계하였으며 윤곽선 추출 및 hole filling 영상처리 동작에 대해 시뮬레이션 하였다. 시뮬레이션에 사용된 입력 정보는 그레이 레벨 영상입력(4.4V:흑색, 3.0V:백색)을 가정하였다. 그리고 초기 상태값에 따른 동작을 확인하기 위해 각 셀의 초기 상태값을 가정한 상태에서 시험하였다. 이러한 초기 상태값과 입력이 인가된 후 어닐링 기능이 부과된 경우와 어닐링 기능이 부과되지 않은 경우의 출력결과에 대한 비교를 하였다. 어닐링 기능은 뉴론 이득 제어입력에 램프함수 형태의 신호를 인가하여 실험하였다.

1. 윤곽선 추출

각 셀의 임의의 초기 상태값을 주기 위해 그림 10(a)와 같이 초기 입력전압(바이어스 전압은 3.9V)을 1 μsec 동안 인가한 후 그림 10(b)의 입력영상에 대한 윤곽선을 추출하는 실험을 하였다.

윤곽선 추출을 위한 시냅스의 가중치를 결정하는 템플릿은 그림 11과 같으므로 시냅스 가중치 제어 입력 D5 - D1 은 표 1과 같이 인가하였다. 그리고 각 셀의 바이어스 전압은 3.8V를 인가하고, 어닐링 제어입력은 3 μsec동안 인가하였다.

3.2	3.2	3.2	3.2	3.2	3.2	3.0	3.0	3.0	3.0	3.0	3.0
3.2	3.2	4.2	3.3	4.1	3.2	3.0	3.2	4.2	4.2	4.2	3.0
3.2	4.4	4.4	4.3	3.2	3.2	3.0	3.2	4.2	4.2	4.2	3.0
3.2	4.1	4.4	4.2	3.8	3.2	3.0	3.2	4.2	4.2	4.2	3.0
3.2	3.9	4.0	4.1	4.2	3.2	3.0	3.2	4.2	4.2	4.2	3.0
3.2	3.2	3.2	3.2	3.2	3.2	3.0	3.0	3.0	3.0	3.0	3.0

(a) (b)

그림 10. 각 셀의 초기 상태값 및 입력값
 (a) 초기 상태값 (b) 입력값
 Fig. 10. Initial state values and input values of each cell.
 (a) Initial state values (b) input values.

0	0	0	0	-0.5	0
0	2	0	-0.5	1	-0.5
0	0	0	0	-0.5	0

(a) (b)

그림 11. 윤곽선 추출을 위한 템플릿
 (a) A 템플릿 (b) B 템플릿
 Fig. 11. Templates for edge detection
 (a) A template (b) B template.

표 1. 시냅스 가중치 제어입력
 Table 1. Control inputs for synapse weight.

템플릿	가중치 제어입력 [논리]				
	D5	D4	D3	D2	D1
A0	1	1	0	0	0
A1	1	0	0	0	0
B0	1	0	1	0	0
B1	0	0	0	1	0

윤곽선 추출에 대한 HSpice 시뮬레이션을 시행한 결과에 대한 정규화된 출력전류(+1:흑색, -1:백색)는 그림 12과 같다. 어닐링 기능이 있는 경우에는 그림 12(b)와 같이 정상적인 출력상태에 도달하지만 어닐링 기능이 없는 경우에는 그림 12(a)와 같이 셀 C(3,4)와 C(4,4)가 +1이 되어 오류가 발생하였다.

-1	-1	-1	-1	-1	-1	-1	-1	-1	-1	-1	-1
-1	-1	1	1	1	-1	-1	-1	1	1	1	-1
-1	-1	1	1	1	-1	-1	-1	1	-1	1	-1
-1	-1	1	1	1	-1	-1	-1	1	-1	1	-1
-1	-1	1	1	1	-1	-1	-1	1	1	1	-1
-1	-1	-1	-1	-1	-1	-1	-1	-1	-1	-1	-1

(a) (b)

그림 12. 윤곽선 추출 시뮬레이션 결과
 (a) 어닐링되지 않은 경우 (b) 어닐링된 경우
 Fig. 12. Simulation results of edge detection
 (a) un-annealed case (b) annealed case.

윤곽선 추출에 의한 각 셀의 HSpice 시뮬레이션 출력결과는 그림 13과 같다. 그림 13에서 0 μsec~5 μsec 구간은 어닐링이 있는 경우의 출력결과이며 5 μsec~10 μsec 구간은 어닐링이 없는 경우의 출력결과이다. 각 구간에서 처음 1 μsec 동안은 초기상태값이 인가되도록 하였으며 출력전류는 [-10 μA, +10 μA]범위가 되도록 하였다. 어닐링 기능이 부과되지 않은 경우 셀 C(3,4)와 C(4,4)은 +1 값으로 동작하여 오류가 발생하였으며 어닐링 기능이 부과된 경우에는 셀 C(3,4)와 C(4,4)은 -1

값으로 동작하여 정상적인 출력신호를 발생하였다. 따라서 어닐링 기능의 동작에 의해 윤곽선 추출의 결과가 최적화된 정상 출력값을 찾아감을 알 수 있다. 출력 에너지에 대한 시뮬레이션에서도 셀 C(3,4)와 C(4,4)는 어닐링 기능이 있는 경우에는 에너지가 0.3에서 -0.3으로 변화하여 전역적 최소점으로 이동한 것을 확인할 수 있다.

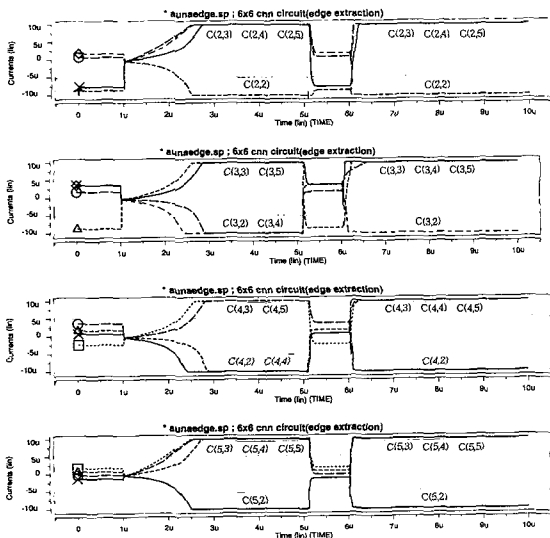


그림 13. 윤곽선 추출에 대한 Hspice 시뮬레이션 결과
Fig. 13. HSpice simulation results of edge detection.

2. Hole filling

각 셀에 임의의 초기 상태값을 주기 위해 그림 14(a)와 같이 초기 입력전압(바이어스 전압은 3.6V)을 1 μsec 동안 인가한 후 그림 14(b)의 입력영상에 대한 hole filling 실험을 하였다. hole filling을 위한 템플릿은 그림 15과 같으며 시냅스 가중치 제어 입력 D5 -

3.7	3.7	3.7	3.7	3.7	3.7
3.7	4.0	3.3	4.0	3.8	3.7
3.7	3.9	4.0	3.3	4.0	3.7
3.7	4.4	3.5	4.2	3.2	3.7
3.7	3.7	4.0	3.5	4.2	3.7
3.7	3.7	3.7	3.7	3.7	3.7

3.2	3.2	3.2	3.2	3.2	3.2
3.2	3.2	4.2	4.2	3.2	3.2
3.2	4.2	3.2	3.2	4.2	3.2
3.2	4.2	3.2	3.2	4.2	3.2
3.2	3.2	4.2	4.2	3.2	3.2
3.2	3.2	3.2	3.2	3.2	3.2

그림 14. 각 셀의 초기 상태값 및 입력값 (a) 초기 상태값 (b) 입력값

Fig. 14. Initial state values and input values of each cell (a) Initial state values (b) input values.

0	1	0
1	2	1
0	1	0

0	0	0
0	3.75	0
0	0	0

그림 15. Hole filling을 위한 템플릿
(a) A 템플릿 (b) B 템플릿
Fig. 15. Templates for hole filling
(a) A template (b) B template

D1을 조절하여 인가하였다. 그리고 각 셀의 바이어스 전압은 4.2V를 인가하고, 어닐링 제어입력은 3 μsec 동안 인가하였다.

Hole filling에 대한 HSpice 시뮬레이션을 시행한 결과에 대한 정규화된 출력전류(+1:흑색, -1:백색)는 그림 16와 같다. 어닐링이 있는 경우 그림 16(b)와 같이 정상적인 출력상태에 도달하지만 어닐링이 없는 경우에는 그림 16(a)와 같이 셀 C(2,2), C(2,5), C(5,2) 및 C(5,5)가 +1이 되어 오류가 발생한 것을 알 수 있다.

-1	-1	-1	-1	-1	-1
-1	1	1	1	1	-1
-1	1	1	1	1	-1
-1	1	1	1	1	-1
-1	1	1	1	1	-1
-1	-1	-1	-1	-1	-1

-1	-1	-1	-1	-1	-1
-1	-1	1	1	-1	-1
-1	1	1	1	1	-1
-1	1	1	1	1	-1
-1	1	1	1	1	-1
-1	-1	1	1	-1	-1
-1	-1	-1	-1	-1	-1

그림 16. Hole filling 시뮬레이션 결과
(a) 어닐링되지 않은 경우 (b) 어닐링된 경우
Fig. 16. Simulation results of hole filling.
(a) un-annealed case (b) annealed case

Hole filling에 의한 각 셀의 HSpice 시뮬레이션 출력 결과는 그림 17과 같다. 그림 17에서 0 μsec ~ 5 μsec 구간은 어닐링이 있는 경우의 출력결과이며 5 μsec ~ 10 μsec 구간은 어닐링이 없는 경우의 출력결과이다. 각 구간에서 처음 1 μsec 동안은 초기상태값이 인가되도록 하였으며 출력전류는 [-10 μA, +10 μA]범위가 되도록 하였다. 어닐링 기능이 부가되지 않은 경우 셀 C(2,2), C(2,5), C(5,2)와 C(5,5)은 +1 값으로 동작하여 오류가 발생하였으며 어닐링 기능이 부가된 경우에는 셀 C(2,2), C(2,5), C(5,2)와 C(5,5)은 -1 값으로 동작하여 정상적인 출력신호를 발생하였다. 따라서 어닐링 기능의 동작에 의해 hole filling의 결과가 최적화된 정상 출력값을 찾아감을 알 수 있다.

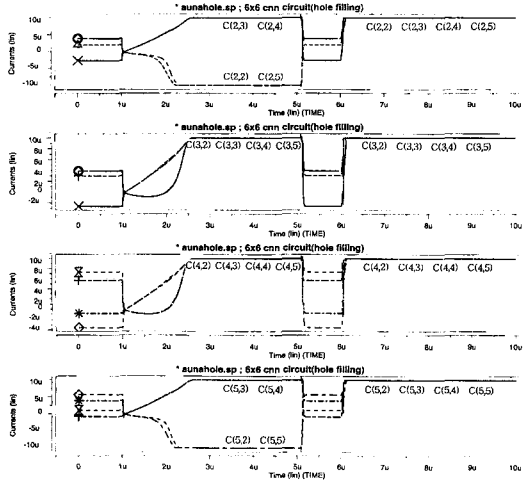


그림 17. Hole filling에 대한 HSpice 시뮬레이션 결과
Fig. 17. HSpice simulation results of hole filling

V. 결론

본 논문에서는 각 셀의 초기 상태값에 관계없이 최적의 해를 찾아가는 어닐링 기능을 갖는 셀룰러 신경망 칩을 설계하였다. 설계된 회로를 유관선 추출 및 hole filling에 대해 시뮬레이션을 한 결과 어닐링 기능을 부가함으로써 정확한 출력 결과를 얻을 수 있음을 확인하였다. 본 칩의 설계는 0.8 μm CMOS 공정을 이용하였으며 6×6 어레이 구조로 설계하였다. 사용된 트랜지스터의 수는 약 15,000개로써 칩의 면적은 2.89×2.89 mm²이다. 어닐링 동작속도는 3 μsec이다. 본 회로는 시냅스 회로의 가중치를 디지털적으로 프로그래밍이 가능하도록 설계하였으므로 다른 영상신호처리에도 이용될 수 있다.

본 칩은 6×6 어레이 구조이므로 간단한 영상처리 실험에 이용할 수 있다. 앞으로 본 연구에서는 아날로그적으로 프로그래밍이 가능한 시냅스 회로의 구현과 셀의 행렬 선택 기능을 부과하여 입출력 핀 수를 줄임으로써 10×10 이상의 어레이 회로 설계가 가능하도록 할 예정이다. 또한 각 칩을 어레이로 배열하여 필기체 문자 인식과 영상처리 분야에 실질적으로 적용할 수 있도록 할 예정이다.

참고 문헌

[1] L. O. Chua and L. Yang, "Cellular neural

networks : Theory", IEEE Trans. on Circuits and System, vol. 35, no. 10, pp. 1257-1272, Oct. 1988.

[2] Leon O. Chua and Lin Yang, "The CNN paradigm", IEEE Trans. on Circuits and System-I, vol. 40, no. 3, pp. 147-155, Oct. 1988.

[3] Kenneth R. Crounese, Tamas Roska and Leon O. Chua, "Image halftoning with cellular neural networks", IEEE Trans. Circuits and System-II, vol. 40, no. 4, pp. 267-283, April, 1993.

[4] Joseph E. Varrientos, Edgar Sanchez-Sinencio, Jaime Ramirez-Angulo, "A current-Mode cellular neural network implementation", IEEE Trans. Circuits and Systems-II, Vol. 40, No. 3, pp. 147-155. Mar. 1993.

[5] P. Kinget and M. S. J. Steyaert, "A programmable analog cellular neural network CMOS chip for high speed image processing", IEEE J. Solid-State Circuits, vol. 30, no. 3, pp. 235-243, Mar. 1995.

[6] S. H. Bang and B. J. Sheu, E. Y. Chou. "A hardware annealing method for optimal solutions on cellular neural network", IEEE Trans. Circuits Systems-II, vol. 43, no. 6, pp. 409-421. June, 1996.

[7] A. Cichocki and R. Unbehauen, Neural Networks for Optimization and Signal Processing, John Wiley and Son, pp. 88-167, 1995.

[8] C. Mead, Analog VLSI and Neural Systems, Reading, MA: Addison Wesley, pp. 67-96, 1989.

[9] Mohammed Ismail and Terri Fiez, Analog VLSI Signal and Information Processing, McGraw-Hill, pp, 334-336, 1994.

[10] B. J. Sheu and J. Choi, Neural Information Processing and VLSI, Boston, MA: Kluwer Academic, pp. 397-414, 1995.

저 자 소 개

柳 星 桓(正會員)

1969년 7월 28일생. 1997년 2월 금오공과대학교 전자공학부 학사. 1999년 2월 금오공과대학교 전자공학과 석사. 현재 오리온전기(주) 연구원, 주 관심분야는 아날로그 집적회로 설계



金 興 雨(正會員)

1956년 10월 30일생. 1980년 2월 한국항공대학교 전자공학과 학사. 1982년 2월 고려대학교 전자공학과 석사. 1988년 7월 고려대학교 전자공학과 박사. 1989년 3월~현재 금오공과대학교 전자공학부 부교수. 주 관심분야는 신경회로망 ASIC 설계