

MCM-D 기판 내장형 수동소자 제조공정

주철원*, 이영민, 이상복, 현석봉, 박성수, 송민규

Fabrication process of embedded passive components in MCM-D

Chul-Won Ju*, Youngmin Lee, Sang Pok Lee, Seok-Bong Hyun,
Seong-Su Park, and Min Kyu Song

Micro-Electronics Technology Laboratory
Electronics and Telecommunications Research Institute
Yusong P. O. Box 106, Taejeon 305-600, Korea

초 록 : MCM-D 기판에 수동소자를 내장시키는 공정을 개발하였다. MCM-D 기판은 Cu/감광성 BCB를 각각 금속배선 및 절연막 재료로 사용하였고, 금속배선은 Ti/Cu를 각각 1000Å/3000Å으로 스퍼터한 후 fountain 방식으로 전기 도금하여 3 μm Cu를 형성하였으며, BCB 층에 신뢰성있는 비아형성을 위하여 BCB의 공정특성과 C₂F₆를 사용한 플라즈마 cleaning영향을 AES로 분석하였다. 이 실험에서 제작한 MCM-D 기판은 절연막과 금속배선층이 각각 5개, 4개 층으로 구성되는데 저항은 2번째 절연막 위에 thermal evaporator 방식으로 NiCr을 600Å 증착하여 시트저항이 21 Ω/sq 가 되게 형성하였고, 인덕터는 coplanar 구조로 3, 4번째 금속배선층에 형성하였으며, 커패시터는 절연막으로 PECVD Si₃N₄를 900Å 증착한 후 1, 2번째 금속배선층에 형성하여 88nF/cm²의 커패시턴스를 얻었다. 이 공정은 PECVD Si₃N₄와 thermal evaporation NiCr 공정을 이용함으로써 기존의 반도체 공정을 이용하여 MCM-D 기판에 수동소자를 안정적으로 내장시킬 수 있었다.

Abstract : We developed Fabrication process of embedded passive components in MCM-D substrate. The proposed MCM-D substrate is based on Cu/photosensitive BCB multilayer. The substrate used is Si wafer and Ti/Cu metallization is used to form the interconnect layer. Interconnect layers are formed with 1000Å Ti/3000Å Cu by sputtering method and 3μm Cu by electrical plating method. In order to form the vias in photosensitive BCB layer, the process of BCB and plasma etch using C₂F₆ gas were evaluated. The MCM-D substrate is composed of 5 dielectric layers and 4 interconnect layers. Embedded resistors are made with NiCr and implemented on the 2nd dielectric layer. The sheet resistance of NiCr is controlled to be about 21 Ω/sq at the thickness of 600Å. The multi-turn spiral inductors are designed in coplanar fashion on the 4th interconnect layer with an underpass from the center to outside using the lower 3rd interconnect layer. Capacitors are designed and realised between 1st interconnect layer and 2nd interconnect layer. An important issue in capacitor is the accurate determination of the dielectric thickness. We use the 900Å thickness of PECVD silicon nitride film as dielectric. Capacitance per unit area is about 88nF/cm² at the thickness of 900Å. The advantage of this integration process is the compatibility with the conventional semiconductor process due to low temperature PECVD silicon nitride process and thermal evaporation NiCr process.

1. 서 론

정보통신 시스템의 고기능화 및 고성능화(고속화)에 따라 고밀도실장 및 고속(고주파) 배선 기술이 필요하다. 현재의 인쇄회로기판 및

HYBRID기술로는 고밀도실장, 고속성능 구현, 방열처리 등에 한계가 있어 미국, 일본, 유럽에서는 멀티칩 모듈(Multichip Module)기술의 개발 및 활용이 활발한데¹⁻⁵⁾, 국내 시스템 분야에서는 이러한 기술의 활용 및 기술개발 현황은 초기 단계이다. MCM(Multichip Module)이

란 한 개의 기판(substrate)에 여러개의 반도체 칩(chip)과 수동소자(저항, 커패시터, 인덕터)를 실장(mounting)함으로써, 패키지(package) 및 PCB에서 발생하는 지연(delay)시간을 감소시켜 시스템을 고성능화시키는 패키지 기술로서, 현재까지 주로 사용되어 왔던 1개의 패키지에 1개의 반도체 칩을 패키징한 개별 반도체 소자를 사용하는 기존의 기술에 비하여 인쇄회로기판(PCB: Printed Circuit Board)에 실장시 속도향상, 보드 크기축소(size reduction), 높은 신뢰성을 갖는 장점을 갖고 있어, '90년대 초부터 미국을 중심으로 본격 상용화 개발이 이루어져 왔다. MCM은 하나의 기판위에 베어(bear)칩 상태의 반도체소자들을 실장시키기 때문에, MCM기판의 회로 점유밀도는 90% 정도로 높아 통상 10%에 불과한 PCB와는 밀도면에서 큰 차이가 있으며 베어칩 간의 거리가 짧아 상호연결배선(interconnection)의 길이가 짧아지므로, MCM을 적용하면 시스템의 소형화, 고속화를 이룰수 있어서 시스템 특히 휴대 단말기와 같은 시스템에 적용하면 고밀도실장(high density packaging)으로 인하여 휴대 단말기의 크기를 최소화 시킬 수 있다. 현재까지 MCM 패키징 기술은 주로 디지털(digital) 소자에 적용되어 왔으나, 요즘에는 디지털, 아날로그, RF 소자가 혼합된 혼성회로(mixed mode circuit)에 많이 사용되고 있는 실정이다. 일반적으로 혼성신호에서는 수동소자의 수가 능동소자에 비하여 훨씬 많기 때문에 기판 표면에서 차지하는 면적 비율이 크다. 따라서 이들 수동소자를 기판 내부에 실장시키면 시스템의 크기, 무게, 제조비용 등은 작아지면서 성능 및 신뢰성은 오히려 좋아지기 때문에 최근 수년 전부터 수동소자를 기판에 내장시키려는 연구가 수행되기 시작했다. 현재까지는 주로 MCM-L기판[7]이나 MCM-C[8]기판에 수동소자를 내장(embedding)시키는 방법에 관한 연구가 이루어 지고 있으며 MCM-D기판에서는 한 기판에 한 개의 수동소자를 내장시키는 방법[9-10]에 관해서 연구되고 있으나, 한 개의 기판에 저항, 커패시터, 인덕터 등 3종류의 수동소자를 동시에 내장시키는 방법에 대해서는 활발히 연구되고 있지 않다.

본 논문에서는 MCM-D기판을 제조하기 위하여 실리콘 웨이퍼 위에 전기도금으로 Cu 금속배선을 형성하여 전기적 특성을 측정하였고, 유전율이 낮은 감광성 폴리머인 BCB를 코팅하

여 절연층 및 비아 홀을 형성한 후 C_2F_6 를 이용한 플라즈마 cleaning 효과를 분석하였고, 금속 배선층간 연결상태를 분석하기 위하여 비아 단면을 SEM으로 측정하였으며, 이렇게 제작된 MCM-D 기판 내부에 3종의 수동소자를 내장시키기 위하여 상호 공정 안정성이 보장될 수 있는 되는 공정 및 구조로 수동소자를 제작하여 MCM-D기판과의 공정 안정성을 고찰하였다.

2. 제 작

실험용 기판(substrate)은 비저항 1~25 Ω -cm, 결정면 <100>인 p형 3인치 실리콘 웨이퍼를 사용하였으며 시험패턴은 다음과 같은 공정순서로 제작하였다. 먼저 웨이퍼 위의 모든 먼지와 불순물을 제거하기 위하여 실리콘 웨이퍼를 50%의 HCl용액에 세척하고 플라즈마 화학증착(PECVD: Plasma Enhanced Chemical Vapor Deposition)방식으로 질화막(Si_3N_4)을 900Å 증착한 후 ground metal을 형성하였다. 이 실험에서 사용한 금속배선은 전기도금으로 형성한 Cu를 사용하였으며, 절연막으로는 PECVD Si_3N_4 와 감광성 폴리머인 BCB(Photosensitive Benzocyclobutene)를 사용하였다.

금속배선은 seed metal과 main metal로 구분하여 형성하였는데, seed metal로 Ti/Cu를 스퍼터(sputter) 방법으로 각각 0.1 μ m, 0.25 μ m 증착하였고, main metal은 감광막을 사용하여 도금될 금속배선을 패터닝(patterning)한 후 전기도금 방식으로 Cu를 3 μ m 도금하여 형성하였다.

PECVD Si_3N_4 는 MCM-D 기판에 형성되기 때문에 MCM-D 기판공정과 상호 안정성이 보장되어야 하므로, 이 기판에서 사용하는 절연막인 BCB의 T_g 보다 낮은 200°C에서 1000Å 이하로 증착하였으며, BCB는 건조 후 6.5 μ m 가 되도록 공정을 진행하였다.

이 실험에서 제작한 MCM-D 기판은 절연막 5개층, 금속배선 4개층으로 구성되어 있으며, 저항은 2번째 절연막 위에 NiCr를 사용하여 제작하였으며, 나선형 인덕터는 3번째 및 4번째 금속배선층 위에 coplanar 형태로 제작되었고, 커패시터는 1, 2번째 금속배선 층에 형성하였다.

금속배선 층은 절연막에 형성된 비아홀을 통

하여 연결되는데 비아홀은 절연막이 PECVD Si_3N_4 인 경우 BOE(Buffered Oxide Etchant) 용액을 이용한 습식식각(wet etch) 방법으로, BCB인 경우에는 스핀(spin) 코팅 후 EV contact aligner장비를 사용하여 노광(exposure)하고, dip 방식을 사용하여 현상액에 넣어 15분 동안 현상하고 210°C에서 soft bake하여 형성하였다. 그러나 BCB의 경우 dip 방식에 의한 비아홀 형성 후에도 비아홀 밑면에는 500Å 정도의 얇은 막이 남는다. 따라서 이 얇은 막을 제거하기 위하여 본 실험에서는 soft bake 후 ECR CVD 장비에서 C_2F_6 를 이용한 플라즈마 cleaning을 10 mtorr, 300°C에서 상하 마그네트 전류 90A/90A, 2.45GHz의 마이크로 웨이브를 1kW 인가하여 60초간 수행하였다. 이렇게 비아홀이 형성되면 기판 전면의 Ti/Cu를 각각 0.1 μm , 0.25 μm 증착하고, 감광막을 도포한 후 비아홀과 금속배선을 패터닝하고 전기도금방식으로 두께 3 μm 인 Cu로 비아홀과 금속배선을 동시에 형성한 다음, 감광막을 제거하고 seed metal로 사용한 Ti/Cu를 습식식각 하였다.

3. 분석

그림 1은 회전속도에 따른 코팅, 현상 및 soft bake후 두께 변화를 나타낸 것이다. 그림 1에서 보듯이 BCB의 두께는 dip 방식의 현상 과정에서 초기두께의 36~43%가 감소되고, soft bake과정에서 4~11%정도가 감소되어 최종적으로 코팅두께의 46~48%정도가 감소

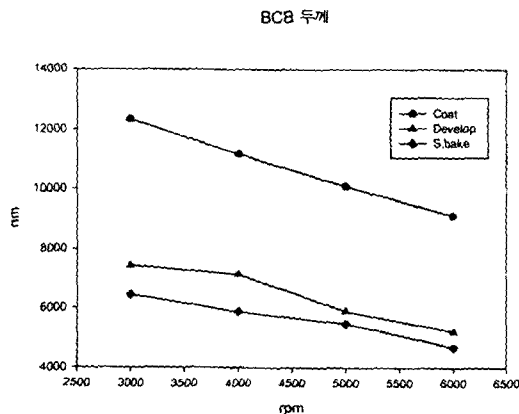


Fig. 1. BCB thickness variation with process and spin speed

되는 것을 알 수 있다. 또한 플라즈마 처리 후 BCB 두께는 0.3~0.5 μm 정도, Ar sputter후에는 0.1 μm 정도 두께감소가 발생하였다.

그림 2는 BCB층에 형성한 비아 홀의 평면과 단면을 나타낸 것이다, 비아 모양은 뚜렷하게 잘 형성되었고 평면 사진(a)에서 밑면에 잔류



(a)



(b)

Fig. 2. SEM showing via hole. (a) Plane surface (b) Cross section

물이 있는 것으로 보이며 단면사진(b)에서 비아 slope는 75도로 나타나 Ti/Cu를 스퍼터할 때 비아 측면에 증착이 잘 될 것으로 판단된다.

그림 3은 develop 후 via 단면을 절단하여 촬영한 SEM사진으로 대략 500Å 정도의 하얀 얇은 막이 via 표면 위에 있는 것을 볼 수 있다. 따라서 develop 공정만으로는 BCB가 완전히 제거되지 않는 것을 보여주고 있다.

NoDescum

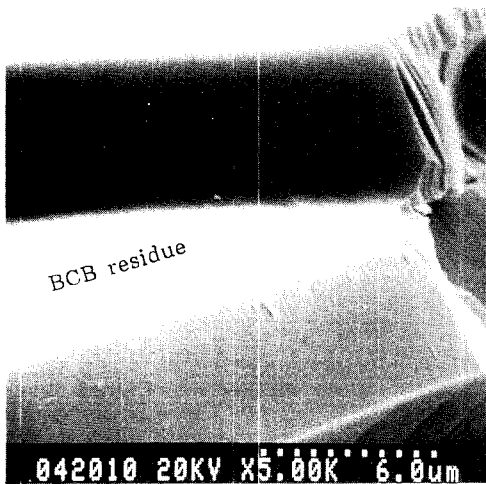


Fig. 3. SEM showing BCB residue on via hole after develop process

그림 4는 Cu 금속배선 위에 코팅된 BCB층에 비아홀 형성 후, C_2F_6/O_2 가스로 플라즈마 cleaning하고 5~8 μm 의 beam size를 사용하여 via를 scanning한 후 AES로 분석한 그림이다. 그림 4에서 C 및 F가 소량 검출되고 O 및 Cu가 검출되었으며 C의 양은 Cu에 비하여 적다. 따라서 이때 검출된 C는 시료가 외부에 노출시 주변으로부터 absorption된 native C로 판단되고, F 및 O는 플라즈마 cleaning시 사용된 가스로부터 표면에 흡착된 것이고, Cu는 비아 밑면에 노출된 금속배선의 Cu에서 검출된 것이다.

그림 5는 비아홀 형성 후 C_2F_6/O_2 가스로 플

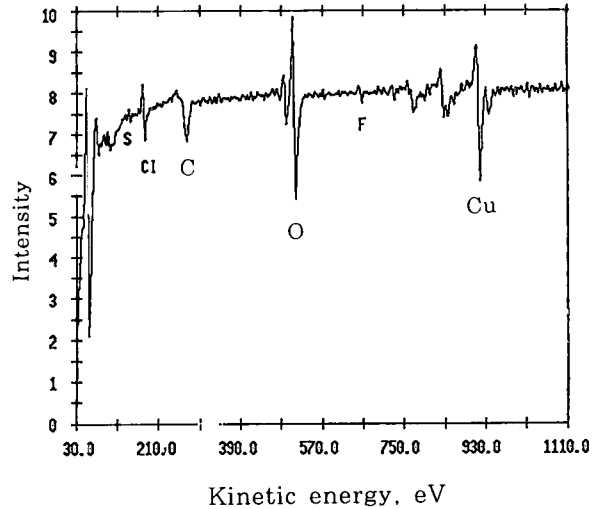


Fig. 4. AES analysis of via etched in C_2F_6 (as received)

라즈마 cleaning을 하지 않고 AES로 분석한 그림이다. 그림 5에서 Cu는 검출되지 않은 반면 C는 많은 양이 검출되었으며 이C는 그림 6에서 보듯이 Ar sputter후에도 상당량 남아있으므로 native C가 아니고 BCB 잔재물인 유기물 C이다. O는 소량 검출되었는데 이것은 플라즈마 cleaning을 하지 않았으므로 native O만 검출되었기 때문이며 Cu가 검출되지 않았는데 이것은 비아홀을 BCB 잔재물이 덮고있기

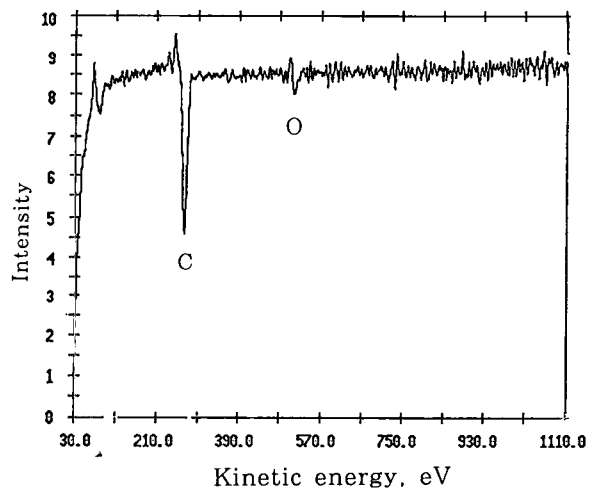


Fig. 5. AES analysis of via not etched in C_2F_6 (as received)

때문이다. 이 결과로 부터 C_2F_6/O_2 가스로 플라즈마 cleaning을 하지 않은 비아는 BCB 잔재물이 표면을 덮고 있음을 알 수 있으며, 그림 3에서 현상 후 비아 면에 얇은 막의 BCB residue가 존재하는 것과 일치한다.

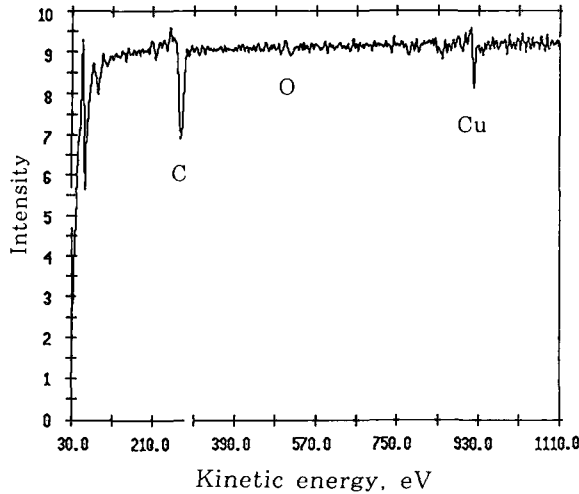


Fig. 6. AES analysis of via no etched in C_2F_6 (after Ar sputter 12sec)

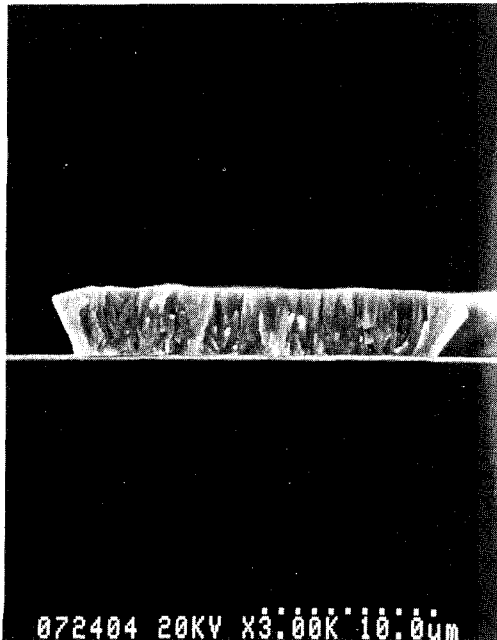


Fig. 7. SEM showing cross section of Cu pattern

그림 7은 fountain 방식의 전기도금으로 형성한 선폭 20um인 Cu 금속배선의 단면을 촬영한 SEM 사진으로 도금 공정시 Cu가 성장하면서 PR pattern을 옆으로 밀어내어 역사다리꼴 모양을 보인것으로 구조가 치밀하게 잘 성장되었으며 시트저항(sheet resistance)은 5m Ω/sq 이었다.

그림 8은 BCB 절연막에 형성된 via contact metal의 단면을 보기 위하여 시편을 에폭시로 몰딩후 기판에 내장된 나선형 인덕터의 비아를 grinding한 후 질산으로 에칭하고 SEM으로 촬영한 사진으로 비아를 통한 금속 배선층의 연결이 잘 되었음을 알 수 있다.

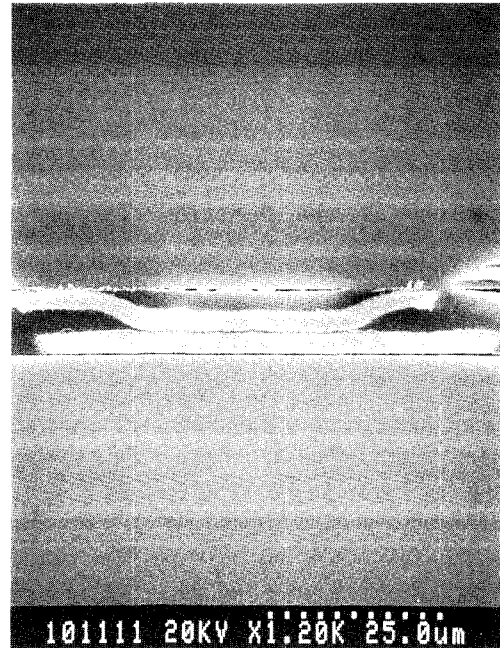


Fig. 8. EM showing cross section of via contact

그림 9(a)는 기판의 제 2 절연막 위에 열증착(thermal evaporation) 및 리프트-오프(lift off)공정을 이용하여 제작된 두께 600Å인 NiCr 저항으로 시트저항이 21 Ω/sq 이었으며 (b)는 제 1, 2 금속배선 층에 형성된 커패시터로 절연막은, 900Å인 PECVD Si_3N_4 로 200°C에서 공정함으로써 BCB와의 공정 안정성이 확인되었고 BOE용액을 이용한 wet etch 방식으로 다른 공정에 손상을 주지 않고

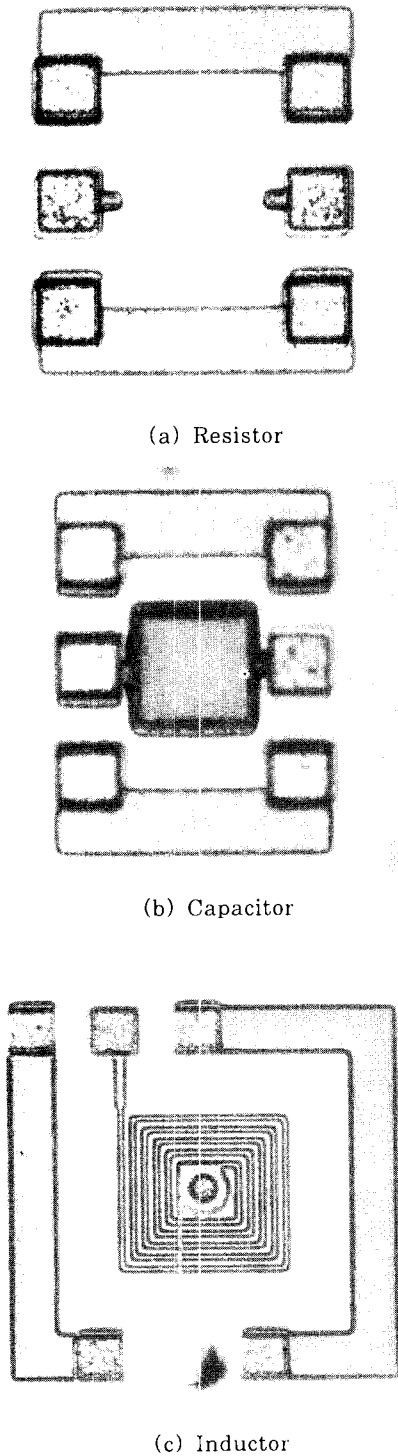


Fig. 9. Photograph of embedded passive components in MCM-D

도 잘 식각되었으며 전기적 측정 결과 $88\text{nF}/\text{cm}^2$ 이었다. 그림 (c)는 제 3, 4 금속배선 층에 형성된 나선형 인덕터로 절연막은 유전율 2.7인 감광성 BCB를 사용하였으며 비아 형성 후 플라즈마로 cleaning한 결과 via contact은 그림 8과 같이 잘 되었음을 확인하였다.

4. 결 론

감광성 BCB를 절연막으로 사용하는 MCM-D 기판에서 비아를 형성하는 공정과 비아 형성후 C_2F_6 가스를 이용한 플라즈마 처리 후 BCB 두께를 측정한 결과 BCB의 두께는 현상과정에서 코팅두께의 36~43%가 감소되고, soft bake 과정에서 5~10% 정도가 감소되어 최종적으로 46~48% 정도의 두께감소가 발생하였다. 따라서 BCB 코팅시 두께손실을 고려하여 코팅 속도를 조절하여야 한다. 또한 본 실험에 사용된 노광장치를 이용하여 60um의 비아형성은 잘 되었으며, 비아 slope는 75도로 나타나 Ti/Cu를 스퍼터할 때 비아 측면에 증착이 잘 될 것으로 판단된다. BCB층에 비아 형성후 C_2F_6 가스를 사용하여 플라즈마 cleaning을 한 시편을 as-received 상태에서 AES로 분석한 결과, BCB의 잔재물인 유기물 성분의 C는 검출되지 않고 native C만 검출되었다. 그러나 플라즈마 cleaning을 하지 않은 시편을 as-received 상태에서 AES로 분석한 결과 유기물 성분의 C가 많이 검출되었으며, 이 시편을 Ar 스퍼터한 결과 유기물 성분의 C는 소량 제거되었지만 여전히 많이 검출되므로 Ar 스퍼터에 의하여 BCB의 잔재물은 효과적으로 제거되지 않는 것을 확인하였다. 따라서 감광성 BCB를 절연막으로 사용한 MCM-D기판 제작공정에서 비아 형성후 플라즈마 cleaning을 반드시 수행하여야 한다. 수동소자 제조공정은 MCM-D 기판 제조공정 특히 BCB와의 상호 안정성이 있어야 하므로 PECVD Si_3N_4 를 200°C 에서 증착하여 절연막으로 사용하였으며, 저항은 NiCr을 thermal evaporation 방법으로 증착하였다. 이 공정은 PECVD Si_3N_4 와 thermal evaporation NiCr 공정을 이용함으로써 기존의 반도체 공정을 이용하여 MCM-D 기판에 수동소자를 내장시킬 수 있는 장점이 있다. 따라서 제안된 구조 및 공정은 수동소자가 많이 사용되는 RF모듈을 MCM으로 제작시 많이 활용될 것으로 기대된다.

참 고 문 헌

1. T.Tessier and E.Myszka, "Approaches to Cost reducing MCM-D Substrate", Proceedings of 43rd ECTC, Orlando, Florida, pp.570-578, June 1-4, 1993.
2. R.H.Heistand, D.C.Frye, D.C.Burdeaux, J.N.Carr, and P.E.Garrou, "Economic Evaluation of deposited Dielectric MCM Manufacturing Cost", Proceedings of the International Conference on Multi-chip Modules, ISHM/IEPS, Denver, Colorado, pp. 441-450, April 14-16, 1993.
3. P.E.Garrou and I.Turlik, "Materials of Construction: Substrate, Dielectric, Metallization," Thin Film Multichip Modules, G.Messner, I.Turlik, J.W.Balde and P.E.Garrou, editors, ISHM Press, pp.92- 164, 1992.
4. D.Burdeaux, P.Townsend, J.Carr, and P.Garrou, "Benzocyclobutene (BCB) dielectrics for the fabrication of high density, thin film multichip modules", Journal of Electronic Materials, vol.19, No.12, 1990
5. R.W.Johnson, T.L.Phillips, W.K.Weidner, S.F.Hahn, D.C.Burdeaux, and P.H.Townsend, "Benzocyclobutene interlayer dielectrics for thin film multichip modules", IEEE Tr. On components, hybrids, and manufacturing technology, vol.13, No.2,1990.
6. T.Lenihan, L.Schaper, Y.Shi, G.Morcan, J.Parkerson, "Embedded Thin resistors, Capacitors and inductors in Flexible Polyimide Films", Proc. 46th Electronic Components and Technology Conference, pp.119-124, 1996.
7. Raymond L.Brown, W.R. Dick Smith, "Embedded Passive Functions for RF and Mixed-Signal Circuits", Proc. International Conference on Multichip Modules, PP351-356, 1997.
8. K.L.Coates, C-P.Chien, Y-Y.R. Hsiao, D.J.Kovach, M.H.Tanjelian, "Highly Reliable Embedded Thin Film Resistors in Cu/PI MCM-Ds for Aerospace Applications", Proc. 49th Electronic Components and Technology Conference, pp.93-98, 1999.
9. Philip Pieters, Steven Brebels, Eric Beyne, "Integration of Passive Components for Microwave Filters in MCM-D", Proc. International Conference on Multichip Modules, PP357-362, 1997.