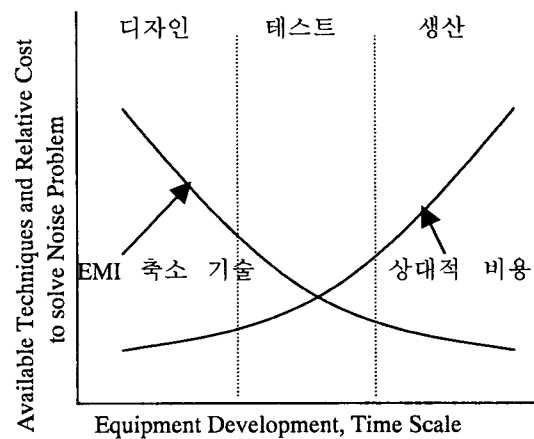


I. 서 론

오늘날 우리는 전자파의 바다 속에 살고 있다고 해도 과언이 아니다. 방송, 통신을 위한 전자파 뿐만 아니라 각종 전자 기기, 전송선, 자동차 등에서 발생하는 많은 전자파의 영향을 받고 있다. 최근의 전자 기기의 범람과, 자연 환경과 인체 건강에 대한 인식이 증가하면서 학문적으로나 기술적으로 그 어느 때보다도 전자파의 영향에 대한 관심이 증가하고 있다.

또한 Federal Communications Commission(FCC) 와 International Special Committee on Radio Interference(CISPR, 불어 : Comite International Special des Perturbations Radioelectrique), American National Standards Institution(ANSI) 등의 Electromagnetic Interference(EMI) 규제(Regulation)에 대한 적용이 강화되면서 제품 개발의 입장에서 그 중요성이 더욱더 강조되고 있다.

이러한 규격을 만족시키며 제품을 생산하기 위해서는 제품 설계에서부터 EMI(Electromagnetic Interference) 축소를 위한 엄격한 기준이 적용되어야 한다. 하나의 시스템을 구현할 때, 디자인 단계에서부터, 테스트 단계, 생산 단계까지 일관되게 EMI를 줄이는 기술이 적용되어야만 최소의 EMI 문제를 가진 제품을 개발할 수 있다. [그림 1]에서 보듯이 디자인 단계에서 전혀 EMI에 대한 고려 없이 설계되면 테스트 단계에서부터 EMI 문제가 발생하기 시작하며, 이렇게 차후에 EMI 문제가 발견되는 경우, 그 원인을 찾는 분석 방법이 상당히 어려워질 뿐 아니라 EMI를 줄이기 위해서 불필요



[그림 1] 제품 개발 단계별 EMI 축소를 위한 기술 및 비용

한 부품이나 장치가 추가되어 결국 장비의 크기, 중량, 전력 소모, 가격에 대한 부가적인 부담이 발생하게 된다. EMI를 축소시키는 기술은 각 단계에서 다양하게 존재하지만, 디자인 단계에서는 생산 또는 테스트 단계에서 보다 EMI 축소를 위한 기술이 많고 더 저렴한 비용으로 구현할 수 있다.

또한, EMI 문제는 단순한 한가지의 문제가 아니라, 많은 변수들이 복합적으로 작용하고 있으므로, 많은 해결 방법들 중에서 가장 효율적인 기술을 적용시켜야 효과적으로 EMI를 축소시킬 수 있다^[1].

EMI 문제를 해결하기 위한 연구 방향은 전자파의 발생을 원천적으로 축소(Reduction)시키는 쪽과 이미 발생한 전자파를 차폐(Shielding)시키는 쪽으로 나눌 수 있으며, 접근 대상은 시스템, PCB, 그리고, Package 및 IC 등으로 나눌 수 있다. 시스

템으로의 EMI 접근에서는 Power Supply, Cabling, Shielding, 그리고 Grounding 등에 대한 연구를 하고 있고, PCB를 대상으로 하는 EMI 연구에서는 효과적인 Clock Line의 배치, Power 공급 방법 및 Interconnection Line들의 모양 및 Routing 등이 다루어지고 있다. 시스템과 PCB를 대상으로 하는 접근 방향으로는 이미 많은 연구 결과들이 발표되어 있다. 그러나, Package 및 IC를 대상으로 하는 연구 결과는 세계적으로 거의 발표되어 있지 않은 상태이다^{[2]-[4]}.

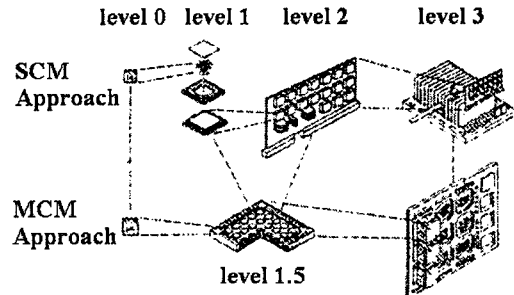
본 고에서는 Package 및 IC에서의 EMC 대책을 다룬다. 먼저 전자 패키징 기술에 관한 중요성 및 기술 동향을 다루고, 전자 패키징 기술과 EMC 사이의 관계를 다룬 후, 전자 패키징에 관한 EMC 연구의 예제로서 Decoupling Capacitor에 관한 연구 결과 소개한다. 필자는 본 고를 통하여 전자 패키징을 전공하지 않은 독자들을 대상으로 하여 전자 패키징에 관한 이해를 돕고, 전기 및 전자공학 분야에 종사하는 사람들에게 EMC에 관련한 전자 패키징 및 IC 설계에 관한 연구의 중요성을 전달하고자 한다.

II. 전자 패키징 기술의 중요성 및 기술 동향

2-1 전자 패키징 기술이란?

전자 패키징 기술이란 여러 가지 전자 회로 부품, 즉 반도체 소자, 저항체, 축전체, 다이오드 등을 조립한 하드웨어 구조물을 말하는 것으로, 그 기능으로는 전자 회로 부품에 전원을 공급하며 입출력 전기 신호를 접속해 주는 기능과 회로 작동 중 발생하는 열을 제거해 주는 온도 조절 기능, 전기 하드웨어 구조물을 기계적으로 보호해 주는 하우징 기능 등을 들 수 있다^[5].

전자 패키징의 체계를 살펴보면 [그림 2]와 같이 여러 단계로 나뉘어진다. 1단계 패키징이란 주

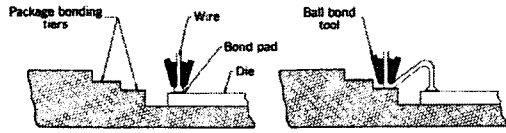


[그림 2] 패키지 체계

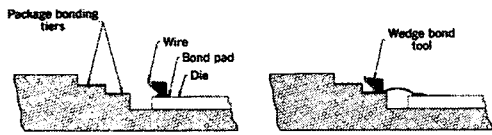
로 반도체 칩을 Wire Bonding, TAB, 플립칩(flip-chip)을 사용하여 단일 칩 모듈(SCM: Single Chip Module)을 만드는 단계이다. 2단계 패키징은 만들어진 단일 칩 모듈을 표면 실장 기술(SMT: Surface Mount Technology)이나 삽입식 실장 기술(PHT: Pin Hole Technology)을 이용하여 인쇄 회로 기판(PCB) 또는 금속 코어 보드 등에 접속하는 단계를 말한다. 3단계와 그 이상의 패키징 단계는 제조된 PCB 카드를 보드 등에 접속하여 원하는 전자 회로 시스템을 제조하는 단계이다. 그러나 최근에 와서는 COB(Chip On Board)나 멀티 칩 모듈(MCM: Multi Chip Module) 등의 새로운 패키징 기술 개발로 인해 기존의 1단계와 2단계가 합쳐진 1.5단계의 새로운 모듈과 카드를 합한 패키징 기술도 나타나고 있다^[5].

2-2 패키지 Interconnection 및 종류

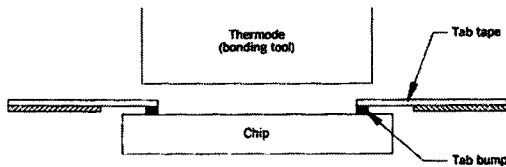
앞 절에서 언급한 1차 패키징에서 전기적 접속을 1차 Interconnection이라고 한다. 1차 Interconnection에는 [그림 3]과 같이 대표적으로 3가지가 있다. [그림 3]의 (a)와 (b)에서 보여지는 Gold(Au) 및 Aluminum(Al) Wire를 이용하는 Wire Bonding 기술, (c)에서 보여지는 TAB(Tape Automated Bonding) 기술, (d)에서 보여주는 플립칩(flipchip, C4) 기술 등으로 나눌 수 있다.



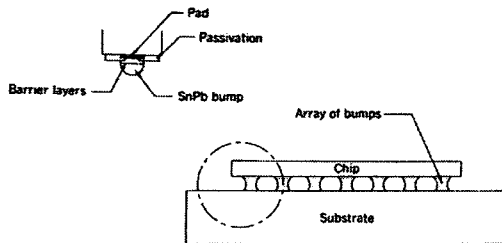
(a) Wire Bonding: Au



(b) Wire Bonding: Al



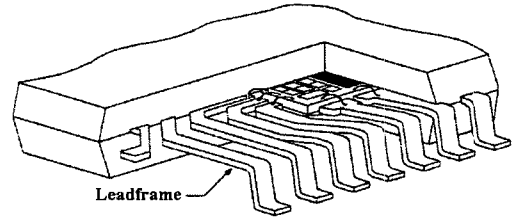
(c) TAB (Tape Automated Bonding)



(d) Flipchip Bonding

[그림 3] 1차 Interconnection의 종류

Wire Bonding은 현재까지 가장 많이 사용되고 있으나, 구조적으로 발생하는 환형의 Interconnection에 의해 상대적으로 높은 Parasitic 값을 가진다. 그리하여, 초고속 동작을 요구하는 반도체 칩에는 적당하지 않은 구조이다. (d)에서 보여주는 플립칩 구조는 상대적으로 짧은 Interconnection으로 인하여 낮은 Parasitic 값을 가지므로 상대적으로 초고속 동작을 하는 반도체 칩에 더 적합한 구조라고 할 수 있다. 현재까지는 Wire Bonding 기

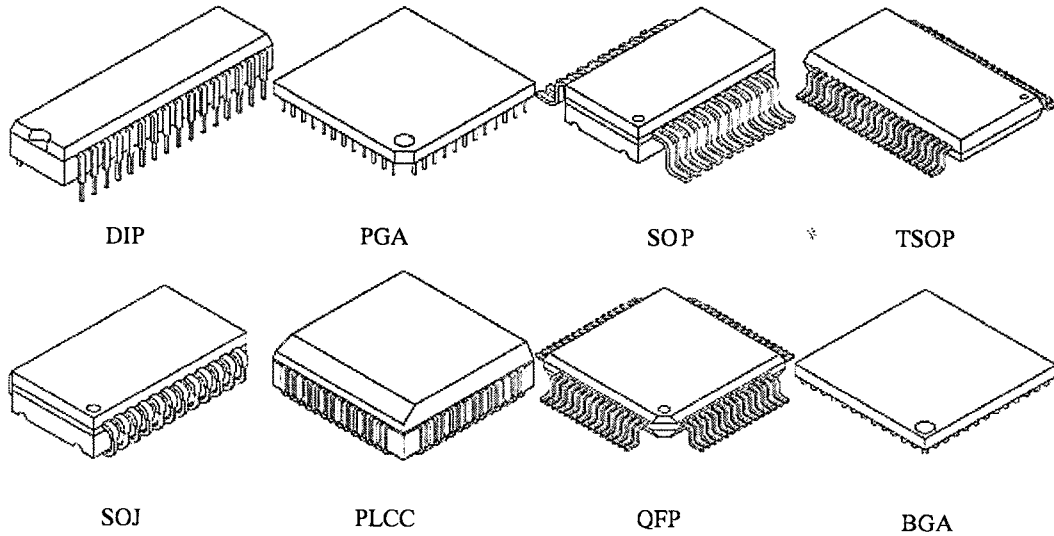


[그림 4] 전형적인 리드프레임의 구조

술이 플립칩 기술보다 많이 사용되고 있으나, 점차적으로 플립칩 기술의 적용이 증가하고 있다.

[그림 4]에서 보여 주고 있는 구조는 전형적인 리드프레임 (Lead Frame)의 구조이다. 리드프레임은 1차 Interconnection과 2차 Interconnection 사이에 전기적인 접속을 위한 구조물로서 일반적으로 구리(Cu) 또는 Alloy42가 널리 사용되고 있다. 리드프레임은 패키지의 Assembly 동안 기계적으로 Chip을 지지하며, Chip에서 발생하는 열의 전달 통로 역할을 하기 때문에 Lead Frame의 선택은 패키징에서 상당히 중요하다. 구조물의 형상으로 인한 Parasitic 효과도 고려해야만 하는 중요한 변수가 된다.

리드프레임을 통하고 난 후에는 패키지와 보드를 결합하는 2차 Interconnection을 하게 된다. 2차 Interconnection에는 다양한 기술들이 있으며 이 기술에 따라 전자 패키지의 종류를 구분한다. 우선 패키지의 몸체를 구성하는 재료의 종류에 따라 플라스틱 패키지와 세라믹 패키지로 분류할 수 있고, 패키지와 인쇄 회로 기판(PCB)의 전기적 접속 방법에 따라 표면 실장 기술(SMT: Surface Mount Technology)과 삽입식 실장 기술(PHT: Pin Hole Technology)로 분류할 수 있다. 삽입식 실장 기술은 [그림 5](a)와 같은 DIP(Dual In-line Package)와 (b)와 같은 PGA(Pin Grid Array) 등으로 나뉘어진다. 표면 실장 기술은 [그림 5]의 (c)에서 (h)까지의 SOP(Small Outline Package), TSOP

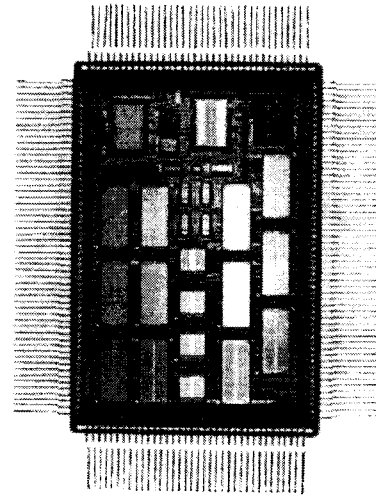


[그림 5] 2차 Interconnection과 패키지 분류

(Thin Small Outline Package), SOJ(Small Outline J-band Package), PLCC(Plastic Lead Chip Carrier), QFP(Quadrature Flat Package), BGA(Ball Grid Array) 등으로 나뉘어진다.

2-3 전자 패키징 기술 동향

전자 패키징 기술은 최근 수년 동안 급격히 변화해 오며 새로운 전자 제품의 특성에 따라 다양한 개발이 이루어지고 있다. 이러한 경향을 간단히 요약하면 경박 단소형, 고전기적 성능이라고 말할 수 있다. 메모리 칩 패키지의 발달을 그 예로 살펴보면, 초기에 주종을 이루던 DIP 형태의 삽입형 패키지에서 표면 실장형의 QFP, SOP에서 극세피치형의 TQFP, TSOP 패키지를 거쳐 최근에 와서는 칩 크기 패키지(CSP: Chip Size Package)형태로 발전하고 있으며, CSP의 주된 패키지 기술로는 메모리 칩 패키지의 주종을 이루고 있는 LOC(Lead-On-Chip)형 패키지로 발전되어 가고 있다. 또한 비메모리 칩 패키지의 주된 형태였던 PGA도 점차 발전되어 테이프를 사용한 TCP(Tape Chip Pack-



[그림 6] 멀티 칩 모듈(MCM)

age), 납땜 볼을 이용하여 Area Array 접속을 하는 BGA, CSP와 BGA 기술을 혼합한 마이크로 BGA 등의 극소형화가 이루어지고 있다. 또한 메모리나 비메모리 칩을 단일 칩 패키지(SCM: Single Chip Module) 하던 기존의 방법을 탈피하여 [그림 6]과 같이 여러 가지 베어 칩(Bare Chip)들

을 서로 패키징하는 멀티 칩 모듈(MCM: Multi Chip Module)과 보드 위에 칩을 직접 부착시키는 COB(Chip On Board) 등의 기술이 개발되었다. 극 소형, 고전기적 성능의 멀티 칩 모듈 기술은 점차로 컴퓨터, 정보 통신, 이동통신, 고급 가전제품 등 그 활용 범위를 넓혀가고 있으며, 이에 따른 멀티 칩 모듈 시장 규모도 점차 확대 되고 있다^[5].

Ⅲ. 전자 패키징과 EMC 기술

앞 부분에서 자세히 소개하지는 않았지만 패키지의 열 특성(Thermal Characteristic), 신뢰성(Reliability), 화학적 특성, 공정(Process) 등의 전자 패키징 기술의 다른 분야들이 있다. 이러한 패키징 기술은 전기 및 전자 공학, 기계 공학, 화학 공학, 그리고 재료 공학 등의 다양한 분야의 기술들이 요구되는 다학제적인 연구 분야이다. 본 고에서 이러한 모든 부분을 다룰 수는 없으므로, 전기 공학 관점에서의 전자 패키징 기술만을 다루고 있다.

전기 공학자의 관점에서 전자 패키징 기술과 가장 먼저 만나게 되는 것은 직류(DC)에서의 전기적 연결(Short)과 절연(Open)이며, 1차적으로 만족해야 할 특성이다. 계속하여, 직류 저항(DC Resistance)을 고려한 후 저주파수의 교류(AC) 신호에 대한 저항(Resistance), 인덕턴스(Inductance), 커패시턴스(Capacitance) 등의 임피던스(Impedance)를 고려한다. 그리고, 고주파수의 교류 신호에 대한 주파수 특성(Frequency Response), 특성 임피던스(Characteristic Impedance), 손실(Loss), 위상 지연(Phase Delay), 그리고 누화(Crosstalk) 등을 다루게 된다.

EMC 관점에서의 전자 패키지 기술은 전원선(Power Line) 및 접지선(Ground Line)과 신호선(Signal Line) 및 접지선(Ground Line)으로 크게

둘로 나뉘어서 고려해 볼 수 있다. 그리고, EMI(Electromagnetic Interference)와 EMS(Electromagnetic Susceptibility)의 두 가지 관점에서 동시에 고려 되어야 한다.

전원선(Power Line) 및 접지선(Ground Line)을 위한 전자 패키지 결선은 기본적으로 낮은 임피던스(Low Impedance)를 가져야 한다. 전자 패키지의 기생 저항(Parasitic Resistance) 성분은 $V = I \cdot R$ 의 전원 전압 강하 현상을 유발 시킨다. 뿐만 아니라, 저항에 의한 에너지의 손실이 발생하며 그것은 열의 형태로 전자 패키지 내부에서 발생하게 된다. 그러므로 전원 전압의 강하를 줄이고, 에너지의 손실을 최소화하며, 열 발생을 최소화 하기 위해서는 전자 패키지의 기생 저항(Parasitic Resistance) 성분이 낮아야만 한다. 마찬가지로 기생 인덕턴스(Parasitic Inductance)도 작아야 한다. 기생 인덕턴스 성분은 $V = L \cdot di/dt$ 의 전압 강하를 발생 시키며, 이로 인한 전원 전압의 강하는 시스템의 동작 속도가 빨라지면 빨라질수록 심하게 진다. 그러므로 기생 인덕턴스 성분을 최소화 해야 한다. 기생 커패시턴스 성분은 반대로 클수록 유리하다. 이를 위하여 전자 패키지의 양단에 Decoupling Capacitor를 추가로 부착하는 것이다. 그리고, 전자 패키지 내부의 Interconnection Line에서의 복사성 방사를 억제하기 위해서는 전원선과 접지선을 최대한 가깝게 배치하고 두 선이 이루는 영역의 면적을 작게 해야만 한다. 이를 위해 전원선과 접지선을 쌍으로 배치하며, 하나가 아닌 여러 쌍의 전원선과 접지선을 사용한다.

신호선(Signal Line) 및 접지선(Ground Line)을 위해서는 전원선과 접지선에서 소개한 것과 같은 일반적인 규칙을 정할 수 없다. 가장 먼저, 전자 패키지 내부에서 사용하고 있는 신호의 특성을 고려해야 한다. 저주파수의 아날로그 신호인지, 고주파수의 아날로그 신호인지, 디지털 신호 인지를 확

인해야 하고 그에 가장 적합한 규칙을 적용해야 한다. 여기서는 대부분의 신호선에 적용 가능한 내용들만을 언급하기로 한다. 일반적인 신호선을 위해서는 최대한 짧은 Interconnection 길이, 최소한의 불연속성(Discontinuity), 최소한의 누화(Crosstalk), 임피던스 정합(Impedance Matching), 높은 특성 임피던스 (Higher Characteristic Impedance) 등의 변수(Parameter)들이 있다.

IV. 전자 패키징에 관한 EMC 연구 예제 : Decoupling Capacitor

4-1 기본 개념 및 연구의 내용

본 장에서는 전자 패키징에 관한 EMC 연구의 예제로서 Decoupling Capacitor에 관한 연구 결과를 소개한다. Decoupling Capacitor에 관한 연구는 Package 및 IC를 대상으로 EMI 발생을 원천적으로 축소시키는 연구에 초점을 맞추고 있으며, 특히 최근 문제가 부각되고 있는 초고속 디지털 고집적 회로에서의 EMI 연구를 기본 대상으로 한다. 그 중에서도 Package 및 IC의 설계에 있어서 On-chip과 Off-chip Decoupling Capacitor의 복사성 방사(Radiated Emission)에 관한 영향을 규명하여, Package Parasitic효과를 확인한다. 시뮬레이션(Simulation)을 통하여 그 결과를 예측하였으나, 지면 관계상 시뮬레이션 결과는 본 고에서 언급하지 않고, 측정 결과를 통하여 Package의 복사성 방사에 관한 영향을 분석하고자 한다^[6].

초고속 디지털 고집적 회로의 Power/Ground Line에서 전자파를 발생시키는 신호는 delta-I Current에 기인하여 발생하는 신호이다. 이때 유기되는 전원 전압 변화를 Simultaneous Switching Noise (SSN)라고 말하며, 신호의 무결성 (Signal Integrity) 측면에서 Power/Ground Line Voltage Bounce

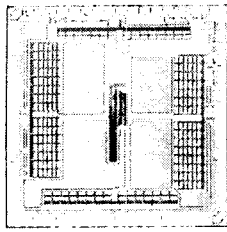
를 의미한다. delta-I Current는 IC에서 Driving Circuit, Clock Distribution Circuits 등의 소자들의 On/Off Transition에 의하여 발생하며, IC의 정상적인 동작을 위해서 꼭 필요하다. 그러나, delta-I Current는 Signal Integrity측면에서 SSN을 유발할 뿐만 아니라, EMC 관점에서 볼 때 전자기 복사성 방사(EMRE: Electromagnetic Radiated Emission)의 원인이 되므로 EMI 연구에 있어서 delta-I Current의 영향을 규명하고 해석하여 그 대책을 마련하는 것은 꼭 필요한 일이라 할 수 있다.

Decoupling Capacitor는 회로의 전원선(Power Line)과 접지선(Ground Line) 사이에 연결하는 소자로서 전류의 귀환 경로를 변경하여 delta-I Current와 SSN을 효과적으로 줄여주는 역할을 한다. Decoupling Capacitor가 회로에 삽입되면 회로의 전류 분포가 변경되어 전자기 복사성 방사에 직접적으로 영향을 미치게 된다.

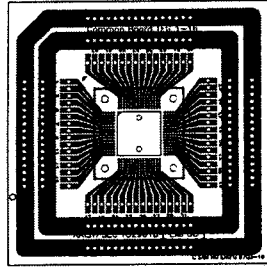
본 예제에서는 Decoupling Capacitor의 위치가 On-chip과 Off-chip일 때 delta-I Current와 전자기 복사성 방사를 다루고 있다. On-chip Decoupling Capacitor는 Off-chip Decoupling Capacitor에 비교하여 훨씬 효과적으로 전자기 복사성 방사를 축소시킬 수 있지만, 높은 값의 Capacitance를 구현하기 위해서 Off-chip Decoupling Capacitor보다 훨씬 높은 Cost를 가지는 단점이 있다. 그러므로 On-chip and Off-chip Decoupling Capacitors 모두를 고려하면서 EMI 사이에서 최적화된 Capacitance를 결정하는 선택 기준에 관하여 다루고 있다.

4-2 Test IC 및 PCB의 설계와 제작

On-chip과 Off-chip Decoupling Capacitors와 전자파 발생량과의 관계를 구하기 위하여 [그림 7](a)와 같은 IC와 (b)와 같은 PCB가 설계되었다. Test



(a) Test IC

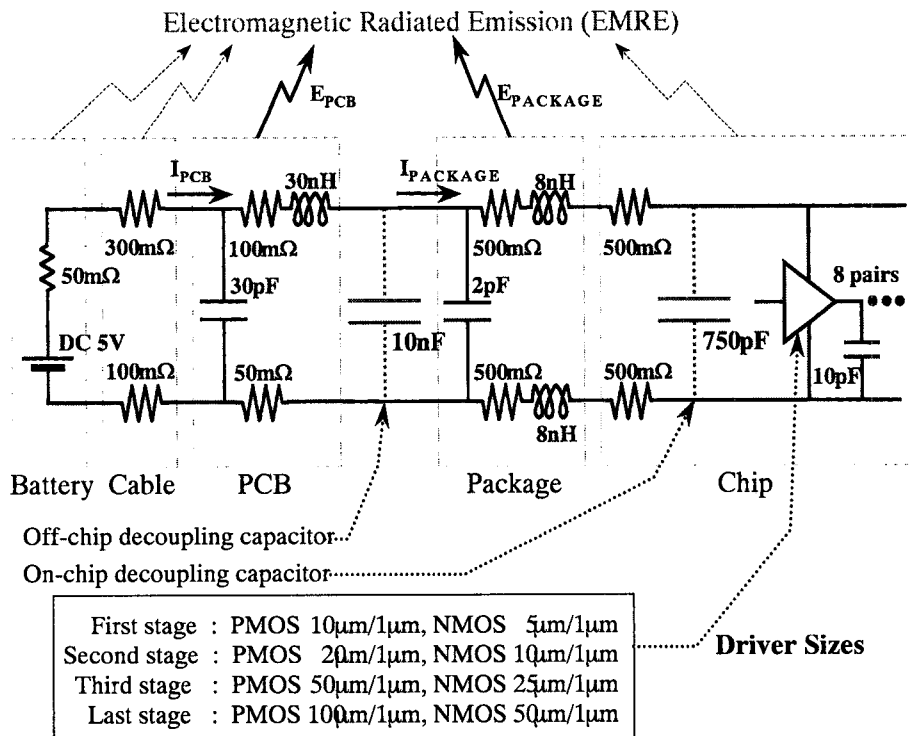


(b) Test PCB

[그림 7] Test IC 및 PCB

IC는 3 Metal, 1 Poly, 0.65 μm Process, Chip Size 3000 $\mu\text{m} \times 3000 \mu\text{m}$ 으로 설계되었다. Test Driver는 IC의 우측에 위치하며, On-chip Driver와 On-chip Load Capacitor 쌍의 총 수는 15쌍이며, 0부터 15

쌍 모두를 선택할 수 있다. 전원선의 효과를 선택적으로 관찰하기 위해서 신호선은 Chip 바깥으로 빼지 않고 Chip 내부에 두는 Or-chip Driver와 On-chip Load Capacitor 쌍으로 설계하였다. 사용된 입력주파수는 10 MHz이고, On-chip Load Capacitance는 10 pF이며 최종 단의 On-chip Driver Size는 PMOS 100 $\mu\text{m}/1 \mu\text{m}$, NMOS 50 $\mu\text{m}/1 \mu\text{m}$ 이다. Test IC는 64 QFP의 형태로 Package되었으며 [그림 7](b)에서 보이는 PCB에 장착되었다. PCB는 FR-4를 사용하여 제작되었으며 그 두께는 1.6 mm이다. 검증을 위하여 HSPICE Simulation이 사용되었으며, TEM Cell을 사용하여 전자기 복사성 방사(EMRE: Electromagnetic Radiated Emission)를 측정하였다.



[그림 8] On-chip과 Off-chip Decoupling Capacitor의 전자기 복사성 방사 현상을 분석하기 위한 회로 모델

4-3 회로 모델

본 예제 연구를 위한 회로 모델(Circuit Model)은 [그림 8]과 같다. 사용된 전원 전압은 5 V이고, On-chip Decoupling Capacitor는 분산 배치된 750 pF의 Gate Capacitor이며, Off-chip Decoupling Capacitor는 하나의 Ceramic Capacitor 10 nF이었다. On-chip Load Capacitance는 10 pF이었으며 On-chip Driver와 On-chip Load Capacitor 쌍의 개수는 8쌍을 사용하였다. Power Supply는 건전지를 사용하였으며, 복사성 방사를 최소화하기 위해 차폐된 금속 상자 내부에 위치되었다. 전원선의 연결은 복사성 방사를 최소화하기 위해 차폐된 케이블을 사용하였다. IC 내부에서의 복사성 방사는 무시하고, PCB의 전원선과 Package에서의 전원선의 효과만 고려하였다. On-chip Decoupling Capacitor는 Driver에 최대한 가깝게 부착되었으며, Off-chip Decoupling Capacitor는 IC의 전원선에 최대한 가깝게 부착되었다.

4-4 연구의 진행 및 결과

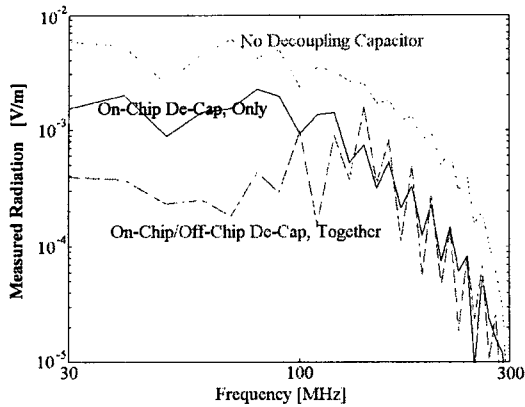
연구의 진행은 On-chip Decoupling Capacitor와 Off-chip Decoupling Capacitor의 존재 여부에 따른 변화를 주면서 수행하였으며 Line들의 기생 성분(Parasitic Parameter)을 고려하였다. 연구의 순서는 가장 먼저, On-chip Decoupling Capacitor와 Off-chip Decoupling Capacitor가 모두 없을 때를 분석하였고, 다음으로 On-chip Decoupling Capacitor만 존재하고 Off-chip Decoupling Capacitor는 없는 상황에서 분석하였고, 계속하여 Off-chip Decoupling Capacitor만 존재하고 On-chip Decoupling Capacitor는 없는 상황에서 분석하였으며, 마지막으로 On-chip Decoupling Capacitor와 Off-chip Decoupling Capacitor가 모두 존재하는 상황에서

분석하였다.

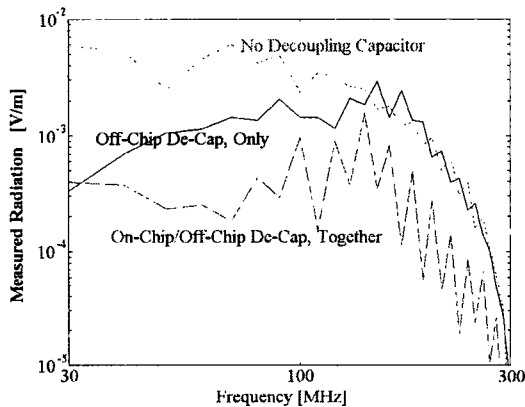
[그림 9](a)와 (b)는 측정된 전자파의 Spectrum Density이며, 홀수 고조파 (Harmonics)의 Peak 값을 연결하여 그린 포락선 그래프이다. On-chip Decoupling Capacitor와 Off-chip Decoupling Capacitor가 모두 없을 때의 측정결과는 [그림 9](a)와 (b)에서의 가장 윗 부분에 위치하는 점선으로 표시된 부분이다. On-chip Decoupling Capacitor와 Off-chip Decoupling Capacitor가 모두 있을 때의 측정결과는 [그림 9](a)와 (b)에서의 가장 아래 부분에 위치하는 긴 쇄선으로 표시된 부분이다. On-chip Decoupling Capacitor만 존재하는 경우의 결과는 [그림 9](a)에서 실선으로 표시된 부분이며, Off-chip Decoupling Capacitor만 존재하는 경우의 결과는 [그림 9](b)에서 실선으로 표시된 부분이다.

On-chip Decoupling Capacitor를 사용하는 경우는 [그림 9](a)에서 볼 수 있듯이 10 MHz에서 300 MHz사이의 주파수 영역에서 전체적인 축소현상을 볼 수 있다. 이와 같은 현상은 On-chip Decoupling Capacitor와 Driver가 형성하는 Loop는 IC내부에 존재하므로 그 크기가 Package나 PCB에 비하여 무시할 수 있을 정도로 작기 때문이다. Driver가 동작할 때 필요한 전류의 AC성분 중 일부를 Decoupling Capacitor가 공급하게 되며, 이 때 나머지 전류의 AC 성분은 Power에서 공급하며 PCB와 Package를 통하여 Radiation이 일어나기 때문에 전체적인 전자기 복사성 방사가 감소된다.

Off-chip Decoupling Capacitor의 경우에는 100 MHz 이하의 주파수영역에서 [그림 9](b)에서 보이는 것처럼 더 효율적인 전자기 복사성 방사의 축소를 보여주고 있다. 이것은 사용된 Off-chip Decoupling Capacitance는 10 nF인데 비하여 On-chip Decoupling Capacitance는 750 pF으로 작기 때문이다. 상대적으로 큰 값의 Decoupling Capacitance에도 불구하고 100 MHz 이상의 주파수영역



(a) On-chip Decoupling Capacitor의 영향



(b) Off-chip Decoupling Capacitor의 영향

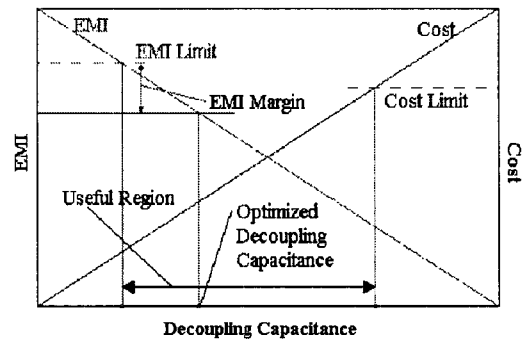
[그림 9] Off-chip Decoupling Capacitor와 Off-chip Decoupling Capacitor의 전자기 복사성 방사 측정 결과의 비교

에서 효과적인 전자기 복사성 방사의 축소 현상을 관찰할 수 없는 이유는 Decoupling Capacitor에서 공급하는 Current가 Package를 통하여 흐르게 되므로 Package에 존재하는 기생 성분인 Parasitic Inductor를 통해 항상 방사되기 때문이다. Package를 통한 Radiation은 Off-chip Decoupling Capacitor를 사용하여 줄일 수 없다.

EMI를 축소시키기 위하여 큰 Decoupling Capacitance를 추가하는 것은 SSN과 EMI를 축소시

키지만 Cost의 증가를 요구한다. 그러므로 Cost와 EMI사이에는 Trade-Off가 존재하며, 최적화된 Decoupling Capacitor의 값이 결정되어야만 한다. 이들 사이의 최적화를 위하여 우선 Decoupling Capacitance와 EMI와의 관계를 규명하고, Decoupling Capacitance와 Cost와의 관계를 규명해야 한다. 실제로 Capacitance와 EMI, 그리고 Capacitance와 Cost 사이에는 선형적인 비례 관계가 형성되지 않으므로 이들 사이의 관계는 표를 이용하여 구하여야 한다.

이렇게 Decoupling Capacitance와 EMI 및 Cost 사이의 관계가 구해지면 [그림 10]과 같은 형태의 그래프를 그린다. 가로축은 Decoupling Capacitance이며, 왼쪽의 세로축은 EMI이고, 오른쪽의 세로축은 Cost이다. 먼저 EMI를 기준 이하로 유지하기 위하여 필요로 하는 Decoupling Capacitance의 최소값과, Cost를 허용 가능한 기준 이하로 유지하기 위한 Decoupling Capacitance의 최대값을 결정한다. 최소값과 최대값 사이의 영역에서 최적화된 Decoupling Capacitance를 결정한다. 만약 영역이 결정되지 않는다면 Cost의 상한선을 증가시켜 영역을 결정한다. 가장 최적화된 Decoupling Capacitance는 EMI 상한선에서 Margin을 결정하고 [그림 10]과 같이 결정한다.



[그림 10] Decoupling Capacitor의 선택

지금까지 On-chip Decoupling Capacitor와 Off-chip Decoupling Capacitor의 영향을 비교하였다. 결과적으로 Off-chip Decoupling Capacitor는 100 MHz 이하의 저주파에서 전자기 복사성 방사를 축소시킬 수 있으나, 그보다 높은 주파수에서는 Package의 Parasitic Inductance 때문에 효과적으로 전자기 복사성 방사를 축소시킬 수 없다. 그러나 On-chip Decoupling Capacitor는 Package의 Parasitic Inductance의 영향과 무관하기 때문에 10 MHz에서 300 MHz까지의 주파수 영역에서 일정하게 전자기 복사성 방사를 축소시킨다. On-chip Decoupling Capacitance를 사용하여 전자기 복사성 방사를 축소시킬 수는 있으나 비용이 많이 들기 때문에 Off-chip Decoupling Capacitor를 사용하지 않을 수 없으며, Off-chip Decoupling Capacitor를 사용하여 효과적으로 전자기 복사성 방사를 축소시키기 위해서는 Package의 Parasitic Inductance가 작아야만 한다. 본 예제에서 알 수 있듯이 Package의 설계는 EMC와 아주 밀접한 관계를 가지고 있다.

V. 결 론

본 고에서는 Package 및 IC에서의 EMC 연구를 다루었다. 먼저 전자 패키징 기술에 관한 중요성 및 기술 동향을 소개하였고, 전자 패키징 기술과 EMC 사이의 관계를 언급한 후, 전자 패키징에 관한 EMC 연구의 예제로서 Decoupling Capacitor에 관한 연구 결과 소개하였다.

전자 패키징 기술과 EMC 사이의 관계에서 전원선(Power Line) 및 접지선(Ground Line)을 위한 전자 패키지 결선은 기본적으로 낮은 임피던스(Low Impedance)를 가져야 하고, 신호선(Signal Line) 및 접지선(Ground Line)을 위해서는 최대한 짧은 Interconnection 길이, 최소한의 불연속성(Discontinuity), 최소한의 누화(Crosstalk), 임피던스

정합(Impedance Matching), 높은 특성 임피던스(Higher Characteristic Impedance) 등등의 고려해야 한다.

본 고에서는 전자 패키징에 관한 EMC 연구의 예제로서 Decoupling Capacitor에 관한 연구 결과 소개하였다. 본 예제에서는 Decoupling Capacitor의 위치가 On-chip과 Off-chip일 때 delta-I Current와 전자기 복사성 방사(Electromagnetic Radiated Emission)를 다루고 있다. Test IC와 PCB가 설계 제작되었고, 측정을 통하여 분석되었다. Off-chip Decoupling Capacitor는 100 MHz 이하의 저주파에서 전자기 복사성 방사를 축소시킬 수 있으나, 그보다 높은 주파수에서는 Package의 Parasitic Inductance 때문에 효과적으로 전자기 복사성 방사를 축소시킬 수 없다. 그러나 On-chip Decoupling Capacitor는 Package의 Parasitic Inductance의 영향과 무관하기 때문에 10 MHz에서 300 MHz까지의 주파수 영역에서 일정하게 전자기 복사성 방사를 축소시킴을 확인하였다.

이미 앞에서 언급 하였듯이 필자는 본 고를 통하여 전자 패키징을 전공하지 않은 독자들을 대상으로 하여 전자 패키징에 관한 이해를 돕고, 전기 및 전자공학 분야에 종사하는 사람들에게 EMC에 관련한 전자 패키징 및 IC 설계에 관한 연구의 중요성이 전달되었으면 한다.

참 고 문 헌

- [1] Clayton R. Paul, "The Concept of Dominant Effect in EMC", *IEEE trans, Electromagnetic Compatibility*, vol 34. pp. 363-367, 1992. 8.
- [2] Luc B. Gravelle and Perry F. Wilson, "EMI/EMC in printed Circuit Boards - A Literature Review", *IEEE trans, Electromagnetic*

Compatibility, vol 34, pp. 109-116, 1992. 5.
 [3] V. Prasad Kodali, "Engineering Electromagnetic Compatibility", *IEEE Press*, 1996.
 [4] H. B. Bakoglu, "Circuits, Interconnections, and Packaging for VLSI", *Addison Wesley* 1990.

[5] 백경옥, "멀티 칩 모듈 기술", *대한기계학회지* 제36권 10호 pp. 947-954, 1996.

[6] 김종훈, "초고속 디지털 고집적 회로의 전자파 간섭 감소 방법에 관한 연구", 학위 논문 석사, 한국과학기술원 1998.

≡필자소개≡

김 중 훈

1995년: 영남대학교 전자공학과(공학사)
 1998년: 한국과학기술원 전기 및 전자공학과(공학석사)
 1998년~현재: 한국과학기술원 전기 및 전자공학과 박사과정 재학



김 정 호

1984년: 서울대학교 전기공학과(공학사)
 1986년: 서울대학교 대학원 전기공학과(공학석사)
 1993년: Univ. of Michigan 전자 공학(공학박사)
 1993년~1994년: Picometrix Inc 근무
 1994년~1996년: 삼성전자 메모리사업부 근무
 1996년~현재: 한국과학기술원 전기 및 전자공학과 교수

