

論文99-36D-5-6

다층배선 인터커넥트 구조의 기생 캐패시턴스 추출 연구

(A Study on the Extraction of Parasitic Capacitance for Multiple-level Interconnect Structures)

尹錫仁*, 元太映*

(Sukin Yoon and Taeyoung Won)

요 약

본 논문에서는 반도체 집적 회로의 다층 배선 인터커넥트 사이의 기생 캐패시턴스를 수치 해석적으로 계산하여 추출하는 새로운 방법과 그 적용 예를 보고한다. 기생 캐패시턴스를 시뮬레이션을 통해 추출하기 위하여, 복잡한 형태의 3차원 다층배선 구조물을 유한요소법을 이용하여 해석하였다. 캐패시턴스를 추출하기 위한 3차원 다층배선 구조물은 3차원 변환 정보를 가진 2차원 평면 마스크 레이아웃 데이터로부터 생성하였다. 시뮬레이션 결과의 정확도를 검증을 위하여 $8.0 \times 8.0 \times 5.0 \mu\text{m}^3$ 크기의 영역에 평행한 두 도전층이 상하로 교차한 구조에 대하여 실험치와 비교하였다. 3차원 다층배선 구조물의 기생 캐패시턴스 추출을 위해서, 유한요소법 적용을 위한 1,960개의 노드와 8,892개의 사면체 메쉬를 생성하였으며, ULTRA SPARC 1 워크스테이션에 대해서 소요된 CPU 시간은 28초이었으며, 4.4 메가바이트의 메모리를 사용하였다.

Abstract

This paper are reported a methodology and application for extracting parasitic capacitances in a multi-level interconnect semiconductor structure by a numerical technique. To calculate the parasitic capacitances between the interconnect lines, we employed finite element method (FEM) and calculated the distribution of electric potential in the inter-metal layer dielectric (ILD) by solving the Laplace equation. The three-dimensional multi-level interconnect structure is generated directly from two-dimensional mask layout data by specifying process sequences and dimension. An exemplary structure comprising two metal lines with a dimension of $8.0 \times 8.0 \times 5.0 \mu\text{m}^3$, which is embedded in three dielectric layer, was simulated to extract the parasitic capacitances. In this calculation, 1960 nodes with 8892 tetrahedra were used in ULTRA SPARC 1 workstation. The total CPU time for the simulation was 28 seconds, while the memory size of 4.4MB was required.

I. 서 론

집적회로 공정 기술의 발달로 인해, 반도체 공정에

* 正會員, 仁荷大學校 電子電氣컴퓨터工學部

(School of Electrical and Computer Engineering, Inha University)

※ 본 연구는 인하대학교 교내연구비의 지원으로 수행되었습니다.

接受日字:1998年10月19日, 수정완료일:1999年4月26日

적용되는 최소 선폭이 딥-서브-하프-마이크론으로 감소함에 따라 칩 복잡도의 큰 증가를 가져왔다. 그러나, 칩 면적 당 인터커넥트된 소자의 수로 정의되는 기능 밀도(functional density)는 칩 복잡도의 증가와 상응하는 증가 경향을 보이지 못하고 있다. 칩의 복잡도가 상대적으로 작은 회로에서는 활성 소자 사이의 인터커넥트를 용이하게 할 수 있어서 칩 복잡도와 기능 밀도 간의 차이가 적었다. 그러나, 칩의 복잡도가 증가할수록 칩 내의 증가한 활성소자를 연결하는데, 많은 어려움으로 기능 밀도가 칩 복잡도를 따라가지 못하게 되었다.

더욱이, 활성소자를 연결하기 위해 사용되는 인터커넥트 라인(interconnect line)이 복잡한 형태를 띄게 되어 인터커넥트 라인의 경로 길이(path length)의 증가를 가져왔다. 또한, 경로 길이의 증가로 칩내 인터커넥트 라인의 점유 면적이 증가하게 되어 칩 복잡도와 기능 밀도 간의 차이를 더욱 가중시켰다. 이러한 현상으로 최소 선폭이 감소함에 따라 개개의 활성소자가 전체 시스템의 신호 지연에 미치는 효과는 감소되어 가고 있는 반면에, 인터커넥트 라인을 통한 신호 전달 지연 효과가 증가하게 된다. 이처럼 선폭이 감소할수록 인터커넥트 라인은 칩의 최소 크기 및 시스템 신호 지연을 결정하는 중요한 요소가 된다^[11].

칩내 인터커넥트 라인의 경로 길이 및 점유 면적을 감소시키기 위한 방법으로 다층 배선 인터커넥트 구조가 적용되고 있다. 다층배선 인터커넥트 구조는 인터커넥트 라인의 경로 길이 및 점유 면적을 감소시키는데 효과적으로, 칩의 최소 사이즈를 결정짓는데 중요한 요소가 되었다. 그러나, 다층 배선 인터커넥트 구조는 최소 선폭이 감소할수록 이웃한 배선 사이의 기생 성분(寄生成分)의 영향이 증가하게 되었고, 또한 다층 배선 구조 변화가 따른 기생 성분 변화에 미치는 영향이 증가하게 되었다^[12]. 따라서, 회로 성능의 예측 및 개선을 위해서는 구조에 따른 기생 성분(寄生成分)의 계산이 필수적이다. 본 논문에서는 다층배선 구조 내 존재하는 기생 성분 중 캐패시턴스 성분(寄生成分)을 수치 해석적으로 계산하였다. 이미 인터커넥트 라인 사이의 기생 캐패시턴스를 계산하기 위하여 많은 연구 방법들이 제안되었다. 기존의 인터커넥트 라인에 존재하는 캐패시턴스를 계산하는 방법은 수치 해석적 방법을 이용하여 시스템 내의 3차원 전기장을 해석하고, 총 전하량 및 에너지를 계산하여 캐패시턴스 값을 계산해 내는 방법^[3]과 2차원 단면의 기생 캐패시턴스 성분을 수치 해석적 방법으로 구하거나, 실험치로 얻어진 데이터를 이용하여 임의의 3차원 구조로 확장하여 계산하는 방법^{[4][5]}, 전송선 모델을 이용한 계산 방법^[6] 등이 있다.

2차원 캐패시턴스의 계산 및 실험치에 의한 데이터를 이용하여 3차원 구조로 확장하는 방법이나, 전송선 모델을 이용한 계산 방법은 계산 속도 측면에서 빠르다는 장점이 있지만, 계산의 정확도면에서 3차원 전기장 해석에 비하여 다소 떨어지며, 복잡한 구조에의 적용이 어렵다는 단점이 있다^[7]. 계속된 공정의 발달로 사용되는 다층배선 인터커넥트 구조가 더욱 심화될 것

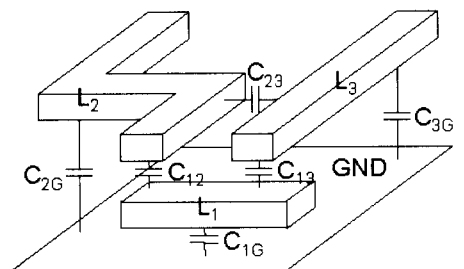
으로 예측되며, 더욱이 다층배선 구조가 기생 성분(寄生成分)에 미치는 영향이 증가하므로 기생 성분(寄生成分)의 계산에 있어서 복잡한 3차원 구조의 고려는 중요한 요소가 된다^[8].

따라서, 본 논문에서는 복잡한 3차원 구조에 적용이 용이한 유한요소법을 이용하여 비평탄한 3차원 다층배선 구조에 대해 전기장을 해석하므로 기생 성분(寄生成分)을 계산하였다. 기존의 3차원 전기장 해석 모델에서는 시뮬레이션을 위한 3차원 다층배선 구조를 생성하는데 있어서 식각 및 증착 공정의 결과로 예상되는 비평탄면을 고려하지 못하거나, 복잡한 형태의 비평탄 구조의 적용이 불가능하였으나, 본 논문에서는 공정의 결과로 예상되는 비평탄면을 고려하여 실제 형상과 유사한 형태의 3차원 다층배선 구조를 생성하여 기생 캐패시턴스 값을 계산하였으며, 다층배선 구조를 기하학적으로 정의하는 방법이 있어서도 Tcl/tk 언어를 이용한 그래픽 사용자 환경을 구성하였다.

후술하는 제III장에서는 본 연구에서 개발된 시뮬레이터의 기생 캐패시턴스를 계산하기 위한 모델에 대해 설명하고, 이어서 제III장에서는 시뮬레이션 구조를 정의하기 위한 알고리즘에 대해 설명을 한다. 제IV장에서는 본 시뮬레이터를 이용한 시뮬레이션 결과에 대하여 설명한다.

II. 캐패시턴스 계산 모델

본 논문에서 기생 캐패시턴스를 계산하기 위하여 사용한 방법은 전기장에 의한 유전체 내부의 축적된 에너지를 계산하는 방법이다. 다층배선 구조에서 각 인터커넥트 라인에 인가된 전압에 의하여 라인을 감싸고 있는 유전체 내부에는 전위 분포가 형성되며, 이에 의해 유전체 내부에 전기장 에너지가 축적된다. 축적된 전기장 에너지를 유한요소법을 이용하여 계산한 뒤, 이로부터 라인 사이의 기생 캐패시턴스를 계산하였다.



(a)

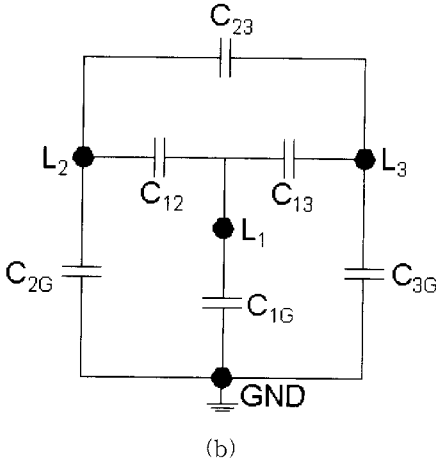


그림 1. 캐패시턴스 모델 (a) 인터커넥트 라인 사이에 존재하는 기생 캐패시턴스 (b) 등가회로
 Fig. 1. Capacitance model. (a) Parasitic capacitances in a multi-level interconnect structure (b) Equivalent circuit.

그림 1(a)에서 도시된 바와 같이 유전체로 둘러 쌓여 있는 여러개의 인터커넥트 라인은 그림 1(b)과 같은 등가회로로 표현될 수 있다. 각 라인에 인가된 전압에 의해 축적된 총 에너지는 등가회로에서 표현된 각각의 캐패시턴스 성분을 이용하여 식 (1)과 같이 표현된다.

$$W = \frac{1}{2} C_{12}(\psi_1 - \psi_2)^2 + \frac{1}{2} C_{13}(\psi_1 - \psi_3)^2 + \frac{1}{2} C_{23}(\psi_2 - \psi_3)^2 + \frac{1}{2} C_{1G}(\psi_1 - \psi_G)^2 + \frac{1}{2} C_{2G}(\psi_2 - \psi_G)^2 + \frac{1}{2} C_{3G}(\psi_3 - \psi_G)^2 \quad (1)$$

식 (1)에서 ψ_n 은 n 번째 노드에서의 전위이며, W 는 등가회로에 각 캐패시턴스에 축적되는 총 에너지이다.

N 개의 인터커넥트 라인이 존재하는 경우, 각 라인 사이에는 $N(N - 1)/2$ 개의 기생 캐패시턴스가 존재하게 된다. 축적된 총 에너지는 식 (1)과 같이 각 캐패시턴스에 축적되는 에너지의 선형결합으로 표현되는데, 이를 일반화하면 식 (2)와 같다.

$$W = \frac{1}{2} \sum_{i=1}^N \sum_{j=1, j \neq i}^N C_{ij} (\psi_i - \psi_j)^2 \quad (2)$$

식 (2)에서 C_{ij} 는 i 번째와 j 번째 라인 사이의 기생 캐패시턴스이며, ψ_i, ψ_j 는 각각의 라인에 인가되는 전압이다. 이때, 각 라인은 내부에 전기장이 존재하

지 않고, 전위가 일정한 이상적인 도체라 가정을 한다.

$N(N - 1)/2$ 개의 기생 캐패시턴스를 계산하기 위해 $N(N - 1)/2$ 개의 서로 다른 인가 전압 설정으로부터 각 전압 설정에 해당하는 총 에너지를 계산하여 식 (3)과 같은 선형시스템을 도출한다. 식 (3)의 선형시스템으로부터 가우스법을 이용하여 기생 캐패시턴스를 계산한다.

$$\begin{bmatrix} {}^{(1)}\psi_1 - {}^{(1)}\psi_2 & {}^{(1)}\psi_1 - {}^{(1)}\psi_3 & \dots & {}^{(1)}\psi_{(N-1)} - {}^{(1)}\psi_N \\ {}^{(2)}\psi_1 - {}^{(2)}\psi_2 & {}^{(2)}\psi_1 - {}^{(2)}\psi_3 & \dots & {}^{(2)}\psi_{(N-1)} - {}^{(2)}\psi_N \\ \vdots & \vdots & \ddots & \vdots \\ {}^{(M)}\psi_1 - {}^{(M)}\psi_2 & {}^{(M)}\psi_1 - {}^{(M)}\psi_3 & \dots & {}^{(M)}\psi_{(N-1)} - {}^{(M)}\psi_N \end{bmatrix} \begin{bmatrix} C_{12} \\ C_{13} \\ \vdots \\ C_{N-1N} \end{bmatrix} = \begin{bmatrix} {}^{(1)}W \\ {}^{(2)}W \\ \vdots \\ {}^{(M)}W \end{bmatrix} \quad (3)$$

식 (3)에서 ${}^{(k)}\psi_i$ 는 k 번째 인가 전압 설정에 따른 i 번째 라인의 인가 전압을 나타내며, ${}^{(k)}W$ 는 k 번째 인가 전압 설정에 의해 구해진 총 에너지이다. 또한, M 은 $N(N - 1)/2$ 개의 총 기생 캐패시턴스의 개수를 나타낸다.

유전체 내부의 전위 분포에 의한 총 에너지를 유한 요소법으로 구하기 위한 지배 방정식은 전속밀도와 전하밀도로 주어지는 맥스웰 방정식(maxwell's equation)으로, 다층배선 인터커넥트 라인 구조에서 내부 유전체 물질이 선형적이며, 등방성 특징을 갖고, 또한 내부에 전하밀도를 갖지 않는 이상적인 절연체라 가정하여 식 (4)와 같은 라플라스 방정식(laplace equation)을 얻어 낼 수 있다.

$$\nabla \cdot (\epsilon(x, y, z), \text{grad } \psi(x, y, z)) = 0 \quad (4)$$

식 (4)에서 ϵ 은 유전체의 유전율이며, ψ 는 유전체 내부의 전위분포이다. 식 (4)에 변분원리를 적용하여 식 (5)의 관계식을 얻을 수 있다.

$$I = \epsilon_0 \int_{V_{in}} \epsilon_r(x, y, z) \left[\left(\frac{\partial \psi}{\partial x} \right)^2 + \left(\frac{\partial \psi}{\partial y} \right)^2 + \left(\frac{\partial \psi}{\partial z} \right)^2 \right] dV \quad (5)$$

식 (5)에서 $I = 2W$ 의 관계가 있으므로, 최소가 되는 I 를 계산하여 에너지 W 를 얻을 수 있다. 경계 조건으로 도전체 내부에 전기장은 존재하지 않고, 전위가 일정하다고 가정하여 도전체 표면에서 디클리트 경

계 조건(Dirichlet boundary condition)을 적용하였다.

Ⅲ. 인터커넥트 구조 생성 알고리즘

인터커넥트 구조를 생성하기 위한 흐름도를 그림 2에 도시하였다. 그림 2에서와 같이 시뮬레이션 구조는 입력된 2차원 평면 데이터와 두께 정보, 영역별 물질 정보, 비평탄 평면 정보 등의 3차원 변환 정보를 이용한 삼각형 분할, 프리즘 분할, 비평탄면의 삽입 등의 3차원 변환 과정을 통해 생성된다.

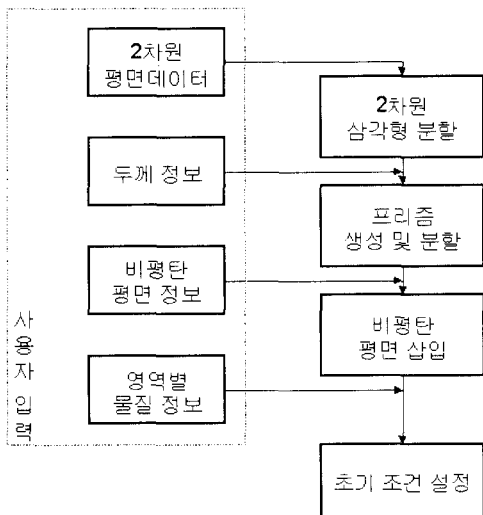


그림 2. 시뮬레이션을 위한 구조 생성 흐름도
Fig. 2. Flowchart of structure generation for our simulation.

그림 2의 2차원 평면 데이터란 생성될 구조의 2차원 평면도상의 좌표로, 그림 3(a)에서와 같이 입력된 임의의 구조에 시뮬레이션 영역을 설정하여 얻어진 그림 3(b)의 점O를 기준으로한 평면 좌표이다. 생성된 평면 데이터는 사각형 및 다각형 형태의 개체로, 사각형(Object 1)의 경우 시작점(S)과 끝점(P), 다각형(Object 2)의 경우 각 꼭지점($P_1, P_2, P_3, \dots, P_8$)의 좌표로 정의된다. 시뮬레이션 영역으로 정의된 좌표는 그림 4(a)와 같이 전체 영역 데이터와 그림 4(b), (c), (d)와 같이 각각의 마스크(Mask) 형태의 분리된 데이터(이하 마스크 데이터)로 저장된다. 데이터의 분리는 구조 생성시 서로 다른 층을 형성하는 것을 기준으로 사용자 입력에 의해 결정된다.

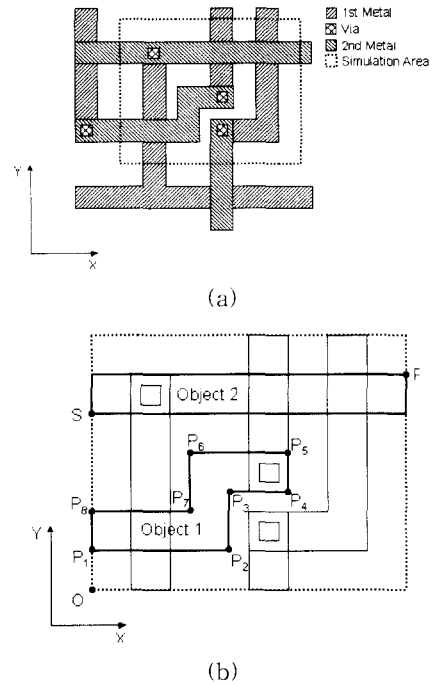


그림 3. 시뮬레이션 2차원 평면 데이터의 생성 (a) 임의의 배선 구조 (b) 시뮬레이션 영역 및 각 개체의 좌표정의 방법
Fig. 3. Generation of two dimensional layout data. (a) An arbitrary layout metal lines (b) A methodology of definition for object and area of simulation.

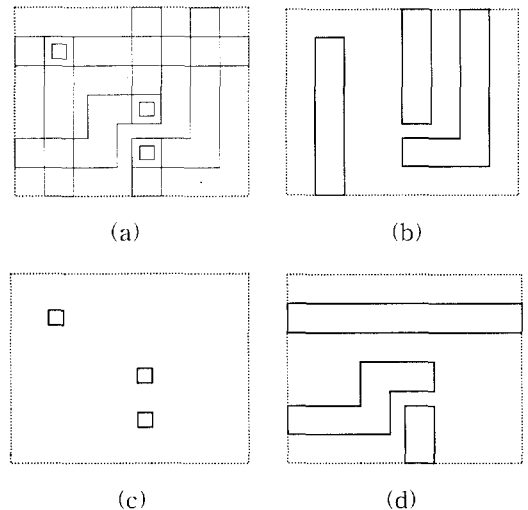


그림 4. 시뮬레이션 2차원 평면 데이터 (a) 전체 영역 데이터 (b) 제1 마스크 데이터 (c) 제2 마스크 데이터 (d) 제3 마스크 데이터
Fig. 4. Two dimensional layout data. (a) Data of whole mask (b) Data of the first mask (c) Data of the second mask (d) Data of the third mask.

그림 4(a)와 같은 전체 영역 데이터는 전체 구조의 평면도 좌표로서 시물레이션 영역의 좌표와 각 개체들의 좌표로 구성되어, 시물레이션 구조의 메쉬 생성시 이용된다. 그림 4(b), (c), (d)로 도시된 마스크 데이터들은 각 개체의 좌표와 영역별 물질 정보로 구성된다. 영역별 물질정보는 3차원 구조 생성시 메쉬의 각 노드들의 정보를 설정하는데 이용되며, 마스크 내의 각 개체들의 좌표에 따라 노드에 정보를 할당한다. 시물레이션의 캐패시턴스 계산을 위하여 사용되는 물질 정보는 인터커넥트 라인을 감싸는 내부 유전체의 유전율과 도전체와 절연체를 구분하기 위한 구분자이다.

그림 5는 입력된 정보로부터 3차원 구조를 생성하는 과정을 도시하였다.

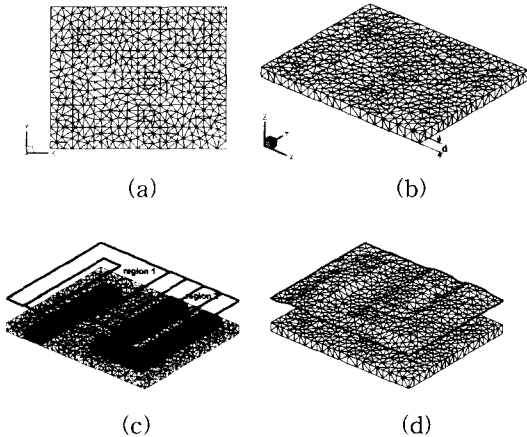


그림 5. 시물레이션 3차원 구조 생성 (a) 2차원 평면 데이터의 삼각형 분할 (b) 단층 생성 (c) 영역별 노드 정보 설정 (d) 비평탄면의 삽입

Fig. 5. Generation of three dimensional structure for simulation. (a) The triangulation of two dimensional layout data (b) Generation of layer with thickness information (c) Configuration of node information as a region (d) Insertion of non-planar data.

그림 5(a)에서와 같이 입력된 2차원 평면 데이터의 전체영역 데이터로부터 삼각형 분할을 수행하여 삼각형 리스트를 생성한다. 생성된 2차원 삼각형 리스트는 그림 5(b)와 같이 각 마스크 데이터의 두께 정보(d)를 이용하여 3차원 좌표로 변환된과 동시에, 프리즘을 생성하게 된다. 프리즘 형태로 생성된 각각의 층은 분할 과정을 통해 사면체로 변환된다. 그림 6은 삼각형 데이터로부터 사면체로 변환되는 과정을 도시하고 있다.

그림 6의 과정으로 생성된 사면체들은 그림 5(c)와

같이 마스크 데이터로부터 해당 영역(region 1, region 2)의 물질정보를 할당받는다. 그림 5(d)에 도시한 바와 같이 각각의 층의 경계면은 입력된 비평탄면 정보에 따라 생성된 비평탄면으로 전환된다. 비평탄면 정보는 그림 7(a)에서 도시한 바와 같이 비평탄면을 구성하기 위해 필요한 최소 분할된 직사각형 셀의 각 꼭지점에 입력된 높이 좌표를 말한다. 그림 7(b)에 도시된 전체 영역의 분할된 삼각형 리스트 각 점P의 높이 좌표는 그림 7(a)와 같이 점P를 포함하는 해당 셀을 찾아 식 (6)의 쌍일차보간법(bilinear interpolation)으로 높이를 얻게 된다.

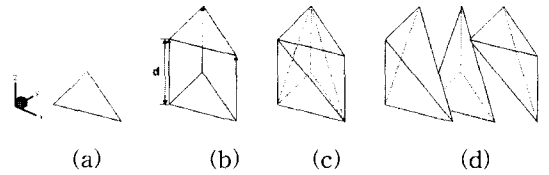


그림 6. 사면체 생성 과정 (a) 삼각형 데이터 (b) 프리즘 생성 (c) 프리즘 분할 (d) 생성된 사면체

Fig. 6. Flow for tetrahedral structure generation. (a) Data of triangular structure (b) generation of prism (c) Decomposition of prism (d) Generated tetrahedra.

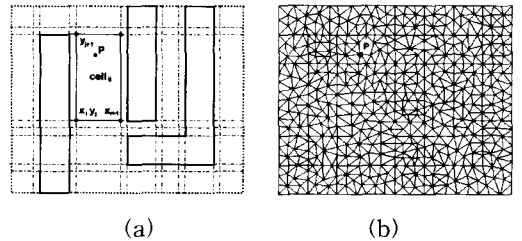


그림 7. 비평탄면의 생성 (a) 비평탄면 생성을 위한 셀 구조 (b) 삼각형 리스트

Fig. 7. Generation of non-planar data. (a) Cell structure for non-planar data (b) triangle list for non-planar data.

$$Z_p = \frac{(L_{ij} \cdot Z_{i+1j+1} + L_{i-1j-1} \cdot Z_{ij}) - (L_{i+1j} \cdot Z_{ij-1} + L_{ij+1} \cdot Z_{i+1j})}{(x_{i+1} - x_i) \cdot (y_{j-1} - y_j)}$$

$$L_{ij} = (x_i - x) \cdot (y_j - y) \tag{6}$$

식 (6)에서 Z_p 는 삼각형 리스트상의 점P에 대한 높이이며, Z_{ij} 는 셀의 각 꼭지점에서의 높이이다. 전체 삼각형 리스트들에 대해 생성된 비평탄면은 마스크 데이터로 생성된 층의 경계면의 평면 좌표를 대신한다. 3차원 시물레이션 구조는 그림 5(d)의 방법으로 생성된 비평탄면을 갖는 단층을 적재함으로 생성된다.

시뮬레이션을 위해 생성된 3차원 메쉬구조에 초기조건으로 유전체 및 도전체 구분자를 이용하여, 도전체로 정의된 각 노드에 인가 전압 값을 설정한다. 이때, 생성된 구조 내 그림 8(a)와 같이 단층의 적재 과정에서 그림 8(b)와 같이 상하 전기 접속이 있는 경우 동일한 초기조건을 갖아야 하므로, 각 단층을 생성하는 과정에서 그림 9와 같이 상하 전기 접속 여부를 판단하는 알고리즘을 적용하여 동일한 초기조건을 설정하여 준다.

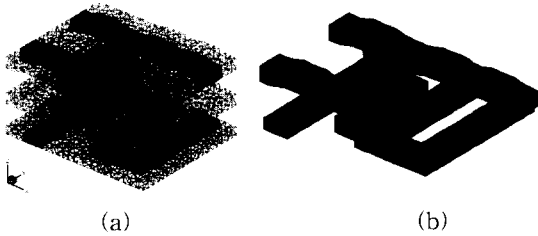


그림 8. 전기적으로 접속된 도체 정보 생성 (a) 각 층의 적재 (b) 전기적으로 접속된 도체 검색
 Fig. 8. Generation of electrically contacted conductor list. (a) Stack of each layer (b) Searching for electrically contacted conductor.

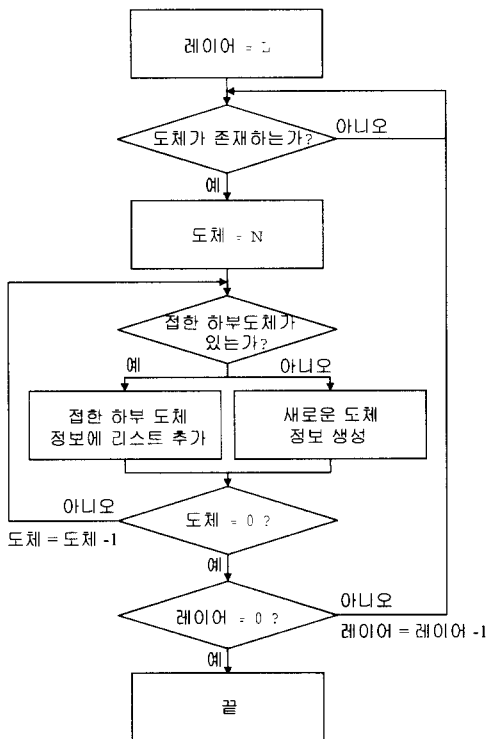


그림 9. 전기적으로 접속된 도체를 찾는 흐름도
 Fig. 9. Flowchart of searching for electrically contacted conductor.

IV. 시뮬레이션

본 연구에서 개발된 시뮬레이터를 검증하기 위하여 동일한 구조에 대해 Ansoft사의 SPICELINK와 계산 결과를 비교하였다. 시뮬레이션에 사용한 구조는 그림 10과 같다.

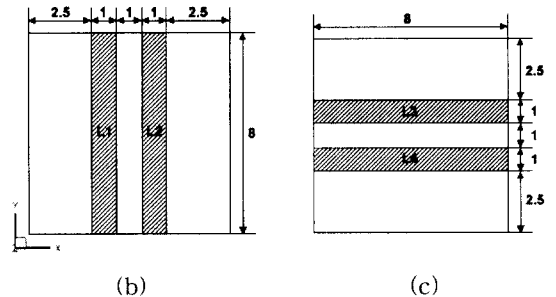
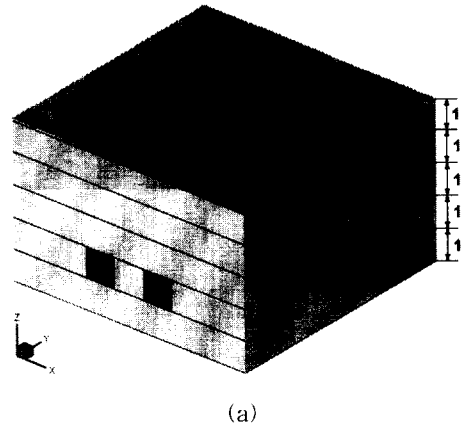


그림 10. 시뮬레이션 구조(단위 : μm) (a) 각 층의 두께 정보 (b) 제1 마스크 데이터 (c) 제2 마스크 데이터
 Fig. 10. schematic overview of structure for simulation. (a) Thickness of each layer (b) Data of the first mask (c) Data of the second mask.

그림 10(a)에서 도시한 바와 같이 시뮬레이션 구조는 총 5개의 층으로 구성되어있으며, 평행한 두 라인이 x축과 y축을 따라 위치하며 상하로 교차된 구조이다. 각 층의 두께는 각각 $1\mu\text{m}$ 이며, 내부 유전체 물질의 유전 상수는 3.9를 사용하였다. 각 라인의 마스크 좌표는 그림 10(b), (c)에 도시하였다. 기생 캐패시턴스를 구하기 위해 구조의 윗면과 아래면에 그라운드(ground)를 두었다.

시뮬레이션 결과는 식 (7)과 같은 캐패시턴스 행렬

로 표현될 수 있다.

$$C = \begin{bmatrix} \sum_{j=1}^N C_{1j} & -C_{12} & \cdots & -C_{1N} \\ -C_{12} & \sum_{j=1}^N C_{2j} & \cdots & -C_{2N} \\ \vdots & \vdots & \ddots & \vdots \\ -C_{N1} & -C_{N2} & \cdots & \sum_{j=1}^N C_{Nj} \end{bmatrix} \quad (7)$$

캐패시턴스 행렬의 ii 번째 주대각 요소는 i 번째 라인의 총 캐패시턴스이며, i 번째 라인과 그라운드 사이의 캐패시턴스(C_{ii})와 다른 라인간의 커플링 캐패시턴스(coupling capacitance, $C_{ij,j+i}$)의 합으로 표현된다. ij 번째 요소는 i 번째 라인과 j 번째 라인 사이의 캐패시턴스 값의 음수로 표현된다.

그림 10(a)에서 도시된 구조에 대한 SPICELINK의 계산 결과는 식 (8)과 같으며, SUN SPARC 20 워크스테이션에 대해 계산에 소요된 CPU 시간은 881초이며, 58.551 메가바이트의 메모리를 사용하였다^[9].

$$C = \begin{bmatrix} 1.53 & -0.398 & -0.188 & -0.196 \\ -0.398 & 1.52 & -0.187 & -0.195 \\ -0.188 & -0.187 & 1.47 & -0.373 \\ -0.196 & -0.195 & -0.373 & 1.51 \end{bmatrix} \times 10^{-3} \text{ pF} \quad (8)$$

동일 구조에 대해 본 시뮬레이터의 계산 결과는 식 (9)와 같다.

$$C = \begin{bmatrix} 1.513 & -0.388 & -0.194 & -0.193 \\ -0.388 & 1.513 & -0.194 & -0.194 \\ -0.194 & -0.194 & 1.505 & -0.384 \\ -0.193 & -0.194 & -0.384 & 1.504 \end{bmatrix} \times 10^{-3} \text{ pF} \quad (9)$$

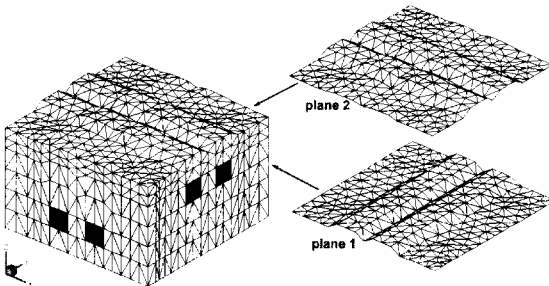


그림 11. 비평탄면의 삽입
Fig. 11. Insertion of non-planar data.

계산된 기생 캐패시턴스의 값은 SPICELINK의 계산값과 근사함을 볼 수 있다. 식 (9)의 결과를 얻기 위하여 ULTRA SPARC 1 워크스테이션에서 계산에 사용된 CPU 시간은 28초이며, 4.4 메가바이트의 메모

리를 사용하였다. 동일 구조에 대해 그림 11과 같이 증착의 결과로 예상되는 비평탄면(plane 1, plane 2)을 적용하여 캐패시턴스를 계산하였다.

그림 11과 같은 구조에 대해 계산한 기생 캐패시턴스는 다음의 식 (10)과 같다.

$$C = \begin{bmatrix} 1.491 & -0.397 & -0.178 & -0.178 \\ -0.397 & 1.491 & -0.178 & -0.178 \\ -0.178 & -0.178 & 1.492 & -0.403 \\ -0.178 & -0.178 & -0.403 & 1.472 \end{bmatrix} \times 10^{-3} \text{ pF} \quad (10)$$

비평탄면이 적용된 구조는 적용되지 않은 구조에 비하여 서로 다른 층에 존재하는 라인 사이의 기생 캐패시턴스는 감소하는 반면 인접한 동일 층 내 라인 사이의 기생 캐패시턴스는 증가를 보였다. 그러나, 이러한 경향은 비평탄 구조에 따라 차이가 있을 것으로 사료된다.

다른 적용으로 그림 4와 같은 평면 데이터를 갖는 전체 시뮬레이션 영역 $11.2\mu\text{m} \times 9.1\mu\text{m}$ 의 구조를 정의하여 시뮬레이션하였다. 그림 12는 본 연구에서 복잡한 구조에 대한 2차원 평면 데이터를 입력하기 위해 구성한 그래픽 사용자 환경으로, 임의의 다층 배선 구조를 마우스를 이용하여 입력한 뒤 시뮬레이션 영역을 설정하여 관심지역에 대한 시뮬레이션 수행이 가능하다.

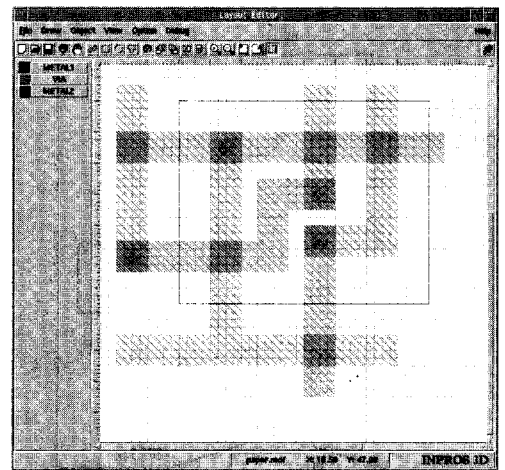


그림 12. 시뮬레이션을 위한 2차원 평면 데이터 입력 및 시뮬레이션 영역 설정
Fig. 12. Drawing of two-dimensional layout and simulation area for our simulation.

시뮬레이션 구조는 5층으로 구성되었으며, 유전체로 둘러싸인 2층의 금속라인이 비아(via)에 의해 연결되

어 있는 구조이다. 각 층의 두께는 그림 13에 도시한 바와 같다. 시뮬레이션에서 사용된 유전체 물질의 유전 상수는 3.9로 정의하였다.

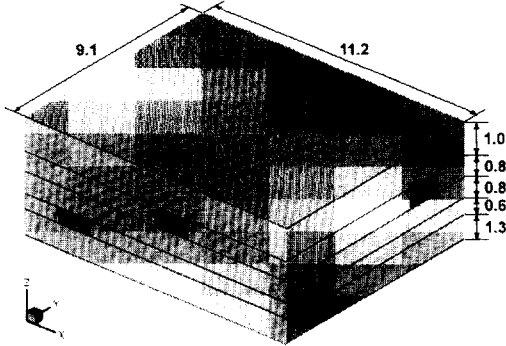


그림 13. 시뮬레이션 구조 (단위 : μm)
Fig. 13. Schematic overview of simulation structure.

그림 14에 시뮬레이션에 사용된 비평탄면을 도시한다. 그림 14(a)는 그림 4(b) 마스크 데이터로 라인 층을 생성한 후 상부층과의 절연을 위해 유전막을 증착하는 과정에서 나타날 수 있는 비평탄면을 정의한 것이며, 그림 14(b)는 그림 4(d) 마스크 데이터를 이용하여 라인층을 생성한 후 나타날 수 있는 비평탄면을 정의한 것이다.

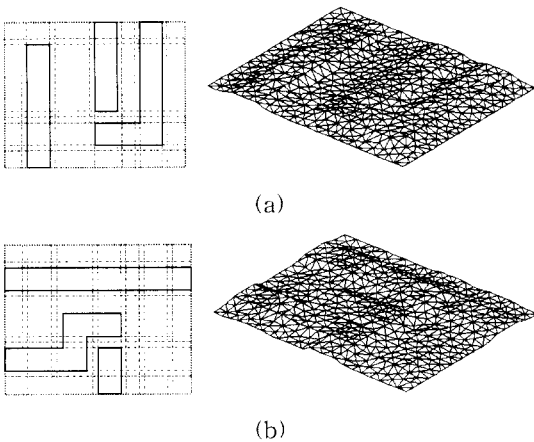
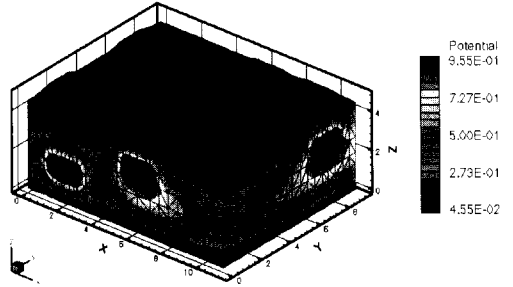


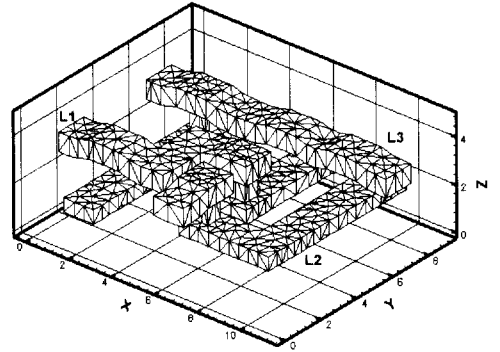
그림 14. (a)제1 비평탄면 셀 구조 및 생성면 (b)제2 비평탄면 셀 구조 및 생성면
Fig. 14. (a) Cell structure for generation of the first non-planar plane and its result (b) Cell structure for generation of the second non-planar plane and its result.

비평탄면을 적용하여 생성한 3차원 시뮬레이션 구조의 결과 및 유전체 내부의 전위 분포를 그림 15에 도

시하였다. 그림 15(a)에 도시된 전위 분포는 각 인터커넥트 라인(L1, L2, L3)에 1V의 전압이 인가되었을 때이다. 내부 유전체 부분을 제거한 인터커넥트 라인의 형상은 그림 15(b)에 도시하였다. 해당 구조에 대해 계산된 캐패시턴스는 식 (11)과 같다.



(a)



(b)

그림 15. 시뮬레이션 구조 및 전위 분포 (a) 인가전압에 의한 전위 분포 (b) 인터커넥트 라인 형상
Fig. 15. Simulation structure and potential distribution. (a) potential distribution when voltage applied (b) Shape of interconnect metal lines.

$$C = \begin{bmatrix} 3.034 & -0.801 & -0.312 \\ -0.801 & 2.760 & -0.588 \\ -0.312 & -0.588 & 2.225 \end{bmatrix} \times 10^{-3} \text{ pF} \quad (11)$$

시뮬레이션에 사용된 구조는 3,563개의 노드와 16,792개의 사면체로 구성되었으며, 총 계산에 소요된 시간은 97초이며, 약 8Mbyte의 메모리를 사용한다.

V. 결론

반도체 공정의 최소 선폭이 감소할수록 기능밀도 개선 및 칩 크기의 축소를 위해 심화된 다층 배선 인터

커넥트 구조의 적용을 피할 수 없으며, 그 구조 또한 다층화, 복잡화되어 가고 있다. 회로 내에서 인터커넥트 라인 사이의 기생 캐패시턴스는 회로의 신호 지연 및 신호 왜곡 등에 영향을 미친다. 또한, 구조 변화에 따라 기생 캐패시턴스 성분의 변화 폭이 커짐에 따라, 3차원 구조에 대한 인터커넥트 라인 사이의 기생 캐패시턴스 성분의 계산은 회로의 성능 예측 및 개선에 중요한 요소가 된다.

본 논문에서는 임의의 다층배선 인터커넥트 구조에 대해 기생 캐패시턴스를 수치 해석적으로 계산하였다. 수치 해석 방법으로 복잡한 구조의 적용이 용이한 유한요소법을 이용하여 인터커넥트 라인에 인가한 전압으로부터 내부 유전체에서의 전위 분포를 해석하였으며, 이로부터 축적된 에너지를 계산하여 기생 캐패시턴스 값을 얻었다. 복잡한 다층배선 시뮬레이션 구조를 생성하기 위해 그래픽 사용자 환경을 구성하여, 2차원 평면 데이터 및 3차원 변환정보를 입력하여 삼각형 분할, 프리즘 분할, 비평탄면의 삽입 등의 과정을 통해 식각 및 증착 등에 의한 비평탄면을 고려하였다.

참 고 문 헌

- [1] Mark T. Bohr, "Interconnect Scaling - The Real Limiter to High Performance ULSI," Intl. Electron Devices Meeting Tech. Digest, pp.241-244, 1995.
- [2] J. Chern, J.Huang, L. Aldredge, P. Li, and P. Yang, "Multilevel Metal Capacitance Models for CAD Design Synthesis Systems," IEEE Electron Device Lett., Vol.EDL-13, pp.32-34, 1992.
- [3] H. Heeb and A. E. Ruehli, "Three-dimensional Interconnect Analysis using Partial Element Equivalent Circuits," IEEE Trans. on Circuits and Systems Vol.39, No.11, pp.974-982, November, 1992.
- [4] Narain D. Arora, Kartik V. Raol, Reinhard Schumann, and Llanda M. Richardson, "Modeling and Extraction of Interconnect Capacitances for Multilayer VLSI Circuits," IEEE Trans. on Computer-Aided Design, Vol. 15, No. 1, pp.58-67, January, 1996.
- [5] U. Choudhury and A. Sangiovanni-Vincentelli, "Automatic generation of analytical models for interconnect capacitances," IEEE Trans. on Computer-Aided Design. Vol.14, No.4, pp.470-480, April, 1995.
- [6] Rohini Gupta, Seok-yoon Kim, and Lawrence T. Pileggi. "Domain Characterization of Transmission Line Models and Analyses," IEEE Trans. on Computer-Aided Design. Vol.15, No.2, pp.184-193, 1996.
- [7] Eli Chiprout, "Hierarchical Interconnect Modeling," Intl. Electron Devices Meeting Tech. Digest, pp.125-128, 1997.
- [8] O. S. Nakagawa, S. -Y. Oh, and G. Ray, "Modeling of Pattern-Dependent On-Chip Interconnect Geometry Variation for Deep-Submicron Process and Design Technology," Intl. Electron Devices Meeting Tech. Digest, pp.137-140, 1997.
- [9] Wei Hong, Wei-Kai Sun, Zhen-Hai Zhu, Hao Ji, Ben Song, and Wayne Wei-Ming Dai, "A Novel Dimension-Reduction Technique for the Capacitance Extraction of 3-D VLSI Interconnects," IEEE Trans. on Microwave Theory and Techniques Vol.46, No.8 pp.1037-1044, August, 1998.
- [10] M. Bächtold, S. Taschini, J. G. Korvink, and H. Baltes "Automated Extraction of Capacitances and Electrostatic Forces in MEMS and ULSI Interconnects from the Mask Layout," Intl. Electron Devices Meeting Tech. Digest, pp.129-132, 1997.

— 저 자 소 개 —

尹 錫 仁(學生會員)

1972년 12월 30일생. 1998년 인하대학교 전자재료공학과(공학사), 1998년~현재 인하대학교 전자재료공학과 석사과정, 주관심분야는 반도체 소자 및 공정, 시뮬레이션 등임



元 太 映(正會員)

1959년 2월 21일생. 1981년 서울대학교 전자공학과(공학사). 1983년 한국과학기술원 전기 및 전자공학과(공학석사). 1989년 미국 University of Illinois at Urbana-Champaign 전자공학과(공학박사).

1989년~1990년 미국 State University of New York 조교수. 1990~1991년 삼성전자(주) 수석 연구원. 1991년~현재 인하대학교 공과대학 전자전기컴퓨터공학부 부교수. 주관심분야는 반도체 소자 및 공정 등임