

論文99-36D-5-5

파이프라인형 CORDIC를 이용한 직접 디지털 주파수 합성기 설계

(A Design of a Direct Digital Frequency Synthesizer with an Array Type CORDIC Pipeline)

南賢淑*, 金大容**, 劉泳甲*

(HyunSuk Nam, DaeYong Kim, and YoungGap You)

요약

새로운 방식의 직접 디지털 주파수 합성기(Direct Digital Frequency Synthesizer, DDFS)의 설계방식을 제시하였다. 배열형 CORDIC(Coordinate Rotate Digital Computer)을 해석함에 있어서 오차의 크기를 계산하였다. 오차에는 계산회수의 부족에서 발생하는 '반복회수오차'와 제한된 데이터 비트수를 사용함으로써 계산에 사용하지 못하는 유효숫자 이하를 버림으로써 발생하는 '절단오차'로 분류할 수 있다. 실제로 각 비트별로 오차를 측정해 보면 8비트시 7단, 16비트시 12단, 24비트시 20단으로 근최적화된 파이프라인 단수를 얻을 수 있었다. 이 DDFS는 FPGA칩으로 구현되었고, 측정결과 23.5MHz의 구동 클럭에서 안정된 동작을 보였으며, 11.75MHz의 최대 출력 주파수를 발생시켰다. 위상별 진폭값을 ROM에 저장하는 기존의 방식에 비하여, 보다 높은 정밀도와 처리속도를 보이며, 제조공정 역시 단순해 질 것이다. 특히 같은 비트를 채택한 경우 롬방식에 비하여 5배정도의 높은 정밀도를 얻었다.

Abstract

A new design of a Direct Digital Frequency Synthesizer(DDFS) is presented, where a pipelined Coordinate Rotate Digital Computer(CORDIC) circuit is employed to calculate amplitude values of all the phase angles of sinusoidal waveforms produced. A near-optimal number of pipeline stages is determined based on an error analysis of calculated amplitude values in terms of the number of bits. The DDFS was implemented using a field programmable gate array, yielding a stable operating frequency of 11.75MHz. The measurement results show higher resolution, faster operating speed and simpler fabrication process, compared to ROM-based counterparts. The CORDIC-based DDFS yields 5 times higher resolution than conventional ROM-based versions.

I. 서론

광범위하게 보급되고 있는 디지털 통신시스템에서 주파수 합성기의 성능은 주파수 해상도, 대역

폭 그리고 천이속도에서 상당한 개선을 요구받고 있다. 주파수 발생과정에서 연속적인 파형을 얻기 위해서 시스템의 향상 및 크기의 축소등을 요구한다. 이에 대응하여 시스템의 크기를 최적에 가까운 DDFS 설계를 제시할 수 있었다. 각 비트별 8비트시 7단, 16비트시 12단, 24비트시 20단정도로 최적화된 파이프라인 단수를 정하므로써 시스템의 크기를 근최적화 할 수 있었다. 이와 같은 DDFS는 광대역의 주파수 발생능력과 안정도에서 우수한 것으로 알려지고 있다^[1,2,3]. 이러한 요구를 수용하는 방법으로서, 기존의 DDFS는 사인 파형의

* 正會員, 忠北大學校 情報通信工學科

(Dept. Computer and Communcation Eng, Chungbuk National University)

** 正會員, 韓國電子通信研究院

(Elec. and Telecommunications Research Institute)

接受日:1998年9月4日, 수정완료일:1999年4月22日

각 위상 별 진폭값을 룬 테이블에 수치로 저장해 두고 이를 읽어내어 파형을 복원해내는 방식을 사용하였다^[3]. 이 방식은 그 구현 방식이 비교적 간단하기는 하지만, 룬을 읽는 과정에서의 지연시간을 극복하기 위한 특별한 회로가 필요하고 진폭 별 오차를 줄이기 위하여 룬의 용량이 커지게 되고 결국 칩면적에 영향을 준다는 단점이 있다. 또한 룬을 효과적으로 구현하기 위한 반도체 제조공정의 복잡도가 커지게 되어 제조단가도 높아지게 된다.

본 논문은 각 위상별 진폭 값을 직접계산하는 방식을 채택하여 ROM을 쓰지 않고, 파이프라인형 삼각 함수 계산회로를 사용하여 진폭값을 직접 계산하는 방안을 채택하였다. 각 위상별 진폭은 사인 값을 계산하는 것인데 여기에는 CORDIC 알고리즘을 사용하였다. 이 CORDIC 알고리즘은 같은 데이터 처리를 반복하는 특성이 있어서 이를 배열형의 파이프라인 단계로 구현하여, 궁극적으로 하나의 진폭 값을 계산하는데 단 한단계의 배열 통과에 걸리는 시간이 사용되도록 하여 속도를 개선하고자 하였으며, 룬 테이블을 제거하므로써 일반 CMOS 공정을 사용하도록 하였다. 또한 오차분석을 통하여 CORDIC 파이프 라인의 단계수를 정하도록 하여 테이블 방식보다 더욱 정밀한 진폭값을 얻을 수 있도록 하였다.

II장에서는 DDFS 구조와 CORDIC의 원리를 소개하고, III장에서는 CORDIC의 오차해석을 소개하고, IV장에서는 CORDIC 에 의한 DDFS의 구조를 제시하고, V장에서는 구현 및 측정결과 토의를 서술하고, 마지막 VI장에서는 결론을 도출하였다.

II. DDFS 구조와 CORDIC 원리

이제 기존의 DDFS 구조에서 룬과 그 접근회로 대신에 CORDIC 회로를 삽입하는 과정을 보기로 한다.

1. 일반적인 DDFS의 구조

그림 1에는 기존의 룬을 사용하는 DDFS의 구조를 보이고 있다. 외부에서 요구하는 주파수가 주파수 저장 레지스터에 입력되면, 그에 맞추어서 위상 값이 클럭 주파수를 근거로 계산되어 위상가

산기에 보내지게 된다. 빠른 주파수가 요구되면 비교적 큰 값이 보내지고 느린 주파수이면 비교적 작은 값이 더해지게 된다. 매번 마다 새로운 위상 값이 결정되면 이것이 곧 룬의 주소가 되어 해당 진폭 값을 얻게 된다^[4]. 이렇게 연속적으로 얻어진 진폭 값은 DAC(Digital to Analog Convert)에 의하여 아날로그 사인 파형으로 변환되어 출력되는 것이다. 속도를 개선하기 위하여는 룬이 한번에 여러 주소를 받아 진폭값을 찾아내는 구조로 만들게 된다.

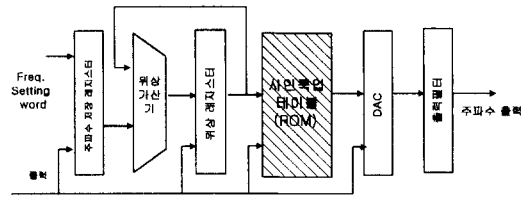


그림 1. 기존의 직접 디지털 주파수 합성기의 구조
Fig. 1. Block diagram of a conventional DDFS.

본 논문은 룬 테이블을 사용한 주파수 합성기 대신에 CORDIC 회로를 사용하게 되는데 그 알고리즘은 Volder 에 의하여 발명된 것이다^[5,6,7]. 그림 2와 같이 삼각함수 계산회로 알고리즘은 직선 (X,Y)를 갖는 기본 벡터 V를 각도 θ 를 가지는 직선 (X',Y')의 벡터 V'으로 회전함으로써 다음과 같이 전개된다.

$$X' = X \cos \theta - Y \sin \theta \quad (1)$$

$$Y' = X \sin \theta + Y \cos \theta \quad (2)$$

각도 θ 를 $\theta = \pm \alpha_0 \pm \alpha_1 \pm \alpha_2 \pm \alpha_3 \dots \pm \alpha_i$ 로 분할하여 각도 $\alpha_i = \tan^{-1} 2^{-i}$ 크기로 연속해서 회전시킨다. 벡터 V에서 벡터 V'로의 회전을 이루기 위해, 각도 α_i 의 방향은 $(\theta - \sum \alpha_i)$ 에 따라 + 혹은 - 방향이 선택된다. 여기서, X_{i+1} 과 Y_{i+1} 은 (X_i, Y_i) 보다 $1/\cos \alpha_i$ 의 비율만큼 큰 값이 된다. 이는 다음식과 같이 전개된다.

$$X_{i+1} = X_i \mp Y_i \times 2^{-i} \quad (3)$$

$$Y_{i+1} = Y_i \pm X_i \times 2^{-i} \quad (4)$$

마지막 단계의 X_{i+1} 와 Y_{i+1} 의 값을 구하므로써 사인값과 코사인의 값이 되는 것이다.

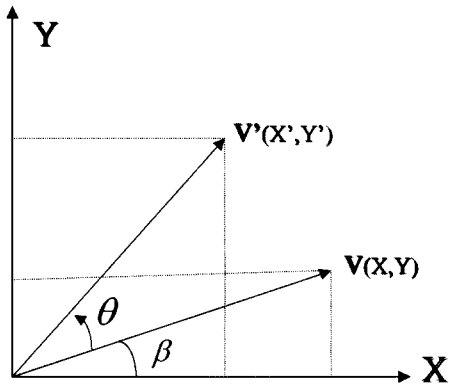


그림 2. 회전각 θ 를 갖는 벡터 (R, β)
 Fig. 2. Vector (R, β) rotated through angle θ .

III. CORDIC의 오차해석

먼저 이용한 CORDIC 알고리즘과 파이프라인 구조의 배열형 CORDIC를 구현하는 과정에서 발생하는 오차 분석결과를 제시한다.

실제적으로 사인값과 코사인값은 근사값을 가지며 24비트인 경우 오차를 보면 사인값의 위상값이 15°인 경우 21번째의 클럭에서 0.258815(십진수)이다. 이는 실제 0.2588190351...에 근사값을 가지며, 그 오차는 각각 0.000004을 갖는다. CORDIC 알고리즘을 이용한 삼각함수의 계산에서 발생하는 오차는 이분법을 사용하여 계산하는 과정에서 계산회수의 부족에 의해 발생하는 '반복횟수오차'와 제한된 데이터 비트수를 사용함으로써 계산에 사용하지 못하는 유효숫자 이하의 값을 버림으로써 발생하는 '절단오차'로 분류할 수 있다. 실제로 파이프라인구조의 배열형 CORDIC에서 발생하는 오차는 반복횟수오차와 절단오차의 합으로 구해진다.

그림 3에서와 같이 16비트인 경우, 파이프라인 단수를 4단을 썼을 경우 계단파형이 발생되어 파이프라인 단의 증가에 의해 CORDIC 알고리즘에서 이상적인 값과 계산 값의 오차가 $1/2^X$ (X:파이프라인 단수)에 의해 비례하여 감소한다. 반복 횟수 오차는 수학적 해석에서 발생한 오차만을 의미하며 파이프라인의 단이 무한하게 증가하면 발생하는 반복 횟수 오차는 2의 승수에 비례하여 감소하게 된다.

진폭값

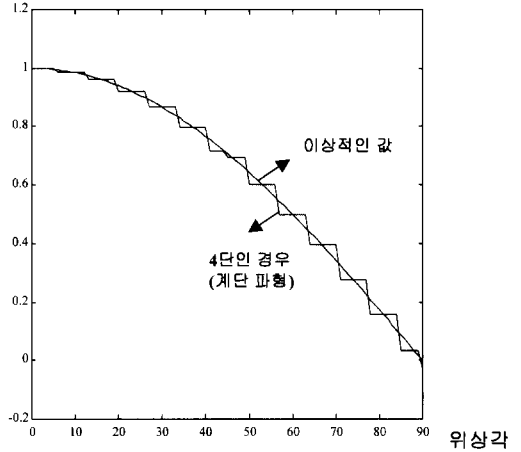
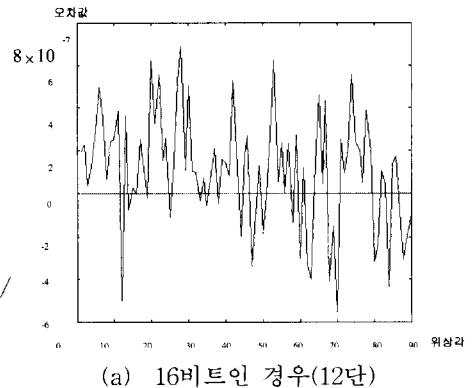
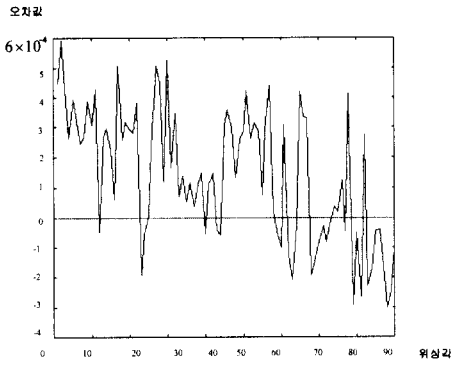


그림 3. 파이프라인 단수에 따른 반복 횟수 오차
 Fig. 3. Error due to the number of pipeline stages.

파이프라인 구조의 배열형 CORDIC 회로를 구현하기 위해 CORDIC 알고리즘의 데이터 표현을 임의의 비트를 사용함에 따라 발생하는 절단 오차이다. 파이프라인 각단에서 쉬프트된 값은 다음 덧셈연산에서 자리수를 맞추기 위해 유효자리 이하의 수는 절단된다. 파이프라인 단마다 항상 절단되는 데이터가 발생하게 되며 임의의 비트 데이터에서 파이프라인 단계수에 비례하여 절단 오차는 증가한다. 절단 오차는 데이터 비트수가 증가하면 각 단에서 발생하는 유효자리수의 증가에 의해 2^{-Y} (Y:데이터 비트수)로 감소한다. 그림 4의 (a)는 16비트인 경우는 12단부터 에러값의 최대값이 이후에는 변화가 없음을 알 수 있고, (b) 24비트인 경우의 0 - 90° 사이에 발생하는 최대 에러는 24단 이후에는 변화가 없음을 알 수 있다.





(b) 24비트인 경우(20단)

그림 4. 비트수와 파이프라인 단수에 따른 절단 오차 값(수직축의 단위가 다음에 유의)
Fig. 4. Error due to the number of bits and stages.

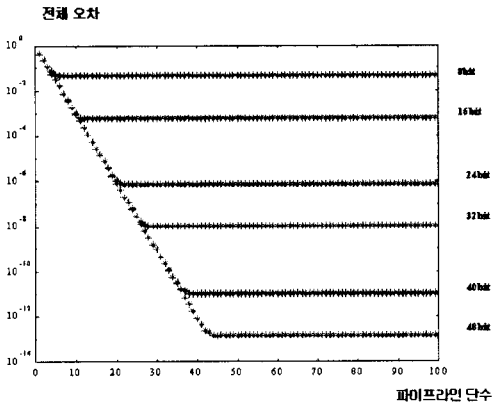


그림 5. 계산 오차와 절단오차의 합성 결과
Fig. 5. Composite error from computation and truncation error.

그림 5에서는 파이프라인 구조의 배열형 CORDIC회로의 전체오차는 반복 횟수 오차와 절단 오차를 합한 값이 된다. 실제 CORDIC회로를 구현할 때 데이터를 표현하는 비트수에 의해 반복 횟수 오차 또한 영향을 받는다. 파이프라인 단의 증가에 따라 반복 횟수 오차는 2^{-x} 의 감소곡선을 그리지만 임의의 파이프라인 단에 이르러 수평한 곡선을 그리게 되는데, 이것은 각 파이프라인단에 존재하는 쉬프트 연산결과가 임의의 단에 도달하였을 때부터 0의 값을 출력하게 되기 때문이다. 이는 임의의 데이터 비트수에서 최적의 파이프라인 단의 개수를 의미하며 파이프라인 단의 결과 값은 변하지 않게 되고 더 이상의 파이프라인 단은 무의미하게 된다. 결론적으로 8비트인 경우는

7단, 16비트인 경우는 12단, 24비트인 경우 20단으로 최적의 파이프라인 단의 개수를 나타낼 수 있다.

IV. CORDIC에 의한 DDFS의 구조

본 논문에서 설계한 DDFS가 FPGA로 구현할 경우 내부의 구동클럭이 30MHz에서 동작할 수 있도록 각 게이트들의 Ramp Delay를 1.7ns 이내로 조절하였고, 로직 시뮬레이터를 사용하여 시뮬레이션 하여 FPGA칩으로 구현하였다.

그림 6은 롬 테이블 방식대신에 CORDIC을 사용한 경우이다. 외부에서 요구하는 주파수가 주파수 저장 레지스터에 입력되면, 그에 맞추어서 위상 값이 클럭 주파수를 근거로 계산되어 위상누산기에서 클럭에 따라 계속 위상값이 증가하게 된다. 위상비교기에서는 제어 비트를 두어 90° 이상이 값이 출력되면 그 값을 비교기로 비교가 되는 동시에 이는 카운터를 사용해서 $0, \pi/2, \pi 3/4, \pi 3/2, 2\pi$ 값들로 각각 출력된다. 이에 해당되는 값들이 CORDIC로 들어가면 각각의 위상에 해당되는 진폭값을 계산하여 출력하면 이에 DAC를 거쳐 출력필터를 거쳐서 사인파형을 출력하게 된다.

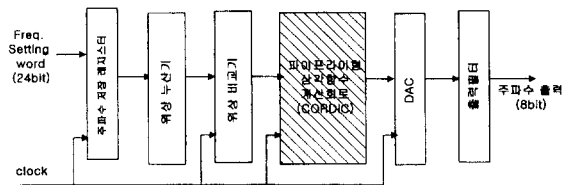


그림 6. 제안하는 CORDIC 이용한 DDFS의 구조
Fig. 6. Block diagram of a 24-bit DDFS employing pipelined CORDIC.

1. 위상누산기 및 위상비교기 구조 및 원리

그림 7에서와 같이 디지털 주파수 합성기에서의 전체적인 동작속도는 위상가산기의 가산속도에 의존한다. 본 구조에서는 위상 가산기로서 Carry Look Ahead(CLA)가산기를 사용하여, 지연 시간은 5.4ns로 전체 속도를 향상시킬수 있었다. 또한, $\pi/2$ 부분까지의 위상값만을 계산하는 시스템으로 시스템의 크기를 축소할수 있었다. 위상 누산

기는 주파수 해상도와 위상 증가값을 고려하여 대부분 12 ~ 32비트를 사용한다. 이 중 상위 8비트만을 삼각 함수 계산 회로의 입력 비트로 사용해도 최대 위상에러는 0.02°에 불과하며, 이 에러는 시스템에 적용하여도 거의 영향을 주지 않는 것으로 알려져 있다. 위상 제어기는 제어부로서 누산값이 90° 이전의 값은 계속해서 위상 레지스터에 저장되고 이 값이 90° 이상이 되면 그 값을 비교기로 비교가 되는 동시에 이는 카운터를 사용해서 0, $\pi/2$, $\pi 3/4$, $\pi 3/2$, 2π 값들로 각각 출력이 될 수 있도록 설계되었다.

사인 파형은 대칭이므로 0 ~ 2π 의 사인파형중에 단지, 위상이 $\pi/2$ 의 값까지만을 계산하게 설계한다. 위상이 90°보다 넘으면 뺄셈기를 거쳐서 90°이전의 값의 보수가 출력값이 되고 또한, 180°과 360°사이의 값은 이전의 값에 사인 비트를 추가함으로써 0 ~ 2π 까지의 데이터를 모두 표현하였다.

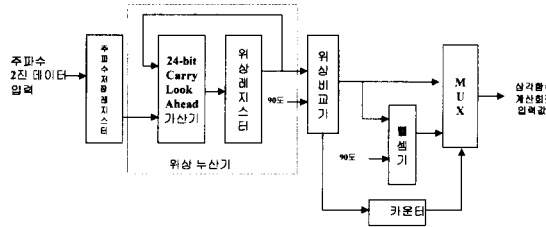


그림 7. 위상 누산기 및 위상 비교기 회로 블록도
Fig. 7. Design of a phase accumulator and phase comparator.

2. 파이프라인 구조의 CORDIC의 구조

그림 8의 회로도도 α_i 의 부호비트를 결정하는 제어부와 쉬프터, 가산기/감산기가 배열화 되어 사인값과 코사인값을 출력하는 연산부로 구성되어 있다. 제어부는 $(\theta - \theta_i)$ 누산기와 α_i 를 저장하는 룬, 가산기로 이루어진다. 이 α_i 의 부호는 $(\theta - \theta_i)$ 레지스터의 부호비트에 의해 결정되는데 α_i 의 값은 일반적으로 룬에 저장된다. 각 연산 블록은 쉬프터, 가산/감산기를 가지고 있으며 제어부에서 입력된 부호비트에 의해 사인값과 코사인값을 계산하게 된다. 이 CORDIC회로는 FPGA 구현시 시뮬레이션을 통하여 70MHz의 계산 속도를 확인할 수 있었다. 이 회로에 대한 칩의 속도를 결정할 때 임계경로를 분석해 보면, 회전연산부의 한 연산블

록에서 발생하는 임계경로에 의해 CORDIC회로의 임계경로가 결정된다. 먼저 회전연산블럭내의 CLA에서 발생하는 지연시간은 5.4ns의 지연시간을 갖는다. 따라서 회전 연산부에 존재하는 한 연산 블록의 지연시간은 5.4ns + 1.6ns = 7ns (이때, 5.4ns: CLA의 지연시간, 1.6ns: 버퍼의 지연시간)이 된다. 파이프라인구조를 갖는 본 논문의 CORDIC회로는 한 연산블럭의 임계경로가 바로 전체회로의 임계경로가 되기 때문에 전체 회로의 임계경로에서 발생하는 총 지연시간은 7ns가 된다. 위 결과로부터 CORDIC회로는 70MHz이하에서 정상적인 동작이 가능할 것이다. 이 회로를 Full-custom방식의 ASIC으로 구현할 경우 획기적인 속도개선이 가능할 것이다.

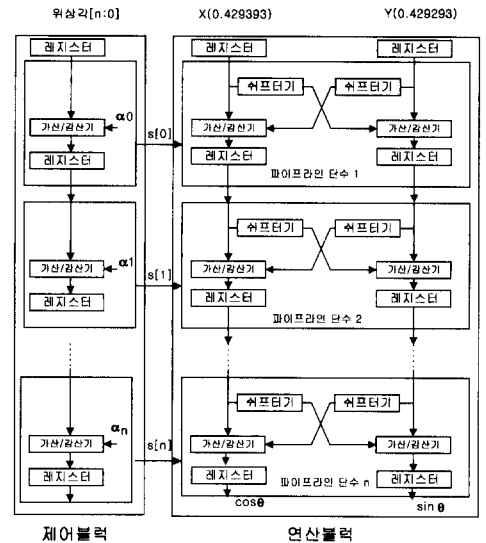


그림 8. 파이프라인 구조를 갖는 배열형 CORDIC회로
Fig. 8. Design of a pipelined CORDIC array.

V. 구현 및 측정결과 토의

설계한 DDFS의 레이아웃과 시뮬레이션은 Logic Simulator를 이용하였다. 여기서 추출된 EDIF화일을 갖고 FPGA로 다시 컴파일과 시뮬레이션을 실행할 수 있었다. 그림 9에 보여지듯이 이는 FPGA상에서의 시뮬레이션 파형이다. 여기서 사인파형의 한 주기를 볼수가 있는데, 이는 클럭에 따라 증가된 위상에 대한 진폭값을 보여지는데, 최상위비트는 DAC상에서의 부호비트이다.

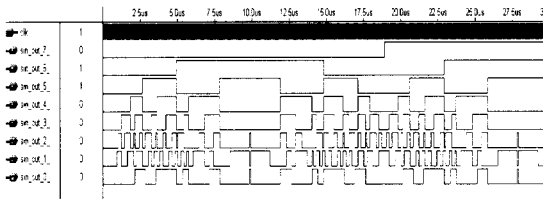
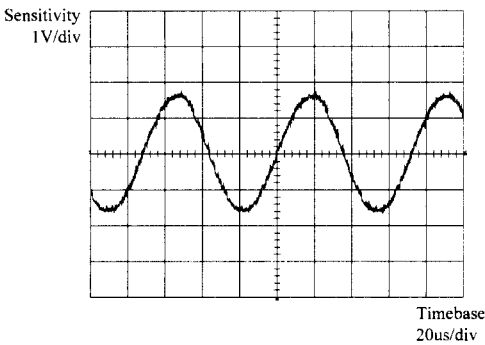


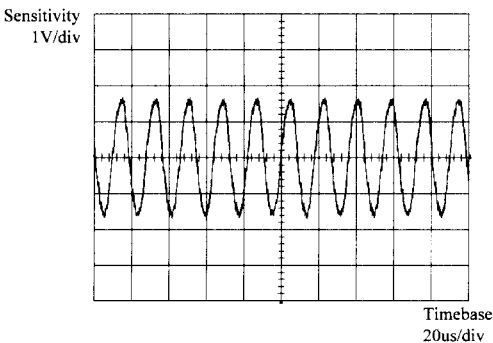
그림 9. 디지털 주파수 합성기의 전체 시뮬레이션 파형

Fig. 9. Simulation result of DDS.

이의 시뮬레이션을 갖고 FPGA(FLEX10K20RC 208-3)칩으로 구현하였다. 이 DDS의 Gate수는 약 12,000개이고 주파수 조정 입력 비트 24비트와 출력비트는 8비트로 출력의 상위 1비트는 DAC상에서의 부호비트로 출력시켰다. 최종 사인 출력 파형은 그림 10의 (a)는 52.6kHz에 해당되는 파형을 보이고, (b)는 210.4kHz에 해당되는 사인 출력 파형을 보인다.



(a) 52.6kHz인 파형



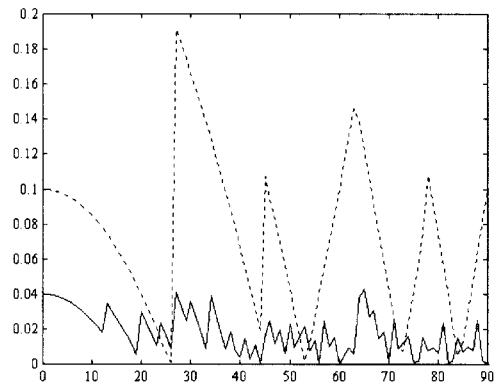
(b) 210.4kHz인 파형

그림 10. Oscilloscope에서 관측한 DDS의 출력파형
Fig. 10. Oscilloscope imaging DDS output.

주파수 조정 입력 비트 24비트 중 하위 16비트

만이 조정이 가능하도록 4비트 Hex-Decimal 스위치에 연결하였으며 출력단은 약 25MHz정도의 Cut-off 주파수를 갖는 LPF(Low Pass Filter)를 통과하여 최종 출력이 된다. 여기서, 출력 필터는 2차 Butter-worth 필터의 구조를 갖는 능동 필터이다. 또한, 클럭 입력은 23.5MHz출력의 OSC(오실로레이터)를 이용하여 클럭을 구동시켰다. 출력비트는 8비트로 출력의 상위 1비트는 DAC상에서의 부호비트로 출력시켰다. 전원은 OP앰프의 구동을 위해 +15V와 -15V를 사용하였으며 보드상에서 7805를 사용하여 FPGA로 5V를 공급하였다.

FPGA로 구현된 DDS칩을 테스트 보드에서 테스트를 하였고 측정장비는 DAC는 8비트 AD7224KN을 사용하였으며, 4GSPS Lecroy 9374 오실로스코프와 HP1163C 논리분석기를 사용하였다. 40ns Settling time을 갖는 DAC(AD7224KN)을 통과하여 발생하는 계단파형의 아날로그 출력을 나타내고 있으며, 주파수 조정 입력의 상위 비트를 선택할수록 샘플수가 적어지고, 주기도 짧아지는 것을 알 수 있다.



(점선인 경우: 롬을 이용한 경우, 실선인 경우 : CORDIC을 이용한 경우)

그림 11. 8비트 출력상에서 오차 결과값 비교
Fig. 11. Comparison of 8-bit output error results.

그림 11의 (a)에서는 같은 비트상에서 출력되는 삼각함수 계산회로에서 나오는 오차의 데이터 값이고, (b)에서는 롬을 사용한 경우의 오차의 데이터 값이다. 이 경우에 롬을 사용한 경우는 어드레스 비트에 제어단을 뒀으로써 2비트를 제어비트로 사용함으로써 롬(256×8)을 사용한 경우에는 0.2

에 근접한 오차를 갖지만, 삼각함수 계산회로를 사용한 경우에는 0.04가 근접한 오차가 되어 5배 이상의 높은 정밀도를 가질 수 있었다.

VI. 결 론

본 논문은 Spread Spectrum 통신 시스템 등에 사용되는 DDFS설계함에 있어서, 오차해석을 통하여 처리속도, 소비전력, 시스템의 크기를 개선하기 위한 구조적인 설계를 하였다. 시스템 크기를 최적화하기 위해 비트에 따른 최적화에 가까운 파이프라인 단수를 결정지을 수 있었다. 비트별로 단수를 알아보면 8비트인 경우 7단, 16비트인 경우 12단, 24비트인 경우는 20단의 파이프라인 단수가 최적화에 가까움을 알 수 있었다. 본 논문에서 제시한 직접 디지털 주파수 합성기는 $0.8\mu\text{m}$ CMOS 게이트 어레이 표준 공정 기술로 Simulation을 측정하였고, FPGA로 DDFS칩을 구현하였다. 전체적인 기준 클럭 속도는 23.5MHz 로 동작 된다. 그러나, ASIC으로 제작하였을 경우 이보다 높은 합성 속도가 나올 것으로 기대되며, 로직 시뮬레이터의 시뮬레이션 시 20ns 의 주기를 갖는 기준 클럭을 사용하였으므로 50MHz 이상의 동작 주파수를 가질 것으로 기대되며 또한, 고속의 가산기를 채용하여 Full-Custom 방식의 ASIC으로 만들 경우 획기적인 동작 주파수를 기대할 수 있다.

기존의 롬에 데이터의 값을 저장하여 사용한 직접 디지털 주파수 합성기의 방식은 롬의 용량(위상값의 비트수에 비례하여 Word의 개수가 증가)에 따라 정밀도가 결정되어, 고정밀도를 유지하려면 대용량의 롬을 집적하여야하며, 이에 대한 부가회로 또한 추가되게 되어 시스템의 크기가 커지는 단점을 가지고 있다.

CORDIC을 사용한 경우 파이프라인 단수와 가산기의 확장만으로 고정밀도를 실현할 수 있으며, 롬을 사용한 경우보다 5배정도의 더 높은 정밀도를 가지며, 파이프라인구조로 처리되므로, 시스템이 커져도 처리속도에 제한을 받지 않게 된다.

참 고 문 헌

- [1] A. Yamagishi et al., "A 2-V 2-GHz low-power direct digital frequency synthesizer chip set for wireless communication", *IEEE 1995 CICC*, pp. 319-322, 1995.
- [2] L. K. Tan and H. Samueli, "A 200MHz quadrature digital synthesizer/mixer in $0.8\mu\text{m}$ CMOS", *IEEE J. Solid-State Circuits*, vol. 30, pp. 193-200, Mar. 1995.
- [3] J. F. Garvey and D. Babitch, "An Exact Spectral Analysis of a number controlled oscillator based synthesizer", *IEEE 44th Symp. on Freq. Control*, pp. 511-521, 1990.
- [4] B. G. Goldberg, *Digital Techniques in Frequency Synthesis*, McGraw-Hill, New York, 1996.
- [5] J. E. Volder, "The CORDIC trigonometric computing technique", *IRE Trans. Electron. Comput.*, vol. EC-8, no. 3, pp. 335-339, Sept. 1959.
- [6] M. A. Liccardo, "An interconnect processor with emphasis on CORDIC mode operation," *Masters Thesis*, Univ. of Calif., Berkeley, Sept. 1968.
- [7] D. H. Daggett, "Decimal-binary conversion in CORDIC," *IRE Trans. Electron. Comput.*, vol. EC-8, no. 3, pp. 335-339, Sept. 1959.
- [8] *PDSP16330/A/B Pythagoras Processor HB3923-1*, Gecplessey Semicon. Cheney Manor, Swindon, Feb. 1995.
- [9] *TMC2340 Digital Synthesizer Tech. Data Sheet*, TRW LSI Products., Sept, 1984.
- [10] *Q2334 Dual Direct Digital Synthesizer Technical Data Sheet*, Qualcomn Inc., San Diego, CA. June. 1990.

저 자 소 개



南賢淑(正會員)

1974年7月3日生. 1997年 2月 충북대학교 정보통신공학과 졸업(공학사). 1999년 2월 충북대학교 정보통신공학과 (석사). 1998년 8월 ~ 1999년 1월 한국전자통신연구원, ASIC설계실, 위촉연구원. 1999년 3월 ~ 현재 충북대학교 정보통신 공학과 박사과정 재학 중. 주관심분야는 ASIC설계, 통신 시스템 구현

金大容(正會員) 第 34卷 D編 第 3號 參照



劉泳甲(正會員)

1948年 3月 22日生. 1975년 8월 서강대학교 전자공학과 졸업(공학사). 1981년 8월 미시간 대학교(미국) 전기전산공학과(공학석사). 1986년 4월 미시간 대학교(미국) 전기전산공학과(공학박사). 1986년 2월 ~ 88년 2월 금성반도체(주) 책임연구원. 1988년 3월 ~ 현재 충북대학교 전기 전자 공학부 교수. 주관심 분야는 Computer architecture, Memory testing, 고속 시스템 설계, HDTV, ATM등