

論文99-36D-4-12

δ 도핑과 SiGe을 이용한 p 채널 MESFET의 포화 전류 증가 (Enhancement of Saturation Current of a p-channel MESFET using SiGe and δ-doped Layers)

李燦豪*, 金東明**

(Chanho Lee and Dong Myoung Kim)

요약

SiGe을 이용한 p형 전계 효과 트랜지스터의 전류 구동 능력 향상을 위하여 이중 δ도핑층을 이용한 MESFET을 설계하고 시뮬레이션을 통하여 전기적 특성의 개선을 확인하였다. 두 δ도핑층 사이의 도핑 농도가 낮은 분리층에 SiGe층을 위치시키면 양자 우물이 형성되어 δ도핑층에서 넘쳐 나온 정공이 Si 채널의 경우보다 더 많아져 전류 구동 능력이 크게 향상된다. δ도핑층 사이의 SiGe층의 두께와 Ge 구성비의 변화에 따른 전기적 특성의 변화를 분석하였다. SiGe층의 두께는 0~300Å, Ge 구성비는 0~30%의 범위에서 변화시켜 SiGe 두께 200Å, Ge 구성비 30%일 때 이중 δ도핑 Si 채널 MESFET에 비해 최대 45% 이상 개선될 수 있음을 확인하였다.

Abstract

A SiGe p-channel MESFET using δ-doped layers is designed and the considerable enhancement of the current driving capability of the device is observed from the result of simulation. The channel consists of double δ-doped layers separated by a low-doped spacer which consists of Si and SiGe. A quantum well is formed in the valence band of the Si/SiGe heterojunction and much more holes are accumulated in the SiGe spacer than those in the Si spacer. The saturation current is enhanced by the contribution of the holes in the spacer. Among the design parameters that affect the performance of the device, the thickness of the SiGe layer and the Ge composition are studied. The thickness of 0~300Å and the Ge composition of 0~30% are investigated, and the saturation current is observed to be increased by 45% compared with a double δ-doped Si p-channel MESFET.

I. 서론

반도체에서 도핑(doping)은 전기적 특성을 조절하

고 p-n 접합을 가능하게 한다는 면에서 가장 중요한 요소의 하나이다. 반도체 공정 기술의 발전은 불순물의 공간 분포를 100Å 이내로 제한시키는 δ도핑을 가능하게 하였다.^[1] δ도핑을 이용한 트랜지스터의 경우에는 기존의 소자에 비해 높은 2차원 전자 밀도, 높은 transconductance, 높은 항복(breakdown) 전압, 그리고 단채널(short channel) 효과의 완화 등과 같은 장점을 가지고 있다.^[2-5] 또한 δ도핑은 Si 소자가 submicron이하의 영역으로 내려가면서 shallow junction을 가능하게 하여 저 에너지 이온주입(ion implantation)의 한계를 극복할 수 있는 대체 수단으

* 正會員, 崇實大學校 情報通信電子工學部
(School of Electronic Engineering, Soongsil Univ.)

** 正會員, 國民大學校 電子工學部
(Department of Electronics, Kook Min Univ.)

※ 본 연구는 서울대학교 반도체공동연구소 교육부 반도체 분야 학술연구조성비(과제번호 : ISRC 97-E-1311)에 의해 수행되었습니다

接受日字:1998年9月18日, 수정완료일:1999年3月25日

로서도 유용하다.

채널에 흐르는 전류는 채널에서의 carrier 농도에 비례하므로 채널에 δ 도핑을 하면 채널의 carrier 농도를 증가시킬 수 있다. 이때 불순물에 의한 이동도의 감소가 예상되지만 carrier 농도의 증가 속도가 훨씬 빠르므로 전체적으로는 전류가 증가한다. 따라서 δ 도핑을 이용하면 구동 전류 값을 증가시킬 수 있다. 한편 δ 도핑층이 형성된 구조에서는 이동도가 벌크에 비해 증가하는 효과를 관찰할 수 있다.^[6] 이것은 실제 이동도가 증가하는 것이 아니고 δ 도핑층에서 공급된 전자 또는 정공이 도핑 농도가 낮은 벌크 영역에서 이동하며 전류를 형성하기 때문이다. 따라서 δ 도핑층을 이중으로 형성시키고 그 사이에 도핑 농도가 낮은 분리층(spacer)을 넣어주면 δ 도핑층에서 나온 carrier가 분리층에 모여 쌓이게되고 그 양은 단일 δ 도핑층에 의한 것보다 훨씬 많다.^[7] 따라서 전류와 transconductance의 증가 효과가 더욱 크게 나타날 수 있고 전압 증폭률과 고주파 특성을 개선할 수 있다.^[8]

한편 Si/SiGe 이중 접합을 형성시키면 가전자대(valence band)에서 밴드 오프셋(offset)이 나타나므로 p 채널 소자의 경우 δ 도핑층 사이의 분리층에 스트레인인 가해진 SiGe 층을 형성시키면 밴드 오프셋에 의한 양자 우물을 형성된다. 이 SiGe 층은 Si 층보다 더 많은 정공을 분리층에 모아 드레인 전류를 증가시키는 효과를 가져온다. 전도대(conduction band)에서는 밴드 오프셋이 거의 나타나지 않으므로 이 효과는 p 채널 소자에 대해서만 가능하다. N 채널 소자와 p 채널 소자가 이동도의 차이로 인해 전류 구동 능력이 2~2.5배 차이가 있으므로 SiGe 층에 의한 p 채널 소자의 전류 구동 능력 향상은 그 차이를 줄여 상보성 회로(complementary circuits)에서 좀더 균형 있는 동작을 가능하게 할 수 있다. 본 논문에서는 SiGe과 δ 도핑을 이용한 이중 δ 도핑 SiGe 채널(Double δ -doped and SiGe channel: DDSGC) MESFET 구조를 처음으로 제안하고 이 소자의 전기적인 특성에 관하여 연구하였다. DDSGC-MESFET의 동작 특성은 SILVACO사의 'ATLAS'를 이용한 모의 실험을 통해 살펴보고 SiGe 층의 두께와 Ge 조성비(composition)가 구동 전류와 transconductance 등에 미치는 영향과 원인을 분석하고 최적화된 구조를 제안하였다.

II. 소자의 구조 및 모의 실험

본 연구에 이용된 소자의 구조는 그림 1에 나타난 바와 같이 n+ 기판과 2000Å 두께의 n형 버퍼 위에 p형 채널과 200Å의 p- 보호층으로 구성된다. 채널층은 60Å 두께의 이중 δ 도핑층과 그 사이의 300Å 두께의 분리층으로 구성되고 분리층의 일부 또는 전부가 Si_{1-x}Ge_x층을 이룬다. Si_{1-x}Ge_x층은 0Å에서 300Å까지 변화시켰고 Ge 조성비(x)는 0%에서 30%까지 변화시켰다. Ge 기판과 버퍼층의 농도는 $1.2 \times 10^{17} \text{cm}^{-3}$ 이고 분리층의 농도는 $2.1 \times 10^{17} \text{cm}^{-3}$ 이다.

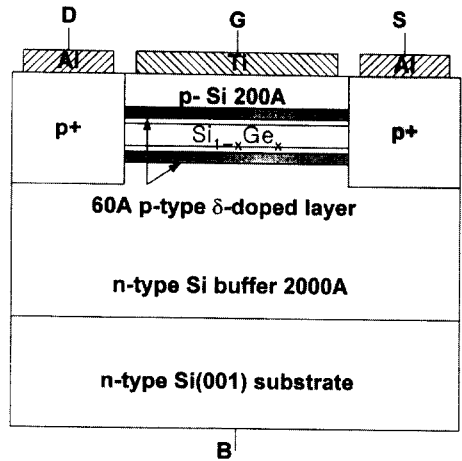


그림 1. 이중 δ 도핑과 SiGe 층을 이용한 p 채널 MESFET의 구조

Fig. 1. The structure of a p-channel MESFET using double δ -doping and SiGe layers.

SiGe층은 Si층 사이에 얇은 두께를 가지고 위치하므로 압축 스트레인(compressive strain)이 가해진다. 일반적으로 스트레인인 가해진 SiGe층을 안정적으로 형성시킬 수 있는 두께인 임계두께(critical thickness)는 Ge이 50%일 때 300Å 정도이므로 제안된 구조를 형성시키는 것은 문제가 없다. 다른 파라미터는 최적화된 이중 δ 도핑 Si 채널 MESFET의 것을 적용하였다.^[9] SiGe 층의 두께는 0~300Å으로 50Å 간격으로 변화시켰는데 0Å인 경우는 Si 채널이 되어 비교의 기준으로 삼았다. 또한 이 소자는 기본적으로 Si 이중 δ 도핑 채널 MESFET의 구조에 Si_{1-x}Ge_x층을 추가한 것이므로 높은 항복 전압과 구동 전류, 작은 기생

capacitance 등의 장점을 그대로 가지고 있다.^[9]

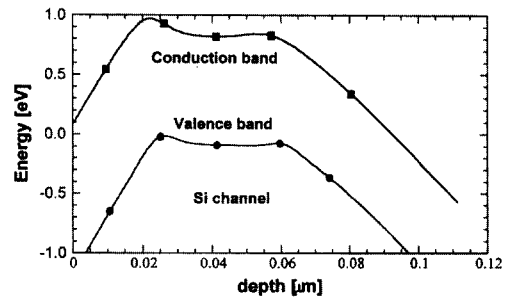
Enhancement-mode MESFET이 갖는 순방향 게이트 바이어스에서의 큰 게이트 누설 전류와 작은 입력 저항으로 인하여 입력 전압의 동작 범위에 제한이 있다. 따라서, 대부분의 MESFET은 MOSFET과는 달리 게이트 전압(V_{GS})이 0V일 때 가장 큰 전류를 흘릴 수 있는 depletion-mode가 주로 사용되며 게이트에 역방향 전압을 인가하여 드레인 전류를 제어한다. 따라서, 채널 차단 전압(MESFET의 pinch-off voltage)이 클수록 전류 구동 능력이 향상되므로 소자 특성의 공정한 비교를 위하여 채널 차단 전압이 동일하도록 선택하였다. 또한, 동작전압의 범위는 2.4V로 가정하여 드레인 전압(V_{DS})이 2.4V이고 게이트 전압이 1.9V일 때 드레인 전류(I_D)가 $0.1\mu A/\mu m$ 인 경우 소자가 cutoff 영역에서 동작하도록 정하였으며, 이때의 게이트 전압 $V_{GS}=1.9V$ 가 채널 차단 전압(V_p)이 된다. 이 전압이 정해지면 그에 따라 δ 도핑층의 농도가 결정되며, 이 경우 대체로 게이트 전압이 2.4V일 때 드레인 전류는 pn 접합에서의 역방향 누설전류에 해당하는 $0.1pA/\mu m$ 이하의 전류만 흐르게 된다. 게이트 전압이 $V_{GS}=2.4V$ 인 경우는 MOSFET에서의 게이트 전압이 $V_{GS}=0V$ 인 경우와 같고 $V_{GS}=1.9V$ 인 경우는 MOSFET의 문턱전압(threshold voltage: V_T)에 상응하는 양으로 볼 수 있다. 따라서, 본 논문에서는 드레인 전류가 $I_{D0}=0.1\mu A/\mu m$ 인 경우의 게이트 전압을 $V_{GS}(I_{D0})=V_T$ 라 하고 $I_D=0.1pA/\mu m$ 인 경우의 게이트 전압을 V_{off} 로 정의하였으며, V_T 가 같으면 pinch-off 전압 V_p 도 같아진다. 또한, MESFET과 MOSFET의 채널 폭(W)이 같아야 하므로 모든 소자에 대해 채널폭 $1\mu m$ 에 대한 물리량으로 정규화하여 비교하였다. 또한, 본 연구에서 사용한 모든 전압은 소스(source)단자에 대한 전압의 크기만을 나타낸 것이다. 채널의 길이(L_g)는 모든 경우에 대하여 $1.5\mu m$ 로 통일하여 분석에 사용하였다.

제안된 소자에 대한 모의 실험은 SILVACO사의 'ATLAS'를 이용하였고 SiGe층에서 정공의 이동도 모델은 'ATLAS'에 내장된 Si의 정공 모델을 이용하였다. 대부분의 소자 시뮬레이터에서 SiGe의 효과는 밴드갭의 변화만을 반영하고 이동도 모델은 따로 가지고 있지 않다. 이는 아직 SiGe에서의 검증된 이동도 모델이 없기 때문이다. 따라서 모의

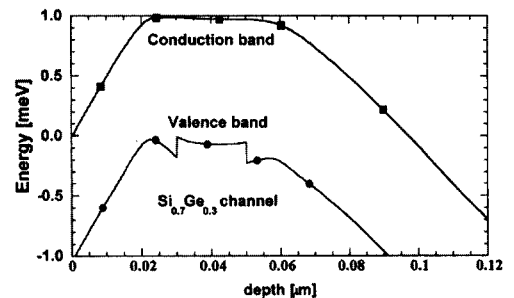
실험 결과는 SiGe 층의 이동도 차이만큼의 가변성을 포함하게 된다.

III. 소자의 특성 분석

P형 SiGe을 채널로 이용하는 경우 두 가지 효과를 기대할 수 있다. 그 하나는 SiGe/Si 이종 접합이 형성되면 그림 2에 나타난 것처럼 가전자대에서 밴드갭 차이에 의한 밴드 오프셋이 나타나 정공에 대한 양자 우물이 형성된다. Si 분리층이 δ 도핑층에서 넘쳐 나온 정공을 수용하면서 전위의 증가로 정공이 추가로 쌓이는 것을 어렵게 하는 반면에, SiGe층은 양자 우물을 형성하여 정공을 수용하므로 δ 도핑층에서 정공을 보다 많이 끌어 모을 수 있다.



(a)

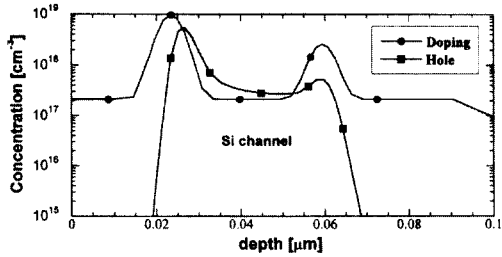


(b)

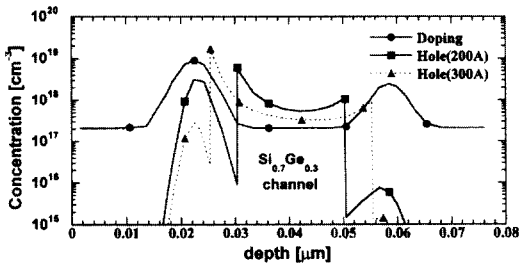
그림 2. Si 채널 소자와 SiGe 소자의 에너지 밴드
Fig. 2. Energy bands of the devices of Si and SiGe channel.

따라서 전류흐름이 상대적으로 δ 도핑층보다 분리층에서 더 많아지므로 같은 농도의 정공이 전류 흐름에 기여할 때 Si 소자보다 더 많은 전류를 흘릴 수 있다. 그림 3에 Si 채널 소자와 200\AA $Si_{0.7}Ge_{0.3}$ 채널 소자의 정공의 분포가 나타나 있다. SiGe 채널의 경우 형성된 양자 우물에 많은 정공이 모여 δ 도핑층에

버금가는 정공이 분포함을 알 수 있다. 따라서 Si 채널에 비해 분리층에서의 전류흐름에 대한 기여가 훨씬 커진다. 특히 도핑 농도가 낮은 분리층의 이동도는 δ 도핑층보다 크므로 Si 채널에 비해 더 큰 전류를 흘릴 수 있다.



(a)



(b)

그림 3. Si 채널 소자와 SiGe 소자의 도핑 프로파일과 정공의 분포. 사각형은 SiGe 층의 두께가 200 Å인 경우이고 삼각형은 SiGe 층의 두께가 300 Å인 경우이다

Fig. 3. The doping profile and hole distribution of the devices of Si and SiGe channel. The squares and triangles represents the hole distributions of a 200 Å SiGe layer and a 300 Å SiGe layer, respectively.

또 다른 효과는 SiGe 층에서의 이동도의 증가이다. 이완된(relaxed) SiGe층에서 정공의 이동도는 alloy 산란 등에 의해 감소한다는 것이 실험적으로 보고되어 있다.^[10] 그러나 스트레인이 가해진 SiGe 층에 대해서는 정공의 이동도가 증가한다는 사실이 이론적으로 계산되었고^[11,12], 실험적으로 그 가능성이 보고되었다.^[13,14] 그러나 현재까지는 충분한 실험 자료가 없어 검증된 이동도 모델이 존재하지 않아 대부분의 소자 시뮬레이터에서는 Si의 이동도 모델을 이용하고 있고 본 연구에서도 이를 따랐다. 따라서 본 연구의 결과에는 이동도 향상 효과가 포함되지 않았으므로 실제 소자에서는 좀더 나은 특성을 보이리라 기대된다.

SiGe 채널 구조를 최적화하기 위해 SiGe층의 Ge 구성비와 두께를 변화시켜 포화 전류의 변화를 관찰하였다. 그 결과가 그림 4에 나타나 있다. 먼저 포화 전류를 살펴보면 Ge 구성비가 증가할수록 전류가 증가하는 현상을 볼 수 있다. Ge 구성비의 증가는 밴드 오프셋을 증가시켜 양자 우물을 더욱 깊게 한다. 따라서 SiGe 양자 우물에는 양쪽의 δ 도핑층에서 더 많은 정공이 모이므로 포화 전류가 증가한다. 한편 SiGe층의 두께가 증가하면서 포화 전류가 증가하다가 200~220 Å일 때 최대가 된 후 다시 감소하는 현상을 볼 수 있다. SiGe 채널 두께의 증가는 양자 우물 내에 더 많은 정공을 수용할 수 있게 하므로 전류가 증가한다. 그러나 SiGe 양자 우물이 형성되어 정공이 모이면 SiGe층 부근의 Si 영역은 그림 3에 나타난 것처럼 공핍 상태가 된다. 따라서 SiGe 층이 계속 확장하여 Si 분리층의 두께와 비슷해지면 δ 도핑층이 공핍되기 시작하여 그림 3에서 보는 것처럼 δ 도핑층의 정공의 농도가 급격히 감소하여 δ 도핑층에 의한 전류 성분이 작아진다. 이는 결국 전체 전류의 감소를 가져온다.

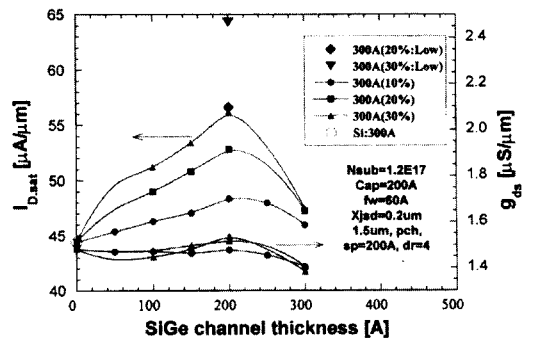


그림 4. SiGe 층의 두께와 Ge 구성비에 따른 포화 전류와 출력 전도도의 변화. 검은 마름모와 역삼각형은 분리층의 도핑 농도를 $5 \times 10^{16} \text{cm}^{-3}$ 로 낮춘 경우이다

Fig. 4. The dependence of saturation current and output conductance on the thickness and Ge composition of SiGe layers. The solid diamond(♦) and reversed triangle(▼) represent the saturation current with the reduced doping density of $5 \times 10^{16} \text{cm}^{-3}$ in the spacer.

포화 전류를 증가시키는 또 하나의 방법은 SiGe층에서의 도핑 농도를 낮추어 이동도를 증가시키는 것이다. Si 채널의 경우는 Si 분리층의 도핑 농도를 낮추면 정공의 농도도 함께 작아져 이동도 증가 효과를 볼

수 없지만 SiGe 채널에서는 양자 우물 형성에 의해 모인 정공의 농도가 SiGe 영역의 자체 도핑에 의한 정공 농도보다 훨씬 커서 SiGe 층의 도핑이 정공 농도에 큰 영향을 주지 못한다. 따라서 이동도 증가 효과가 전류의 증가로 나타나게 된다. 그림 3에서 SiGe 채널은 포화 전류를 Si 채널에 비해 25% 정도 증가시키는 것을 볼 수 있다. 한편 정공의 이동도는 도핑 농도가 낮을수록 증가하므로 분리층의 도핑농도를 더 낮춘다면 전류를 더욱 증가시킬 수 있다. 그림 4에서 검은 역삼각형($Si_{0.7}Ge_{0.3}$)과 마름모($Si_{0.8}Ge_{0.2}$)로 표시된 값이 분리층의 도핑 농도를 $5 \times 10^{16} cm^{-3}$ 로 감소시켰을 때의 포화 전류값이다. 이때 포화전류가 45% 까지 증가하는 것을 볼 수 있다. 도핑 농도를 더욱 감소시키면 이동도가 더 증가하므로 전류를 더 증가시킬 수 있겠지만 δ 도핑층의 농도가 $10^{19} cm^{-3}$ 이 넘는 상황에서 더 낮추기는 현실적으로 어렵다. Si 채널의 경우에는 분리층의 도핑농도를 낮추었을 때 전류의 증가효과가 없거나 오히려 감소하였다. 이것은 Si 채널 소자의 경우 분리층의 정공의 농도가 도핑농도에 의해 영향을 받아 이동도의 증가보다 정공자체의 농도 감소가 더 크기 때문이다. 그러나 SiGe 채널의 경우에는 정공의 농도가 분리층 도핑농도보다 훨씬 커서 도핑농도의 변화가 전체 정공의 농도에 영향을 거의 주지 않아 이동도 증가가 전류 증가로 나타난다.

채널 길이가 $1.5\mu m$ 인 이중 δ 도핑 Si n 채널 소자의 포화 전류가 $92\mu A/\mu m$ 이고 p 채널 소자의 포화 전류가 $45\mu A/\mu m$ 이므로 전류의 비는 2.05이다. 그러나 SiGe p 채널 소자를 이용하면 포화 전류가 $65\mu A/\mu m$ 로 증가하므로 n 채널 소자 전류에 대한 p 채널 소자의 전류비가 1.42가 되어 그 차이가 줄게 된다. 따라서 상보성 회로에서 균형있는 동작이 가능해 진다.

그림 4에 포화전류와 함께 나타난 출력 전도도(g_{ds})를 살펴보면 Si 채널에 비해 대부분 $\pm 3\%$ 정도의 범위에 있어 큰 변화는 없고 300A 두께일 때 10% 정도 감소하였다. 따라서 SiGe 채널은 출력 전도도에는 큰 영향을 미치지 않는다는 것을 알 수 있다.

그림 5에는 transconductance와 swing이 나타나 있다. Transconductance는 포화 전류와 비슷한 경향을 따르고 있고 Si 채널에 비해 20% 정도 증가했다. Swing은 SiGe 채널이 증가함에 따라 감소하다가 다시 증가한다. Swing이 최소가 되는 채널 두께는 Ge 구성비가 증가하면서 감소하여 30%일 때는 100Å에

서 Si 채널에 비해 6%정도 감소한 최소값을 갖는다. 어느 경우이나 SiGe 채널 소자에서는 Si 채널 소자보다 swing이 작음을 알 수 있다.

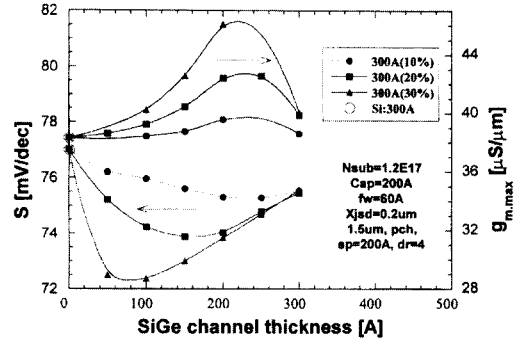


그림 5. SiGe 층의 두께와 Ge 구성비에 따른 transconductance와 swing의 변화
Fig. 5. The dependence of transconductance and swing on the thickness and Ge composition of SiGe layers.

한편 ac 특성인 cutoff 주파수(f_T)를 계산해보면 MESFET의 구조 특성상 동등한 구조의 MOSFET 보다는 큰 값을 갖지만 Si 채널의 $f_T(=3.9GHz)$ 에 비해서는 최대 6% 정도 감소하고 SiGe의 Ge 구성비가 증가할수록 그리고 SiGe 채널 두께가 증가할수록 감소하는 경향을 보인다. 이는 f_T 가 capacitance에 큰 영향을 받는 파라미터라는 것을 생각하면 설명이 가능하다. 즉 Ge 구성비가 증가할수록, SiGe 채널 두께가 증가할수록 더 많은 정공이 양자우물이 형성된 채널에 모이고 이 채널은 게이트에 가까워지므로 게이트와의 capacitance가 증가하여 f_T 도 증가하게 된다.

IV. 결론

δ 도핑과 p형 SiGe을 이용하여 포화 전류를 크게 개선시킨 MESFET 구조를 처음으로 제안하였다. 이중 δ 도핑 p 채널 MESFET의 분리층에 SiGe층을 형성시키면 Si/SiGe 이중 접합의 가전자대에 양자 우물이 형성되어 더 많은 δ 도핑층의 정공이 SiGe층에 모이게 된다. 분리층은 도핑 농도가 낮아 정공의 이동도가 커서 전류 증가 효과가 매우 크다. SiGe 층의 두께와 Ge 구성비를 조절하여 $1.2 \times 10^{17} cm^{-3}$ 의 도핑 농도에서 200Å 두께의 $Si_{0.7}Ge_{0.3}$ 층을 이용한 경우

25%의 전류 증가 효과가 있었고 분리층의 도핑 농도를 $5 \times 10^{16} \text{cm}^{-3}$ 로 감소시키면 45%의 전류 증가 효과를 나타내었다. δ 도핑과 SiGe를 이용한 p 채널 MESFET은 n 채널 소자와 함께 상보성 회로에 이용하면 보다 균형있는 동작을 하여 회로의 성능을 향상시킬 것이다.

참 고 문 헌

- [1] H.-J. Gossmann and E. F. Schubert, "Delta Doping in Silicon," Critical Reviews in Solid State and Material Sciences, vol. 18, No. 1, pp. 1-67, 1993.
- [2] E. F. Schubert, H. S. Luftman, R. F. Kopf, R. L. Headrick and J. M. Kuo, "Secondary-ion mass spectroscopy on δ -doped GaAs grown by molecular beam epitaxy," Appl. Phys. Lett., vol.57, pp.1799-1801, 1990.
- [3] R. G. Biswas, N. L. Matthey, P. J. Phillips, S. M. Newstead, T. E. Whall, S. Taylor and A. Gundlach, "Silicon boron delta doped FET: growth and fabrication," Electronic Letters, vol.28, No.7, pp.667-668, 1992.
- [4] A. C. G. Wood, A. G. O'Neil, P. J. Phillips, R. G. Biswas, T. E. Whall and E. H. C. Parker, "Transconductance and mobility of Si:B delta MOSFETs," IEEE Trans. Electron Devices, vol.40, No.1, pp.157-162, 1993.
- [5] S. L. Wu, T. K. Carns, S. J. Wang and K. L. Wang, "A boron delta doped Si MOSFET grown by MBE," Appl. Phys. Lett., vol.63, No.10, pp.1363-1365, 1993.
- [6] E. F. Schubert and K. Ploog, J. Crystal Growth, **81**, 304, 1987 [1] H.-J. Gossmann and E. F. Schubert, "Delta Doping in Silicon," Critical Reviews in Solid State and Material Sciences, vol. 18, No. 1, pp. 1-67, 1993.
- [7] 이찬호, "저온 변조 성장 기법을 이용하여 Sb가 δ 도핑된 다층 구조의 Si 분자선 박막 성장과 특성 분석," 전자공학회논문집, 제32권 A편 제12호, pp.142-148, 1995
- [8] S. J. Wang, S. L. Lu, H. D. Chung, T. K. Carns, X. Zheng, and K. L. Wang, "A p-channel coupled delta-doped silicon MESFET grown by molecular beam epitaxy," IEEE Electron Device Lett., vol. 15, No. 6, pp. 206-208, 1994.
- [9] 이찬호, 김동명, "이중 δ 도핑층을 이용한 Si 채널 MESFET의 성능 향상에 관한 연구," 전자공학회논문집, 제34권 D편 제12호, pp.68-75, 1997
- [10] A. Levitas, "Electrical properties of germanium silicon alloys," Phys. Rev., 111(1), pp.125-128, 1955.
- [11] S. K. Chun, and K. L. Wang, "Effective mass and mobility of holes in strained $\text{Si}_{1-x}\text{Ge}_x$ layers on (001) $\text{Si}_{1-y}\text{Ge}_y$ substrate," IEEE Trans. Electron. Dev., 39(9), pp.2153-2164, 1992
- [12] J. M. Hinkley and J. Singh, "Hole transport theory in pseudomorphic $\text{Si}_{1-x}\text{Ge}_x$ alloys grown on Si(001) substrates," Phys. Rev. B, 41(5), pp.2912-2926, 1990
- [13] J. M. McGregor, T. Manku, J. P. Noel, D. J. Roulston, D. C. Houghton, and A. Nathan, "Measured in-plane hole drift and Hall mobility in heavily-doped strained p-type $\text{Si}_{1-x}\text{Ge}_x$," J. Electron. Material., 22(3), pp.319-321 (1993)
- [14] V. Grivickas, V. Netiksis, D. Noreika, M. Petauskas, M. Willander, W. X. Ni, M. A. Hasan, G. V. Hansson, and J. E. Sundgren, "Ambipolar diffusion in strained $\text{Si}_{1-x}\text{Ge}_x(100)$ layers grown by MBE," J. Appl. Phys., 70(3), pp.1471-1474 (1991)

저 자 소 개

李 燦 豪(正會員) 第 32卷 A編 第 12號 參照

현재 숭실대학교 정보통신전자공학부
조교수

金 東 明(正會員) 第 34卷 A編 第 4號 參照

현재 국민대학교 전자공학부 부교수