

論文99-36D-4-11

공핍층 폭의 선형 변화를 가정한 단채널 MOSFET I-V 특성의 해석적 모형화

(Analytical Modeling for Short-Channel MOSFET I-V Characteristics Using a Linearly-Graded Depletion Edge Approximation)

沈載勳*, 任幸三**, 朴奉任*, 徐柱河*

(Jae-Hoon Shim, Haeng-Sam Im, Bong-Im Park, and Chung-Ha Suh)

요약

본 논문은 진성영역에서 공핍층 폭이 선형적으로 변화한다는 가정을 도입하고 전자이동도의 수평 및 수직 전계 의존성을 고려하여 단채널 MOSFET의 $I-V$ 특성에 대한 해석적 모형을 제시하였다. 이 모형으로부터 전 동작영역에 걸쳐 적용되는 문턱전압 방정식과 드레인전류 방정식을 도출하였다. 본 모형의 타당성을 검토하기 위하여 위 식들의 계산을 수행하였고, 그 결과 채널길이가 짧아짐에 따라 문턱전압이 지수함수적으로 감소하였으며, 아울러 채널길이변조, 채널이동도 열화 등을 본 모형에 의하여 일괄적으로 설명할 수 있었다.

Abstract

By assuming a linearly graded depletion edge approximation in the intrinsic MOS region and by taking into account the mobility variation dependent on both lateral and vertical fields, a physics-based analytical model for a short-channel (n-channel) MOSFET is suggested. Derived expressions for the threshold voltage and the drain current of typical MOSFET structures could be used in a unified manner for all operating range. The threshold voltage was calculated by changing following variables : channel length, drain-source voltage, source- substrate voltage, p-substrate doping level, and oxide thickness. It is shown that the threshold voltage decreases almost exponentially as the channel length decreases. In addition, the short-channel threshold voltage roll-off, the channel length modulation and the electron mobility degradation can be derived within a satisfactory accuracy.

I. 서 론

지난 수십 년 간 MOSFET는 스위칭 속도, 전류 구동 능력, 집적도를 높이기 위해 그 규모가 축소되어

* 正會員, 弘益大學校 電子工學科

(Hongik Univ., Dept. of Electronic Eng.)

** 正會員, LG半導體

(LG Semicon Co., Ltd)

接受日字: 1998年7月24日, 수정완료일: 1999年3月24日

왔다. 채널길이가 줄어듦에 따라 GCA(Gradual Channel Approximation)에 기반을 둔 장채널 MOSFET 모형은 물리적 근거와 정확도가 감퇴되어 이를 보완한 단채널 MOSFET 모형이 다수 제시되었다. PISCES, MEDICI와 같은 수치해석적 모형^[1,2]은 가장 정확한 소자특성을 나타낼 수 있으나 계산에 소모되는 시간이 크다. 게이트와 소오스/드레인 영역간의 기하학적 2차원 전하공유 개념을 기반으로 한 전하공유 모형^[3-6]은 계산 시간이 짧은 반면 애매한 전하공유 영역 설정

및 문턱전압의 roll-off가 과소 평가되는 경향을 보이고 있다. 이후 전하공유 모형을 보다 세련화하기 위해 준 2차원 전위모델^[7-11]이 발표되었으며, 특히 deep submicron MOSFET에 대해서 drift-diffusion 근사(DDA)보다 정확도가 를 것으로 기대되는 에너지 밸런스 방정식을 고려한 모델^[12, 13] 등이 제시된 바 있다. 반면 이들의 수식적 복잡성 때문에 DDA를 근간으로 하며 semi-empirical 접근을 고려한 모형^[14-16]들이 제시되고 있다. 그 중 최근의 BSIM, BSIM2, BSIM3v3와 같은 모형은 비교적 정확한 소자특성과 회로 모의실험에로의 용이함을 나타낸다. 반면 이들 모델은 물리적 근거가 취약하고 공정에 의존하는 여러 fitting 파라미터를 도입하는 단점이 갖고 있다.

본 논문에서는 전형적인 단채널 효과: 즉, i) 드레인 전압에 의한 문턱전압 roll-off, ii) 포화영역에서의 유한 출력저항(Early effect), iii) 드레인 포화전류의 채널길이에 대한 비의존성, iv) 포화 전달 컨덕턴스의 게이트전압에 대한 비의존성 등의 일관적인 설명이 가능한 단채널 MOSFET 모형화를 시도하였다. 이를 위해 GCA 대신에 진성영역 내에서 공핍층 가장자리가 채널위치에 따라 거의 직선적으로 변화한다고 가정하고, MOSFET 동작 전 영역에 적용 가능한 I-V 특성식을 도출하였다.

II. 모형화

A. I-V 특성의 모형화

모형화에 고려된 n-채널 MOSFET의 단면도는 그림1에 도시하였다.

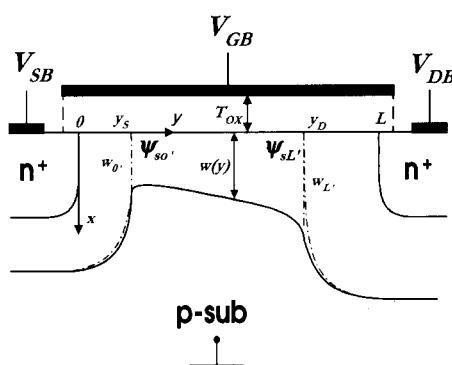


그림 1. 모형화를 위한 n-채널 MOSFET 단면도

Fig. 1. Cross-section of an n-channel MOSFET to be modeled.

여기서 x 는 실리콘 산화막 경계로부터 벌크쪽으로의 거리이고 y 는 소오스 끝으로부터 드레인 방향의 채널 표면쪽으로의 거리이며 N_A 와 N_D 는 각각 벌크와 소오스(드레인) 도핑농도이다. L , T_{ox} 는 각각 채널길이, 산화막 두께이고 V_{GB} , V_{SB} , V_{DB} 는 각각 벌크에 대한 게이트, 소오스 드레인전압이다. 정상상태 MOSFET 특성을 해석하기 위해서는 Poisson 방정식의 해인 전위분포 $\Psi(x, y)$ 가 필요하다.

공핍 근사와 팬전하 근사를 이용한 2차원 Poisson 방정식은 다음과 같다.

$$\frac{\partial^2 \Psi}{\partial x^2} + \frac{\partial^2 \Psi}{\partial y^2} = \frac{qN_A}{\epsilon_{si}}, \quad 0^+ \leq x \leq w(y) \quad (1)$$

경계조건은 아래 식과 같다.

$$\Psi(w(y), y) = 0 \quad (2)$$

$$\begin{aligned} \left. \frac{\partial \Psi}{\partial x} \right|_{x=w(v)} - \left. \frac{dw}{dy} \frac{\partial \Psi}{\partial y} \right|_{y=w(v)} \\ = \left\{ 1 + \left(\frac{dw}{dy} \right)^2 \right\} \left. \frac{\partial \Psi}{\partial x} \right|_{y=w(v)} = 0 \end{aligned} \quad (3)$$

$$\epsilon_{si} \left. \frac{\partial \Psi}{\partial x} \right|_{y=0} = -C_{ox} \{ V_{GB} - V_{fb} - \Psi_s(y) \} - Q_n(y) \quad (4)$$

여기서 q 는 전자의 전하크기, ϵ_{si} 는 실리콘의 유전율, C_{ox} 는 산화막 게이트의 단위면적당 정전용량, V_{fb} 는 flat-band 전압, $\Psi_s(y) = \Psi(0, y)$ 는 표면전위, $Q_n(y)$ 는 채널위치 y 에서 단위 편면적당 캐리어 전하량이며, $w(y)$ 는 채널위치에 따라 변동하는 수직방향의 공핍층폭이다. 2차원 전위분포 $\Psi(x, y)$ 를 구하기 위해 경계조건 (2), (3)을 만족하는 식(1)의 해를 다음과 같이 표현하기로 하자.

$$\Psi(x, y) = \frac{qN_A}{\epsilon_{si}} \sum_{n=1}^{\infty} \frac{1}{(n+1)!} f_n(y) \{x - w(y)\}^{n+1} \quad (5)$$

식(5)를 식(1)에 대입한 후, 진성영역($0^+ \leq x \leq w(y)$, $y_s \leq y \leq y_D$)의 임의의 점(x, y)에서 식(1)(o) 성립하는 조건을 구하면, $f_n(y)$ 은 각각 다음과 같이 도출된다,

$$f_1(y) = \left\{ 1 + \left(\frac{dw}{dy} \right)^2 \right\}^{-1} \quad (6)$$

$$f_2(y) = \left\{ 1 + \left(\frac{dw}{dy} \right)^2 \right\}^{-3} \left\{ 1 - 3 \left(\frac{dw}{dy} \right)^2 \right\} \frac{d^2 w}{dy^2} \quad (7)$$

$$f_n(y) \left\{ 1 + \left(\frac{dw}{dy} \right)^2 \right\} - 2 \frac{df_{n-1}}{dy} \frac{dw}{dy}$$

$$-f_{n-1}(y) \frac{d^2w}{dy^2} + \frac{d^2f_{n-2}}{dy^2} = 0, \quad n \geq 3 \quad (8)$$

p-n 접합 동작에 의한 수평적인 효과에 비해 게이트 전압에 의한 수직 전계가 훨씬 우세한 진성영역에서는 $d^2w/dy^2 \approx 0$ 으로 놓을 수 있는 선형 공핍층 근사(linearly-graded depletion edge approximation)로 단순화하기로 하자. 이 가정으로부터 $n \geq 2$ 의 $f_n(y)$ 가 거의 0에 가깝고 $f_1(y)$ 는 채널 위치에 무관한 단채널 파라미터 ζ 로 표현될 수 있을 것이다.

$$f_1(y) \approx \left\{ 1 + \left(\frac{w_L - w_o}{L'} \right)^2 \right\}^{-1} = \zeta \quad (9)$$

여기서 $w_o = w(y_s)$ 은 진성 소오스 끝에서의 공핍층 폭, $w_L = w(y_D)$ 은 진성 드레인 끝에서의 공핍층 폭, $L' = y_D - y_s$ 은 진성 채널길이이다. 또 식(5)와 (9)로부터 w_o, w_L 은 각각 다음과 같이 각각 진성 소오스 끝과 진성 드레인 끝의 표면전위의 함수로 얻어진다.

$$w_o \approx \sqrt{\frac{2\epsilon_{si}}{qN_A \zeta} \Psi_{so}}, \quad w_L \approx \sqrt{\frac{2\epsilon_{si}}{qN_A \zeta} \Psi_{sl}} \quad (10)$$

여기서 $\Psi_{so} = \Psi_s(y_s)$ 이고 $\Psi_{sl} = \Psi_s(y_D)$ 이다. 식(10)을 식(9)에 대입하면 ζ 는 아래와 같이 얻어진다.

$$\zeta \approx 1 - \frac{1}{L'^2} \frac{2\epsilon_{si}}{qN_A} (\sqrt{\Psi_{sl}} - \sqrt{\Psi_{so}})^2 \quad (11)$$

현대의 단채널 MOSFET 소자는 소오스(드레인)-기판간 p-n 접합이 깊은 사각형 모양이므로 $x=0$ 에서의 p-n 접합에 의한 측면 공핍층 폭은

$$y_s \approx \sqrt{2\epsilon_{si}(qN_A')^{-1}(V_{SB} + V_{bi})} \text{ 와}$$

$L - y_D \approx \sqrt{2\epsilon_{si}(qN_A')^{-1}(V_{DB} + V_{bi})}$ 로 구해질 수 있다. 여기서 $N_A' \equiv N_A(1 + N_A/N_D)$ 이며 V_{bi} 는 p-n 접합의 내부 전압이다.

$f_1(y) \approx \zeta, f_n(y) \approx 0 (n \geq 2)$ 를 대입하면 진성 영역에서의 표면 수직전계 $E_s(y)$ 는 다음과 같이 표현할 수 있다.

$$E_s(y) \equiv -\frac{\partial \Psi(x, y)}{\partial x} \Big|_{x=n}, \\ \approx \frac{qN_A}{\epsilon_{si}} \zeta w(y) \approx \sqrt{\frac{2qN_A}{\epsilon_{si}}} \zeta \Psi_s(y) \quad (12)$$

식(12)를 식(4)에 대입하면 판전하밀도 $Q_n(y)$ 는 다음과 같이 구해진다.

$$Q_n(y) \approx -C_{ox} \{ V_{GB} - V_{fb} - \Psi_s(y) - \gamma \sqrt{\zeta \Psi_s(y)} \} \quad (13)$$

여기서 $\gamma = \sqrt{2\epsilon_{si}qN_A}/C_{ox}$ 이다. 식(13)을 보다 단순화하기 위하여 Tsividis^[17] 등이 택한 $\sqrt{\Psi_s(y)}$ 를 $\Psi_s(y)$ 의 1차 험수로 근사한 방법을 이용하여 다음과 같이 표시하자.

$$\gamma \sqrt{\zeta \Psi_s(y)} \approx \gamma \sqrt{\zeta \Psi_{so}} + \delta \Psi_s'(y) \quad (14)$$

여기서 δ 는 curve fitting을 위한 파라미터로서 여러 방법 [17,18]이 가능하나 본 논문에서는 다음식을 이용하자.

$$\delta \equiv \frac{\gamma \sqrt{\zeta}}{2\sqrt{\Psi_{so}}} \quad (15)$$

따라서 식(13)은 아래 식으로 근사화된다.

$$Q_n(y) \approx -C_{ox} \{ V_{GS} - V_T - (1 + \delta) \Psi_s'(y) \} \quad (16)$$

여기서 $\Psi_s'(y) = \Psi_s(y) - \Psi_{so}$ 이고 V_T 는 게이트전압에 의존하는 문턱전압이다.

$$V_T = -V_{SB} + V_{fb} + \Psi_{so} + \gamma \sqrt{\zeta \Psi_{so}} \quad (17)$$

채널위치 y 에서의 드레인전류 $I_D(y)$ 는 drift 성분과 diffusion 성분을 포함하여 다음과으로 묘사된다.

$$I_D(y) \approx Z C_{ox} \mu_n(y) \{ V_{GS} - V_T - (1 + \delta) \Psi_s'(y) \} \frac{d\Psi_s}{dy} \quad (18)$$

여기서 Z 는 z 방향의 게이트폭, $V_T' \equiv V_T - (1 + \delta) \beta^{-1}$ 이고 β 는 열전압(thermal voltage)의 역수이다. $\mu_n(y)$ 는 y 에서의 전계의존 이동도로써 많은 $\mu_n(y)$ 관계식이 제시되었다^[19-21]. 본 논문에서는 혼히 이용되고 있는 아래 식을 도입하였다.

$$\mu_n(y) \approx \frac{\mu_s}{\left[1 + \left(\frac{\mu_s}{v_{sat}} E_i(y) \right)^\alpha \right]^{1/\alpha}} \quad (19)$$

여기서 μ_s 는 표면에서의 저전계 이동도, v_{sat} 는 전자의 포화속도, $\alpha \approx 1$ 또는 2이며, $E_i(y) = d\Psi_s/dy$ 이다. 게이트 수직전계에 기인한 μ_s 의 열화는 다음과으로 쓸 수 있다^[17].

$$\mu_s \approx \frac{\mu_o}{1 + \alpha_\theta E_{eff}} \quad (20)$$

여기서 μ_0 는 벌크도핑농도 N_A 에 의존하는 저전류 이동도이고 a_θ 는 이동도 열화인자이다. E_{eff} 는 다음으로 주어지는 평균 수직전계이다.

$$E_{eff} = \frac{1}{2} \left\{ E_s(y_S) + \frac{\varepsilon_{ox}}{\varepsilon_{si}} E_s^{ox}(y_S) \right\} \approx \frac{\theta}{a_\theta} (V_{GS} - V_T'') \quad (21)$$

단, $E_s^{ox}(y) = -\partial\Psi/\partial x|_{x=0^-}$, $V_T'' = V_T - 2\gamma\sqrt{\xi\Psi_{so}}$, $\theta = a_\theta C_{ox} (2\varepsilon_{si})^{-1}$ 이다.

모형화를 좀더 간단히 전개하기 위해 $a_\theta \approx 1$ 로 가정하고 이를 식(18)에 대입한 후, $I_D(y) = I_D$ 의 전류 연속조건을 고려하면 아래의 식이 얻어진다.

$$\frac{d\Psi_s}{dy} = \frac{I_D}{Z\mu_s C_{ox}} \frac{1}{V_{GS} - V_T' - (1+\delta)\Psi_s'(y) - gI_D} \quad (22)$$

여기서 $g = (ZC_{ox}v_{sat})^{-1}$ 이다. 식(22)를 y 에 대하여 적분하면 다음을 얻는다.

$$\begin{aligned} \Psi_s'(y) &= \frac{V_{GS} - V_T' - gI_D}{1+\delta} \\ &- \sqrt{\left(\frac{V_{GS} - V_T' - gI_D}{1+\delta}\right)^2 - \frac{2I_D}{ZC_{ox}\mu_s} \frac{y-y_S}{1+\delta}} \end{aligned} \quad (23)$$

식(23)에 $y = y_D$ 를 대입하면 아래의 관계식을 얻게 된다.

$$I_D = \frac{Z\widehat{\mu_n} C_{ox}}{L'} \left\{ (V_{GS} - V_T') V_{DS}' - \frac{1+\delta}{2} V_{DS}'^2 \right\} \quad (24)$$

여기서 $V_{DS}' = \Psi_{SL'} - \Psi_{so}$ 이고 $\widehat{\mu_n}$ 는 아래식으로 얻어지는 유효이동도이다.

$$\begin{aligned} \widehat{\mu_n} &= \frac{\mu_s}{1 + \frac{\mu_s}{L'v_{sat}} V_{DS}'} \\ &= \frac{\mu_o}{1 + \theta(V_{GS} - V_T'') + \frac{\mu_o}{L'v_{sat}} V_{DS}'} \end{aligned} \quad (25)$$

한편 $\mu_n(y_D)E_i(y_D) \leq v_{sat}$ 의 조건에 의해 $\Psi_{SL'}$ 은 $\Psi_{SL',sat}$ 로 포화될 것이다. 식(22)로부터 $V_{DS',sat} = \Psi_{SL',sat} - \Psi_{so}$ 는 다음과 같이 표현된다.

$$V_{DS',sat} = \frac{V_{GS} - V_T' - gI_{D,sat}}{1+\delta} \quad (26)$$

여기서 드레인 포화전류 $I_{D,sat}$ 는 V_{DS}' 를 $V_{DS',sat}$

로 대치하여 구한 것으로 식(24), (25)와 (26)을 조합하여 정리하면 다음과 같다.

$$V_{DS',sat} \approx V_L \sqrt{1 + \frac{2(V_{GS} - V_T)}{(1+\delta)V_L}} - V_L \quad (27)$$

$$I_{D,sat} \approx \frac{Z\mu_s C_{ox}(1+\delta)}{2L'} V_{DS',sat}^2 \quad (28)$$

단, $V_L = L'v_{sat}/\mu_s$ 이다. 만일 $(1+\delta)V_L \gg V_{GS} - V_T'$ 조건을 만족하면 식(27)과 식(28)은 각각 아래와 같이 간소화될 수 있다.

$$V_{DS',sat} \approx \frac{V_{GS} - V_T'}{1+\delta} \quad (29)$$

$$I_{D,sat} \approx \frac{Z\mu_s C_{ox}}{2L'(1+\delta)} (V_{GS} - V_T')^2 \quad (30)$$

한편 $(1+\delta)V_L \ll V_{GS} - V_T'$ 조건을 만족할 때는 다음과으로 간소화된다.

$$V_{DS',sat} \approx \sqrt{\frac{2V_L(V_{GS} - V_T')}{1+\delta}} \quad (31)$$

$$I_{D,sat} \approx Zv_{sat}C_{ox}(V_{GS} - V_T') \quad (32)$$

B. Ψ_{so} , $\Psi_{SL'}$, 문턱전압, 부문턱전류 유도
 Ψ_{so} 과 $\Psi_{SL'}$ 를 구하기 위해 다음의 비-판전하
(non-charge sheet) Poisson 방정식의 해를 구하자.

$$\begin{aligned} \frac{d^2\Psi(x, y_C)}{dx^2} &= -\frac{d^2\Psi}{dy^2} \Big|_{y_C} + \frac{q}{\varepsilon_{si}} \{N_A + n(w_C, y_C)e^{\beta\Psi(x, y_C)}\} \\ &= \frac{q}{\varepsilon_{si}} \{\zeta N_A + n(w_C, y_C)e^{\beta\Psi(x, y_C)}\} \end{aligned} \quad (33)$$

여기서 y_C 는 y_S 또는 y_D 를 의미하며 $n(w_C, y_C)$ 는 점 (w_C, y_C) 에서의 전자밀도이다. 의사-Fermi 준위차 근사^[22]를 이용하면, $n(w_C, y_C)$ 는 아래와 같이 표현된다.

$$n(w_C, y_C) = n_{po}e^{-\beta V_C} = n_i e^{-\beta(\phi_p + V_C)} \quad (34)$$

여기서 n_{po} 는 벌크에서의 열평형 전자밀도이고, n_i 는 진성 캐리어 밀도이다. $y_C = y_S$ 에서 $V_C = V_{SB}$ 이고 $y_C = y_D$ 에서 $V_C = V_{DB}$ 이며 $\phi_{fp} = \beta^{-1} \ln(N_A/n_i)$ 는 벌크 페르미전위이다. 식(33)의 경계조건은 다음과 같다.

$$\Psi(w_C, y_C) = 0 \quad (35)$$

$$\frac{d\Psi(x, y_C)}{dx} \Big|_{w_C} = 0 \quad (36)$$

$$\varepsilon_{si} \frac{d\Psi(x, y_C)}{dx} \Big|_{w_C} = -C_{ox} \{ V_{GB} - V_{fb} - \Psi_s(y_C) \} \quad (37)$$

따라서 아래의 관계식이 얻어진다.

$$V_{GB} - V_{fb} - \Psi_{so'} = \gamma \sqrt{\zeta \Psi_{so'} + \frac{1}{\beta} e^{-\beta(2\phi_{fp} + V_{SB})}} (e^{\beta \Psi_{so'}} - 1) \quad (38)$$

$$V_{GB} - V_{fb} - \Psi_{sl'} = \gamma \sqrt{\zeta \Psi_{sl'} + \frac{1}{\beta} e^{-\beta(2\phi_{fp} + V_{DS})}} (e^{\beta \Psi_{sl'}} - 1) \quad (39)$$

식(11), (38), (39)를 조합하면 $\Psi_{so'}$ 과 $\Psi_{sl'}$ 은 V_{GB} , V_{SB} , V_{DS} 의 복잡한 함수로 얻어질 수 있다. 그러나 V_{GB} 가 클 때는 진성 소오스 끝과 진성 드레인 끝은 모두 강반전 상태가 되고 $\Psi_{so'}$ 과 $\Psi_{sl'}$ 은 각각 다음과 같은 특정 값으로 거의 머무르게 된다.

$$\Psi_{so'} \approx 2\phi_{fp} + V_{SB} \quad (40)$$

$$\Psi_{sl'} \approx 2\phi_{fp} + V_{DS} = \Psi_{so'} + V_{DS} \quad (41)$$

크지도 작지도 않은 적당한 V_{GB} 의 경우에는 진성 소오스 끝은 여전히 강반전 상태에 있지만 진성 드레인 끝은 약반전 상태에 있게 되고 $\Psi_{sl'} < \Psi_{sl', sat}$ 를 만족한다. 그러므로 식(41)은 $V_{DS} \geq V_{DS', sat}$ 일 때 적용될 수 없다. 식(40)을 식(17)에 대입하여 게이트전압에 무관한 의삽된 문턱전압 V_T^* 를 다음과 같이 표현할 수 있다.

$$V_T^* \approx V_{fb} + 2\phi_{fp} + \gamma \sqrt{\zeta^* (2\phi_{fp} + V_{SB})} \quad (42)$$

여기서 ζ^* 은 V_{GS} 가 클 때의 ζ 값이다. 채널길이가 긴 소자의 경우 식(11)은 V_{DS} 가 커도 $\zeta \approx 1$ 이 됨을 보여준다. 따라서 V_T^* 와 $I_{D, sat}$ 는 V_{DS} 에 의존하지 않는다. 그러나 채널길이가 짧아지면 ζ 는 V_{DS} 에 의존하게 되어 V_T^* , $V_{DS', sat}$, $I_{D, sat}$ 도 각각 식(42), (27), (28)에 의해 V_{DS} 에 의존함을 알 수 있다. $V_{DS} \geq V_{DS', sat}$ 일 때 L' 과 V_T^* 가 V_{DS} 에 의해 감소함에 따라 드레인 포화전류 $I_{D, sat}$ 는 더욱 증가한다. 채널길이가 매우 짧은 경우 $g_{d, sat}$ 과 $g_{m, sat}$ 은 다음과으로 표현된다.

$$g_{d, sat} \approx -Z C_{ox} v_{sat} \frac{\partial V_T^*}{\partial V_{DS}} \\ \approx -\frac{1}{2} Z C_{ox} v_{sat} \frac{\gamma \sqrt{2\phi_{fp} + V_{SB}}}{\sqrt{\zeta^*}} \frac{\partial \zeta^*}{\partial V_{DS}} \quad (43)$$

$$g_{m, sat} \approx Z C_{ox} v_{sat} \quad (44)$$

V_{GS} 가 작을 경우에는 진성 소오스 끝과 진성 드레인 끝, 모두 약반전 영역에 있다. 그러므로 V_{DS} 가 큰 값에서도 $\Psi_{sl'} \approx \Psi_{so'}$ 이 된다. 좀더 정확한 V_{DS}' 식을 유도하기 위하여 식(38)과 (39)를 다음과 같이 근사화하자.

$$V_{GB} - V_{fb} - \Psi_{so'} \\ \approx \gamma \sqrt{\zeta \Psi_{so'}} + \frac{\gamma}{2\beta \sqrt{\zeta \Psi_{so'}}} e^{-\beta(2\phi_{fp} + V_{SB} - \Psi_{so'})} \quad (45)$$

$$V_{GB} - V_{fb} - \Psi_{sl'} \\ \approx \gamma \sqrt{\zeta \Psi_{sl'}} + \frac{\gamma}{2\beta \sqrt{\zeta \Psi_{sl'}}} e^{-\beta(2\phi_{fp} + V_{DS} - \Psi_{sl'})} \quad (46)$$

식(45)에 (46)을 빼면 아래의 식이 얻어진다.

$$V_{DS'} \approx \frac{1}{1+\delta} \frac{\gamma}{2\beta \sqrt{\zeta \Psi_{so'}}} e^{-\beta(2\phi_{fp} + V_{SB} - \Psi_{so'})} (1 - e^{-\beta V_{DS}}) \quad (47)$$

식(45)는 식(17)을 이용하여 다음 식으로 표현할 수 있다.

$$V_{GS} - V_T' \approx \frac{1+\delta}{\beta} \quad (48)$$

따라서 부문턱전류 $I_{D, weak}$ 는 아래와 같이 표현된다.

$$I_{D, weak} \approx \frac{Z \mu_s C_{ox}}{L'} \frac{1+\delta}{\beta} V_{DS} \quad (49)$$

$$\approx \frac{Z \mu_s C_{ox} \gamma}{2 L' \beta^2 \sqrt{\zeta \Psi_{so'}}} e^{-\beta(2\phi_{fp} + V_{SB} - \Psi_{so'})} (1 - e^{-\beta V_{DS}})$$

$I_{D, weak}$ 를 V_{GS} 의 함수로 표현하기 위해 식(49)를 다음과 같이 쓰자.

$$I_{D, weak} \approx I_X 10^{(V_{GS} - V_X)/S} \quad (50)$$

여기서 I_X 와 V_X 는 대표적 부문턱 동작 범위의 $\Psi_{so'}$ 값에 대한 $I_{D, weak}$ 와 V_{GS} 값이다. 장채널의 경우 부문턱 범위에서의 대표적 $\Psi_{so'}$ 값은 $\Psi_{so'} = V_{SB} + 1.5 \phi_{fp}$ 로 두고 있다. 부문턱 게이트 스윙 S 는 (45)

를 V_{GS} 에 대해 미분하면 다음과 같이 도출된다.

$$S = \frac{\ln 10}{\beta} \left\{ \frac{\partial \Psi_{so}}{\partial V_{GS}} \Big|_{V_s} \right\}^{-1}$$

$$\approx \frac{\ln 10}{\beta} \left(1 + \frac{\sqrt{\zeta}}{2\sqrt{\Psi_{so}}} \right) \left(1 - \frac{\sqrt{\Psi_{so}}}{2\sqrt{\zeta}} \frac{\partial \zeta}{\partial V_{GS}} \right)^{-1} \quad (51)$$

III. 계산 예와 검토

위에서 유도한 ζ , V_T^* , 및 I_D 의 계산결과를 그림 2-7에 나타내었다.

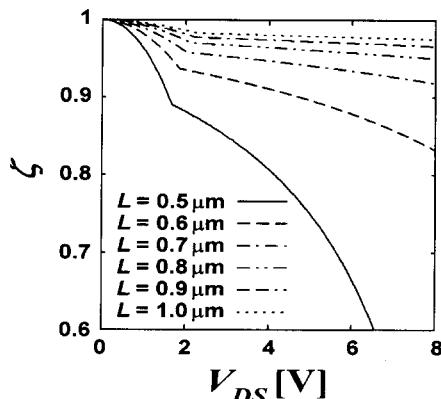


그림 2. 여러 채널길이에 대해 드레인전압에 따른 ζ 곡선($V_{GS}=5V$, $V_{BS}=0V$)

Fig. 2. ζ versus drain voltage for various channel lengths($V_{GS}=5V$, $V_{BS}=0V$).

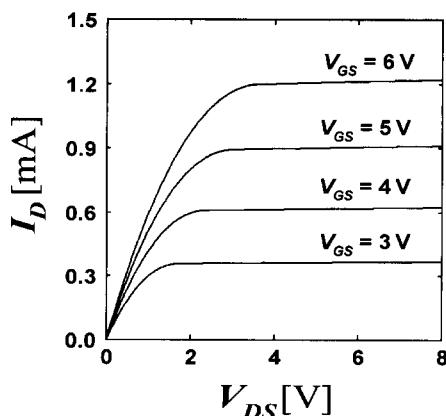


그림 3. 채널 길이가 $5\mu m$ 일 때, 여러 게이트전압에 대해 드레인전압의 변화에 따른 드레인전류 곡선

Fig. 3. In case $L=5\mu m$, drain current versus drain voltage for various gate voltages.

계산을 위해 $Z=10[\mu m]$, $T=300[K]$, $n_i=1.45\times 10^{10}[cm^{-3}]$, $\mu_0=800[cm^2V^{-1}sec^{-1}]$, $v_{sat}=1.2\times 10^7[cm sec^{-1}]$, $\alpha_\theta=0.025[\mu m V^{-1}]$, 그리고 n^+ -풀리케이트와 벌크간의 일함수치는 $\phi_{ms}=-0.555-\beta^{-1}\ln(N_A/n_i)[V]$ 로 놓았다. 그림4와 5는 유효이동도와 유효채널길이의 변화를 모두 고려하고 전 동작영역에 걸쳐서 계산하여 각각 채널길이가 길 때와 짧을 때의 전류-전압 특성을 보여준다.

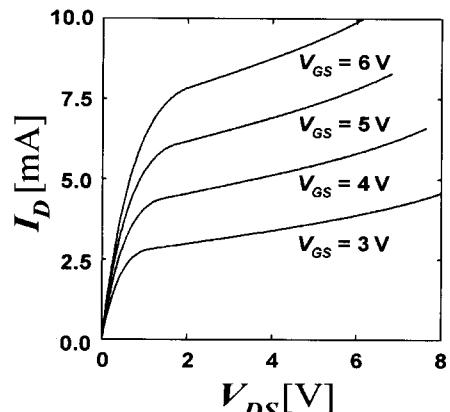


그림 4. 채널길이가 $0.5\mu m$ 일 때, 여러 게이트 전압에 따른 드레인전류 곡선

Fig. 4. In case $L=0.5\mu m$, drain current versus drain voltage for various gate voltages.

그림5는 단채널 소자에서 드레인 포화전류가 $V_{DS}-V_{DS,sat}$ 에 거의 선형적으로 변화함을 보여준다. 채널길이(L), 드레인전압(V_{DS}), 벌크전압(V_{BS}), 벌크도핑농도(N_A)에 대한 V_T^* 의 의존도는 그림5-7에 보였다. 본 모델의 타당성을 검토하기 위하여 본 모델과 BSIM3v3로부터 도출된 단채널 MOSFET의 I-V 특성을 그림8에 비교·도시하였다. 단, BSIM3v3는 N_{ch} 와 N_{sat} 의 2중 기판도핑농도를 사용하고 있으므로, 본 모델의 N_A 값을 BSIM3v3의 N_{ch} 의 값으로 대응되도록 하여 계산하였다.

IV. 결 론

계산 예와 검토에서 보인 바와 같이 제시된 모형은 문턱전압, 드레인 포화전압, 드레인 포화전류에 대해 비교적 단채널 효과를 적절히 표현한 것으로 보인다.

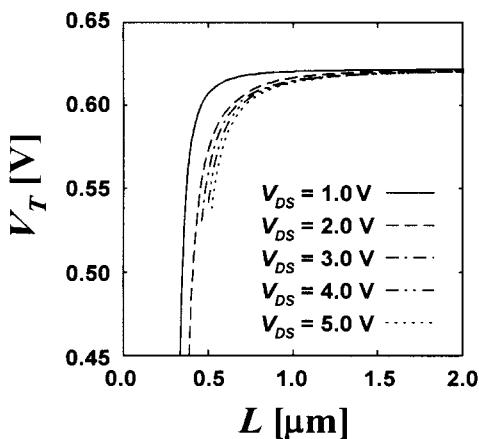


그림 5. 여러 드레인전압에 대해 채널길이의 변화에 따른 문턱전압 곡선($V_{GS}=5V$, $V_{BS}=0V$)

Fig. 5. Threshold voltage versus channel length for various drain voltages($V_{GS}=5V$, $V_{BS}=0V$).

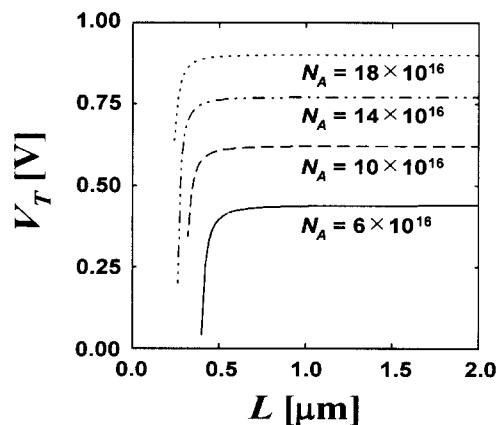


그림 7. 여러 벌크도핑농도에 대해 채널길이의 변화에 따른 문턱전압(V_{GS}=5V, V_{DS}=1V, V_{BS}=0V)

Fig. 7. Threshold voltage versus channel length for various substrate doping levels($V_{GS}=5V$, $V_{DS}=1V$, $V_{BS}=0V$).

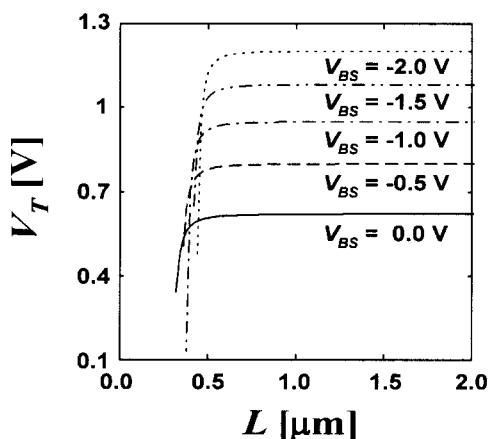


그림 6. 여러 벌크전압에 대해 채널길이의 변화에 따른 문턱전압 곡선($V_{GS}=5V$, $V_{DS}=1V$)

Fig. 6. Threshold voltage versus channel length for various bulk voltages($V_{GS}=5V$, $V_{DS}=1V$).

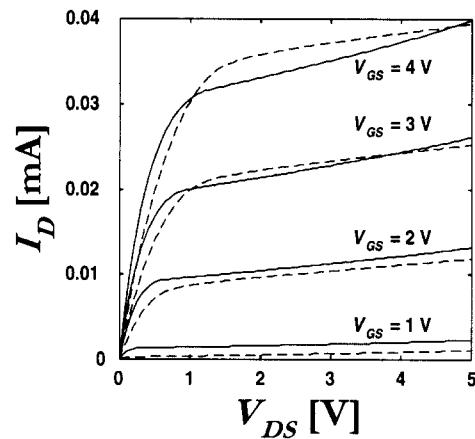


그림 8. 본모형(실선)과 BSIM3v3(점선)에 의해 도출된 I-V 특성의 비교 ($L=0.5\mu\text{m}$, $V_{GS}=5V$, $V_{DS}=1V$, $V_{BS}=-0.5V$, $N_A=1.7\times 10^{17}\text{cm}^{-3}$ (BSIM3v3의 N_{ch} 값))

Fig. 8. Comparison of the I-V characteristics obtained by our model(solid line) and the BSIM3v3(dashed line) ($L=0.5\mu\text{m}$, $V_{GS}=5V$, $V_{DS}=1V$, $V_{BS}=-0.5V$, $N_A=1.7\times 10^{17}\text{cm}^{-3}$ (N_{ch} value in BSIM3v3))).

본 논문에서는 GCA 대신 진성영역에서 공핍층 가장자리의 y 에 대한 변화가 거의 선형적이라는 가정과 전계의존 전자이동도를 조합함으로써, 다양한 단채널 MOSFET 특성을 설명할 수 있었다.

이로부터 ξ 는 단채널효과를 나타내는 파라미터로서 ξ 가 1에 가까울수록 장채널 소자 특성을 나타내며 가 1보다 작은 양수일 경우 단채널효과를 나타냄을 보이

고 있다. 채널길이가 매우 짧은 소자의 경우에 대한 Early effect는 채널길이의 감소가 아니라 문턱전압의 roll-off에 기인함을 설명할 수 있었다. 또한 본 논문

에서 제시된 모형은 채널길이가 매우 짧은 소자에서 채널길이에 무관한 드레인 포화전류의 경향을 설명할 수 있었다.

참 고 문 헌

- [1] D. Vandorpe, J. Borel, G. Merchal, and P. Saintot, "An Accurate Two-Dimensional Numerical Analysis of the MOS Transistor," *Solid-State Electron.* 15, 547, 1972.
- [2] S. Selberherr, A. Schuts, and H. W. Potzl, "MINIMOS - A Two-Dimensional MOS Transistor Analyzer," *IEEE T-ED* ED-27, 1540, 1980.
- [3] R. L. M. Dang, "A Simple Current Model for Short-Channel IGFET and its Application to Circuit Simulation," *IEEE Journal of Solid-State Circuits* SC-14, 358, 1979.
- [4] G. W. Taylor, "The Effects of Two-Dimensional Charge Sharing on the Above-Threshold Characteristics of Short-Channel IGFET's," *Solid-State Electron.* 22, 701, 1979.
- [5] K. A. Akers and J. J. Sanchez, "Threshold Voltage Models of Short, Narrow and Small Geometry MOSFET's," *Solid-State Electron.* 25, 621, 1982.
- [6] P. P. Guebals and F. Van de Wiele, "A Small Geometry MOSFET Model for CAD Applications," *Solid-State Electron.* 26, 267, 1983.
- [7] T. Toyabe and S. Asai, "Analytical Models of Threshold Voltage and Breakdown Voltage of Short-Channel MOSFET's Derived from Two-Dimensional Analysis," *IEEE Trans. Electron Devices*, ED-26, 453-460, 1979.
- [8] D. R. Poole and D. L. Kwong, "Two-Dimensional Analytical Modeling of Threshold Voltage of Short-Channel MOSFET's," *IEEE Electron Device Letters*, EDT-5, 443-446, 1984.
- [9] T. N. Tang, Q. L. Zhang and D. H. Navon, "Analytical Model for Predicting Threshold Voltage in Submicrometer-Channel MOSFET's," *IEEE Trans. Electron Device*, ED-32, 1890-1893, 1985.
- [10] T. Skotnicki and W. Marciniak, "A New Approach to Threshold Voltage Modeling of Short-Channel MOSFET's," *Solid-St. Electron.*, vol.29, 1115-1127, 1986.
- [11] Z. H. Liu, C. Hu, J. H. Huang, T. Y. Chan, M. C. Jeng, P. K. Ko, and Y. C. Cheng, "Threshold Voltage Model for Deep-Submicrometer MOSFETs," *IEEE T-ED* ED-40, 86, Jan. 1993.
- [12] S. L. Jang and M. C. Hu, "An Analytical Drain Current Model for Submicrometer and Deep Submicrometer MOSFET's," *IEEE Trans. Electron Devices*, vol.44, 1897, 1997.
- [13] J. H. Sim, "An Analytical Deep Submicron MOS Device Model Considering Velocity Overshoot Behavior Using Energy Balance Equation," *IEEE Trans. Electron Devices*, vol.42, 864, 1994.
- [14] B. J. Sheu, D. L. Scharfetter, P. -K. Ko, and M. C. Jeng, "BSIM: Berkeley Short-Channel IGFET Model for MOS Transistors," *IEEE J. of Solid State Circuits*, vol. SC-22, 558-566, 1987.
- [15] Y. Cheng et al, "BSIM 3 Manual (version 3.0)", University of California/Berkeley, Electronics Research Lab., 1995.
- [16] D. Foy, "MOSFET Modeling with SPICE: Principles and Practice," Prentice-Hall, 1997.
- [17] Y. P. Tsividis, *Operation and Modeling of the MOS Transistor*, McGraw-Hill, 1988.
- [18] K. Joardar, K. K. Gullapalli, C. C. McAndrew, Senior Member, IEEE, M. E. Burnham, and A. Wild, "An Improved MOSFET Model for Circuit Simulation," *IEEE Trans. Electron Devices*, vol.45,

- 137, 1998.
- [19] S. Selberherr, "Analysis and Simulation of Semiconductor," Springer -Verlag, 93-98, 1984.
- [20] C. Canali, G. Majni, and G. Ottaviani, "Electron and Hole Drift Velocity Measurement in Silicon and Their Empirical Relation to Electric Field and Temperature," *IEEE T-ED ED-16*, 108, 1969.
- [21] A. Bellaouar and M. I. Elmasry, "Low-power Digital VLSI Design Circuits and Systems," Kluwer Academic Publishers, 78-79, 1995.
- [22] S. M. Sze, *Physics of Semiconductor Devices*, John Wiley & Sons, 1981.

저자 소개



沈載勳(正會員)

1968년 2월 7일생. 1991년 2월 홍익대학교 전자공학과 공학사. 1993년 2월 동 대학원 전자공학과 공학석사. 1998년 2월 동 대학원 전자공학과 공학박사. 1998년 3월~현재 육돌인더스 연구개발부 과장. 관심

분야: 반도체소자, VLSI & CAD 등



任幸三(正會員)

1966년 12월 11일생. 1990년 2월 홍익대학교 전자공학과 공학사. 1992년 2월 동 대학원 전자공학과 공학석사. 1997년 8월 동 대학원 전자공학과 공학박사. 1997년 7월~1998년 6월 홍익대학교 과학기술연

구소 연구원. 1998년 6월~현재 LG반도체 선임연구원.
주관심분야: 반도체소자 모델링 및 시뮬레이션



朴奉任(正會員)

1974년 7월 21일생. 1997년 2월 홍익대학교 전기전자제어공학과 공학사. 1999년 2월 동 대학원 전자공학과 공학석사. 1999년 3월~현재 동 대학원 전자공학과 박사과정 중. 주관심분야: 반도체 소자 및 물성



徐征河(正會員)

1946년 8월 5일생. 1970년 2월 서울대학교 전자공학과 공학사. 1975년 2월 홍익대학교 전기공학과 공학석사. 1981년 2월 서울대학교 전자공학과 공학박사. 1979년~1980년 미국 University of Minnesota 박원연구원. 1984년~1985년 미국 University of Pennsylvania, Post-Doctor. 1974년~현재 홍익대학교 전자공학과 교수. 주관심분야: 반도체물성 및 공정, 화합물반도체소자, 집적회로설계