

論文99-36C-5-5

# CMOS CCD 카메라용 디지털 자동 이득 제어 회로

## (A Digital Automatic Gain Control Circuit for CMOS CCD Camera Interfaces)

李珍國\*, 車有珍\*, 李承勳\*

(Jin-Kug Lee, You-Jin Cha, and Seung-Hoon Lee)

## 요 약

본 논문에서는 CMOS CCD 카메라 인터페이스 응용을 위한 자동 이득 제어 (Automatic Gain Control : AGC) 회로를 제안한다. 제안하는 자동 이득 제어 회로는 디지털 신호에 의해 직접 제어되므로 기존의 회로와 달리 별도의 D/A 변환기가 필요 없으며, 신호의 정착 특성은 이득 제어 신호의 변화에 거의 독립적이다. 또한 큰 캐패시턴스를 얻기 위해 적용된 캐패시터 조합 기법은 스위치드 캐패시터 기법을 사용한 자동 이득 제어 회로의 대역폭을 크게 향상시킨다. 캐패시터의 구현시 발생하는 부정합 오차 (mismatch error)는 제안하는 레이아웃 기법에 의해 0.1% 이내로 제한된다. 자동 이득 제어 회로의 출력 신호는 동일 칩에 집적된 10 비트 A/D 변환기로 전달된다. 제안하는 자동 이득 제어 회로를 실장한 CCD 카메라 인터페이스 전체 시스템 시제품은 0.5 um n-well CMOS 공정으로 구현되어 32 dB 이득 제어 영역과 1/8 dB 이득 제어 단계를 가지며, 3 V 전원 전압과 25 MHz의 동작 속도에서 총 173 mW의 전력을 소모한다.

## Abstract

This paper describes automatic gain control circuit (AGC) design techniques for CMOS CCD camera interface systems. The required gain of the AGC in the proposed system is controlled directly by digital bits without conventional extra D/A converters and the signal settling behavior is almost independent of AGC gain variation at video speeds. A capacitor-segment combination technique to obtain large capacitance values considerably improves the effective bandwidth of the AGC based on switched-capacitor techniques. A proposed layout scheme for capacitor implementation shows AGC matching accuracy better than 0.1%. The outputs from the AGC are transferred to a 10b A/D converter integrated on the same chip. The proposed AGC is implemented as a sub-block of a CCD camera interface system using a 0.5um n-well CMOS process. The prototype shows the 32-dB AGC dynamic range in 1/8-dB steps with 173 mW at 3 V and 25 MHz.

## I. 서 론

최근 디지털 신호 처리 (Digital Signal Processing) 기법의 발전은 CCD (Charge-Coupled Devices)로부터 전달된 영상 신호를 디지털 정보로 변환하는 고속 고

해상도 인터페이스 시스템에 대한 요구를 증가시키고 있다<sup>[1]</sup>. 한편, 스캐너, 휴대용 캠코더, 및 디지털 스틸 카메라와 같은 CCD 영상 신호 관련 기기는 작은 면적 및 저전력 특성을 가진 인터페이스 시스템을 필요로 하며, 최근 개발된 CCD 인터페이스 시스템들은 이러한 요구를 부분적으로 반영하고 있다<sup>[2]-[10]</sup>. 전형적인 CCD 영상 신호는 기준 (reference : REF) 준위와 데이터 (data : DATA) 준위의 연속 신호로 구성되어 있으며<sup>[2]</sup>, 이 영상 신호를 디지털 정보로 변환하기 위하

\* 正會員, 西江大學校 電子工學科

(Dept. of Electronics Engineering, Sogang University)

接受日:1999年1月26日, 수정완료일:1999年3月31日

여 인터페이스 회로는 다음의 세가지 회로를 필수적으로 포함한다. 첫째, CDS (Correlated Double Sampling) 회로는 CCD로부터의 두 입력 준위 (REF와 DATA)의 차이를 샘플링함으로써 1/f 잡음을 제거한다. 둘째, 자동 이득 제어 (Automatic Gain Control : AGC) 회로는 CDS 회로로부터 전달된 신호를 필요한 만큼 증폭하며, 인터페이스 시스템의 성능은 대부분 자동 이득 제어 회로의 특성에 의해 제한받는다. 마지막으로 A/D 변환기 (Analog-to-Digital Converter)는 자동 이득 제어 회로로부터의 아날로그 신호를 디지털 신호로 변환한다.

기존의 자동 이득 제어 회로를 포함한 전반부 인터페이스 회로는 대부분 바이폴라 (bipolar) 혹은 BiCMOS 공정을 사용하여 CMOS A/D 변환기와는 별도의 칩으로 구현되었다. 이는 시스템 구성시 제작 비용을 증가시키며, 칩 들 간의 클럭 스큐 (skew) 등의 문제를 발생시킨다. 따라서 최근의 CMOS 시스템에는 A/D 변환기를 포함한 여러 인터페이스 회로의 기능이 단일 칩에 구현되어 저비용으로 향상된 성능을 나타내고 있다<sup>[2]-[5]</sup>. 그러나, 기존에 구현되어온 자동 이득 제어 회로는 증폭 이득이 주로 아날로그 신호에 의해 제어되므로 후반부 디지털 신호 처리 회로로부터의 디지털 이득 제어 신호 (Gain Control Bit : GCB)를 아날로그 신호로 변환시켜주는 별도의 D/A 변환기 (Digital-to-Analog Converter)가 필요하며, 이는 저전력 저비용 시스템에의 적용에 부적합하다<sup>[6]-[8]</sup>. 이를 극복하기 위해 최근에 디지털 신호로 직접적으로 동작하도록 제안되어온 자동 이득 제어 회로는 이득 제어 신호의 변화에 따라 변하는 주파수 특성 (frequency response)을 나타낸다. 또한, 미세한 전압 이득의 제어와 넓은 이득 제어 범위의 구현이 거의 불가능하다<sup>[2], [9]-[10]</sup>.

본 논문에서 제안하는 자동 이득 제어 회로를 포함한 인터페이스 회로는 표준 디지털 CMOS 공정으로 설계 및 제작되었으며 다음과 같은 특징을 가진다. 첫째, 자동 이득 제어 회로는 디지털 이득 제어 신호에 의해 직접적으로 샘플링 캐패시터의 크기를 조절하여 필요한 이득을 구현하는 구조로서, 전압 이득을 미세하게 제어할 수 있으며 제어된 이득에 관계없이 일정한 주파수 및 신호 정착 특성을 가진다. 둘째, 신호의 증폭시 전체 샘플링 캐패시터의 크기를 최소화시킬 수 있는 캐패시터 조합 기법 (capacitor-segment com-

bination technique)을 제안함으로써 저전력 고속 동작에서 넓은 이득 제어 영역과 미세한 이득 제어 단계로의 신호 증폭이 가능하다. 마지막으로, 미세한 전압 이득의 제어를 위한 캐패시터 구현시, 공정 조건상의 제약에 의해 발생하는 부정합 (mismatch error)을 0.1% 이내로 제한하는 레이아웃 기법을 제안한다.

본 논문의 II장에서는 저전력, 고속, 및 고해상도 동작을 위해 제안하는 시스템 전반부 회로, 즉 자동 이득 제어 회로 및 루프 이득 제어 (Loop Gain Control : LGC) 회로의 설계 및 레이아웃 기법을 논의하고, III장에서는 제안하는 자동 이득 제어 회로를 적용한 인터페이스 시스템의 성능을 측정을 통해 검증한다.

## II. 제안하는 자동 이득 제어 회로를 적용한 시스템 전반부 회로

### 1. 시스템 구조

제안하는 자동 이득 제어 회로가 적용된 인터페이스 시스템을 살펴보면, 그림 1과 같이 CDS 회로, 자동 이득 제어 회로 (AGC), 루프 이득 제어 회로 (LGC), 그리고 적분기 (Integrator) 등으로 구성되어 있다.

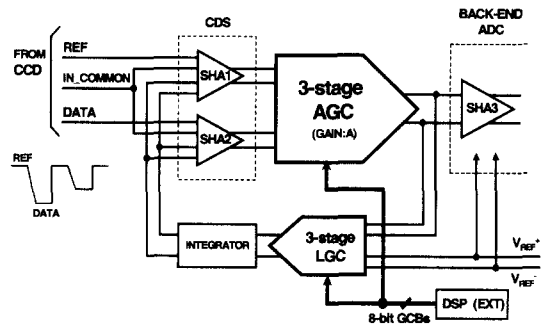


그림 1. 전반부 시스템  
Fig. 1. Front-end system.

CCD 회로로부터 전달된 단일 입력 영상 정보 즉, 기준 준위와 데이터 준위는 CDS 회로에 의해 샘플링되어 후반부 회로 블럭에서의 신호 처리를 위하여 완전 차동 신호로 변환된다. 동시에, CDS 회로는 샘플링된 영상 신호로부터 적분기의 출력을 뺀다. 자동 이득 제어 회로는 CDS 회로로부터 전달된 두 차동 신호의 차이를 샘플링한 후 외부 디지털 신호 처리 회로

에서 발생하는 이득 제어 신호에 의해 설정된 이득만큼 증폭하며, 이 신호는 동일 칩의 후반부에 집적된 A/D 변환기의 입력 샘플 앤-홀드 증폭기 (Sample-and-Hold Amplifier : SHA)로 전달된다.

전반부 인터페이스 시스템에는 두 동작 모드가 존재한다. 첫 번째 모드는 실제 흑색 빛으로부터 발생된 CCD 신호를 A/D 변환기의 최저 입력 수준에 일치시키기 위한 흑색 준위 교정 (black-level correction) 기간이다. 전형적인 디지털 캡코더의 경우, 이 교정 기간은 매 64 us 동안 2 us 마다 수행된다. 이 기간 동안 CCD 감지 회로는 급속으로 덮인 픽셀 (pixels)로부터의 신호 즉, 흑색의 빛에 의해 발생된 준위를 데이터 신호 경로에 전달한다. 이때 루프 이득 제어 회로 및 적분기를 경유하는 부궤환 (negative feedback) 신호 처리가 시작되며, 흑색 준위를 A/D 변환기의 최저 기준 전압 ( $= V_{REF^-} - V_{REF^+}$ )에 일치시키기 위해, 루프 이득 제어 회로는 자동 이득 제어 회로의 출력을 A/D 변환기에서 사용되는 최저 기준 전압과 비교한 후 그 차이를 감폭하여 적분기에 전달한다. 적분기는 루프 이득 제어 회로로부터 공급받은 신호를 지속적으로 축적함과 동시에 축적된 출력을 CDS 회로에 공급한다. CDS 회로는 입력 신호에서 적분기 출력을 뺀 후 자동 이득 제어 회로에 전달한다. 이러한 부궤환 동작으로 인해 흑색 준위 신호의 입력에 의해 발생된 자동 이득 제어 회로의 출력은 A/D 변환기의 최저 기준 전압에 수렴 및 고정된다. 이후 일반 영상 신호가 처리되는 기간 동안 부궤환 신호 경로에 있는 루프 이득 제어 회로는 동작하지 않고, 적분기는 흑색 준위 교정 기간 동안 결정된 출력을 CDS 회로에 지속적으로 공급한다. 흑색 준위가 고정된 후 일반 영상 신호가 처리되는 기간에는 CDS 및 자동 이득 제어 회로만을 거친 화상 정보가 A/D 변환기로 전달된다.

외부로부터 입사되는 영상 밝기의 변화로 CCD 감지 회로로 입력되는 신호의 준위가 갑자기 커지거나 작아지는 경우, 이 신호는 A/D 변환기의 입력 범위를 벗어나거나 혹은 매우 낮은 코드로 집중되며, 이 상태에서 변환된 디지털 코드를 다시 영상으로 재생할 경우 그 밝기가 너무 밝거나 어두워서 인식이 어려워진다. 이때 A/D 변환기의 디지털 출력을 분석 및 처리하는 외부 디지털 신호 처리 회로는 신호를 적절한 크기로 증·감폭하기 위한 디지털 이득 제어 신호를 변조시킴으로써 전반부 자동 이득 제어 회로의 증폭률을

조절한다. 이로써 A/D 변환기는 그 입력 준위에 최적화된 크기로 증폭된 영상 신호를 변환할 수 있다.

## 2. 제안하는 자동 이득 제어 회로 및 루프 이득 제어 회로

인터페이스 시스템 중 가장 중요한 역할을 하는 자동 이득 제어 회로는 CDS 회로로부터의 입력 신호를 필요한 이득만큼 증폭한다. 일반적으로 자동 이득 제어 회로의 전압 이득은 아날로그 신호 또는 디지털 이득 제어 신호에 의해 제어된다. 증폭기의 개루프 이득 (open loop gain)이 아날로그 신호에 의해 제어되는 회로는 그 동작을 위해 외부의 디지털 신호를 아날로그 형태로 변환하기 위한 별도의 D/A 변환기가 필요하다. 이러한 별도의 D/A 변환기 구현은 칩 영역과 소모 전력을 증가시키는 단점을 가진다. 한편 디지털 신호로 제어되는 기존의 자동 이득 제어 회로는 이득 제어 신호에 따라 샘플링 및 케환 캐패시터 또는 케환 캐패시터만을 조절하여 동작한다. 이 경우 연산 증폭기가 동작하는 케환 이득은 샘플링 캐패시터와 케환 캐패시터의 비율에 따라 변화하므로 증폭기의 주파수 특성 및 정착 시간 (settling time)이 일정하지 않으며, 이로 인해 회로 동작을 위한 연산 증폭기 설계의 최적화가 어렵다. 또한, 이러한 회로들은 주로 캐패시터 구현의 용이성을 도모하기 위해 이진 (binary-weighted) 캐패시터 열을 사용하며, 2의 배수로만 증폭이 가능할 뿐 미세한 단계의 증폭은 거의 불가능하다.<sup>[9] - [10]</sup>.

제안하는 자동 이득 제어 회로는 8 비트의 디지털 이득 제어 신호에 의해 0~32 dB의 이득 제어 영역에서 1/8 dB 단계로 신호를 증폭한다. 이 동작은 이득 제어 신호에 의해 샘플링 캐패시터를 조절함으로써 이루어진다. 회로의 구성을 보면 그림 2와 같이 단위 캐패시터인 C를 케환 캐패시터로 사용하며 필요한 이득 제어 기본 단계가 a일 때 이 비율에 따라 다른 크기를 가진 샘플링 캐패시터들이 사용된다.

그림 2(a)의 샘플링 위상에 입력 신호는 이득 제어 신호에 의해 선택된 샘플링 캐패시터  $a^i C$ 에 샘플링된다. 그림 2(b)의 증폭 위상에서는 모든 샘플링 캐패시터는 접지단에 연결된 후 출력이 발생하며, 입력 신호는 선택되었던 샘플링 캐패시터와 단위 케환 캐패시터의 비율에 의해 결정된 이득  $a^i$ 만큼 증폭된다. 이 경우, 증폭 위상에서 전체 샘플링 캐패시터와 케환 캐패

시터를 일정하게 유지하여 궤환 이득을 고정시킴으로써 연산 증폭기의 동작 속도가 이득 변화에 관계없이 일정한 특성을 가진다. 따라서, 자동 이득 제어 회로에서 일정한 정착 시간을 얻을 수 있으며, 이는 요구되는 동작 속도에 최적화된 연산 증폭기의 설계를 가능하게 한다. 또한, 샘플링 캐패시터간의 비율 즉, 이득 제어 단계  $a$ 를 주어진 공정 조건에서 최소값으로 설정함으로써 미세한 이득 제어가 가능하다.

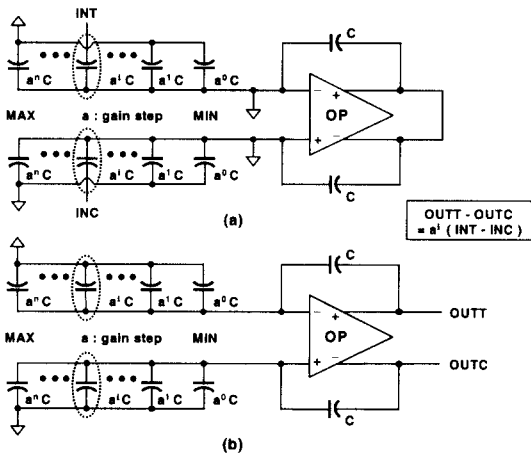


그림 2. 자동 이득 제어 회로의 동작 원리 : (a) 샘플링 및 (b) 증폭 위상

Fig. 2. Operation of the proposed AGC : (a) sampling and (b) amplifying phases.

한편, 이처럼 넓은 범위의 전압 이득을 정밀하게 조절해야 하는 경우 전체 샘플링 캐패시턴스가 증가함에 따라 지수적으로 증가하는 궤환 이득은 동작 속도를 크게 저하시킨다. 제안하는 자동 이득 제어 회로는 그림 3과 같이 전체 증폭 기능을 세 단계로 나누어 수행함으로써 동작 속도 및 소모 전력을 최적화하였다.

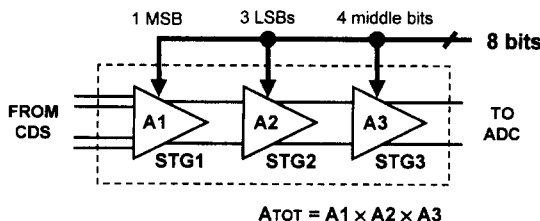


그림 3. 세 단계로 구성된 자동 이득 제어 회로  
Fig. 3. Three-stage AGC.

첫째 단계는 CDS 회로의 두 샘플-앤-홀드 증폭기로부터 전달되는 두 차동 신호의 차이를 증폭하여야 하

므로 간단한 신호 경로의 구현을 위해 MSB 한 비트에 의해 제어된다. 이로 인해 MSB에 해당하는 약 16 dB의 이득이 첫 단계에 할당된다. 둘째 및 셋째 단계는 각각 3 LSB와 4 중간 비트에 의해 1/8 dB 및 1 dB의 이득 단계로 1 dB 및 16 dB의 이득 제어 범위에서 제어된다.

루프 이득 제어 회로는 자동 이득 제어 회로가 증폭한 이득만큼 신호를 감폭한다. 동작 원리를 살펴보면 루프 이득 제어 회로의 샘플링 캐패시터는 자동 이득 제어 회로의 경우와는 반대 순서로 선택되고 캐패시터 열 중 가장 큰 캐패시터가 궤환 캐패시터로 사용됨으로써, 입력은 자동 이득 제어 회로 이득의 역수에 해당하는 비율로 감폭된다. 따라서, 흑색 준위 교정 기간 동안 전반부 인터페이스 회로의 전체 궤환 루프 이득은 루프 이득 제어 회로에 의해 일정하게 유지되므로, 시스템의 정착 특성은 이득 제어 신호의 변화에 무관하다.

### 3. 제안하는 캐패시터 조합 기법

세 단계의 자동 이득 제어 회로 중 1 dB의 이득 제어 단계,  $a$ 를 가지며 4 개의 중간 비트에 의해 동작하기 위한 셋째 단계의 전체 샘플링 캐패시터의 크기는 약  $44C_0 (a^0C_0 + a^1C_0 + \dots + a^{15}C_0 = (a^{16} - 1)/(a - 1)C_0)$ 로서 첫째 및 둘째 단계 (6 ~  $8C_0$ )에 비해 매우 크다. 이는 연산 증폭기의 고속 동작을 불가능하게 하며, 이를 해결하기 위해 본 논문에서 제안하는 캐패시터 조합 기법은 셋째 단계에서의 전체 샘플링 캐패시턴스 및 궤환 이득을 최소화한다. 제안하는 기법은 샘플링 캐패시터 중 높은 이득 구현을 위한 캐패시터를 낮은 이득 구현에 사용되는 여러 작은 캐패시터들의 조합으로 구현한다. 이 조합은 그림 4와 같이 각 캐패시터  $C_0, C_1, \dots, C_{14}, C_{15}$ 에 입력 신호를 4 비트의 제어 신호에 의해 선택적으로 샘플링시키는 캐패시터 조합 논리 회로에 의해 이루어진다.

예를 들어, 0000의 이득 제어 신호의 경우 샘플링 캐패시터  $C_0$  즉, 궤환 캐패시터와 같은 크기를 가진 샘플링 캐패시터에만 입력 신호 (= INT - INC)가 샘플링되며 나머지 캐패시터에는 접지가 연결된다. 이로써 전체 전압 이득은 이득 제어 단계를  $a$ 라 할 때  $a^0$  즉, 1이 된다. 또한 0001의 제어 신호의 경우에는  $C_0$ 와  $C_1$ 이 입력 신호를 샘플링하며, 이를 위해 캐패시터  $C_1$ 의 크기는  $C_0 + C_1 = a^1C_0$ 를 만족시키도록 결정된다.

이로써  $a^1$ 의 전압 이득이 구현되며, 이후 같은 방식으로  $C_2$ 부터  $C_{15}$ 까지의 캐패시터 크기와 조합 원리가 결정된다. 최대 전압 이득이 요구되는 경우에는  $a^{15}C_0$ 의 크기가 구현되도록 모든 캐패시터  $C_0, C_1, \dots, C_{14}, C_{15}$ 가 입력단에 연결된다. 이러한 조합 원리는 표 1에 요약되어 있으며 이 원리에 따라서 그림 4의 스위치  $S_1, S_2, \dots, S_{14}, S_{15}$ 는 동작한다.

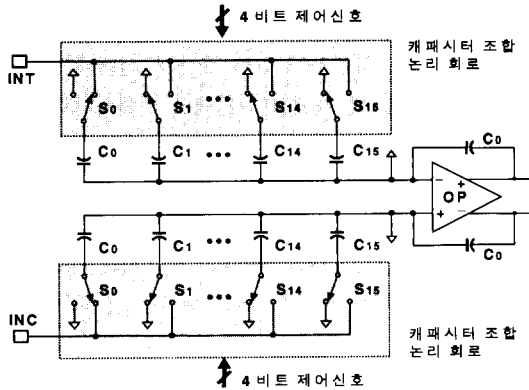


그림 4. 제안하는 캐패시터 조합 기법

Fig. 4. Proposed capacitor-segment combination technique.

표 1. 캐패시터 조합 원리

Table 1. Capacitor-segment combination logic.

이득 제어 신호	캐패시터 조합 원리	
0000	$C_0$	$\rightarrow a^0 C_0$
0001	$C_0+C_1$	$\rightarrow a^1 C_0$
.	.	.
1110	$C_0+C_1+\dots+C_{14}$	$\rightarrow a^{14} C_0$
1111	$C_0+C_1+\dots+C_{14}+C_{15}$	$\rightarrow a^{15} C_0$

예를 들어, 1 dB ( $\cong 1.1220$ )의 제어 단계로 동작하는 셋째 단계 각 이득에 해당하는 캐패시터를 각각 구현하는 전형적인 방법을 사용하였을 때의 전체 샘플링 캐패시턴스는  $a^0C_0 + a^1C_0 + \dots + a^{15}C_0 = (a^{16} - 1)/(a - 1)C_0$  ( $\cong 44C_0$ )의 크기를 가지나 제안하는 캐패시터 조합 기법을 적용함으로써 그 값은  $C_0 + C_1 + \dots + C_{15} = a^{15}C_0$  ( $\cong 6C_0$ )로 약 1/7배로 감소된다.

이와 같은 설계 기법을 적용함으로써 궤환 이득은 최소화되어 낮은 전력 소모의 환경에서도 고속 자동 이득 제어 회로의 구현이 가능하다. 그림 5(a) 및 (b)

는 모의 실험 결과로서 'A' 및 'B'는 각각 일반적인 이진열 캐패시터 기법이 적용된 경우와 제안하는 기법이 적용된 경우를 나타낸다. 동작 대역폭은 약 7 배 이상 향상되었으며 이로 인해 시간 영역에서의 정착 특성이 크게 향상되었음을 확인할 수 있다.

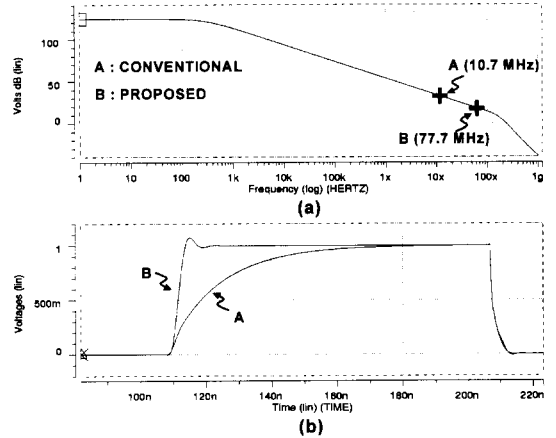


그림 5. 캐패시터 조합 기법을 적용한 모의 실험 결과 : (a) 대역폭의 향상 및 (b) 정착 시간 향상

Fig. 5. Simulated results of the capacitor-segment combination technique : (a) bandwidth improvement and (b) simulated settling behavior.

4. 선형성 향상을 위한 캐패시터 레이아웃 기법

기존의 자동 이득 제어 회로에서와 같이 2의 배수로 전압 이득을 구현하는 경우에는 이진 캐패시터 열을 사용하며, 이러한 캐패시터의 구현시 상대적인 부정합을 줄이기 위해 큰 용량의 캐패시터는 여러 개의 단위 캐패시터의 합으로 구성된다. 이러한 회로의 캐패시터는 제작 공정 도중 발생하는 임의의 오차를 고려하더라도 정착 문제를 비교적 줄일 수 있다 [11]. 이에 반해, 미세한 이득 제어를 위해 각각 매우 작은 차이를 가지고 있는 캐패시터들로 구성된 캐패시터 열의 구현은 쉽지가 않다. 예를 들어, 둘째 단계에서 3 LSB에 의해 제어되는 샘플링 캐패시터들,  $C_0, aC_1, \dots, a^7C_0$  ( $a = 1/8 \text{ dB} \cong 1.0145$ ),의 구현시 공정의 한계로 인해 구현 가능한 최소 캐패시턴스보다 작은 정확도로의 구현은 불가능하므로 부정합 오차가 크게 발생한다. 제안하는 레이아웃 기법에서 캐패시터는 그림 6과 같이 직사각형의 형태를 가지며, 각 캐패시터의 상대적인 비율을 정확히 유지하기 위해 캐패시터의 폭  $W$  (width)는 고정된 후, 길이  $L$  (length)을 비율

에 따라 다르게 구현하였다. 이때, 각 캐패시턴스 값은 식 (1)과 같이 요약된다.

$$\begin{aligned}
 C_0 &= W \times L_0 \times C_{\square} \\
 C_1 &= W \times L_1 \times C_{\square} \\
 &\vdots \\
 &\vdots \\
 C_{n-1} &= W \times L_{n-1} \times C_{\square}
 \end{aligned} \tag{1}$$

(단,  $C_{\square}$  : capacitance/ $\mu\text{m}^2$ ,  $L_k = L_{k-1} \times a$ )

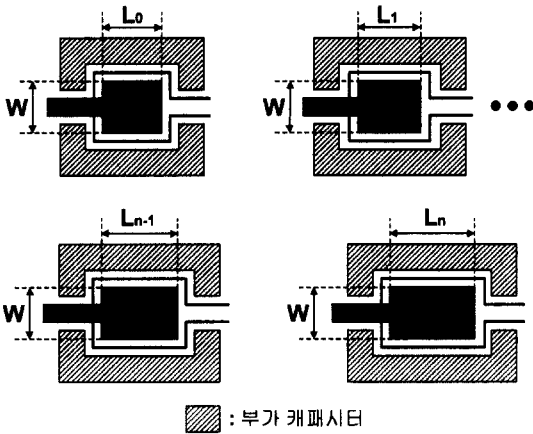


그림 6. 제안하는 고정밀 캐패시터 구현 방법  
Fig. 6. Proposed layout technique to improve capacitor matching.

최근 공정 발전의 수준은 약 10 비트 이상의 정확도를 가지므로 [12], 본 논문에서 제안하는 레이아웃 기법은 다음과 같이 부정합 오차를 10 비트 정확도 즉, 0.1% 이하로 제한한다. 식 (1)과 그림 6을 고려할 때 캐패시터의 구현 가능한 가장 작은 단계는 레이아웃의 최소 격자가  $\Delta L$ 일 때,  $W \times \Delta L \times C_{\square}$ 이며, 캐패시턴스  $W \times L \times C_{\square}$ 를 구현할 때 발생 가능한 최대 부정합 오차는  $1/2 \times W \times \Delta L \times C_{\square}$ 이다. 이 때 10 비트 정확도 즉, 0.1% 이하의 오차를 유지하기 위해서는 식 (2)와 같은 조건을 만족해야 한다.

$$\frac{1}{2} \times \frac{W \times \Delta L \times C_{\square}}{W \times L \times C_{\square}} < 0.1\% \tag{2}$$

예를 들어,  $\Delta L$ 과  $C_{\square}$ 가 각각  $0.05 \mu\text{m}$  및  $0.8 \text{ fF}/\mu\text{m}^2$  일 경우 다음과 같은 식 (3)은  $25 \mu\text{m}$  이상의

길이  $L$ 을 요구하며 이를 만족시킬 경우 구현된 캐패시터의 부정합 오차는 0.1% 이하로 제한된다.

$$\frac{\frac{1}{2} \times W \times 0.05 \mu\text{m} \times 0.8 \text{ fF}/\mu\text{m}^2}{W \times L \times 0.8 \text{ fF}/\mu\text{m}^2} < 0.1\% \tag{3}$$

한편, 캐패시터의 구현시 주변 환경의 불일치는 캐패시터 부정합의 원인이 된다. 이에 의한 영향을 최소화하기 위해, 그림 6과 같이 각 캐패시터의 주위에 부가 캐패시터를 배치하는 레이아웃 기법을 적용함으로써 캐패시터간의 정합 특성을 향상시켰다 [13].

### III. 시제품 제작 및 측정

제안하는 자동 이득 제어 회로는 그 효율성 및 성능을 검증하기 위하여 CCD 카메라 인터페이스 회로에 실장되었으며, 전체 회로는  $0.5 \mu\text{m}$  n-well double-poly double-metal CMOS 공정으로 제작되었다. 자동 이득 제어 회로의 8 비트 이득 제어 신호에 의한 전압 이득의 측정 결과가 그림 7에 나타나 있으며, 256 단계로 제어되는 이득의 변화 범위는 0 dB에서 32 dB로서 이득은 1/8 dB의 정밀한 단계로 조절된다.

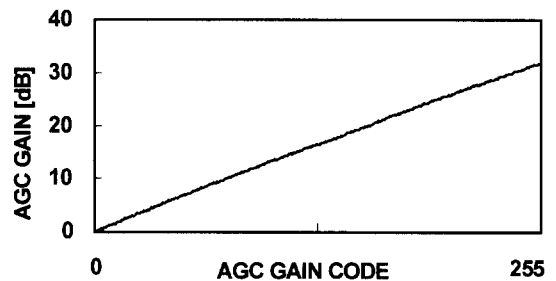


그림 7. 자동 이득 제어 회로의 이득 제어 특성 곡선  
Fig. 7. AGC characteristic.

이에 대한 측정은 DC 입력이 인가되었을 때 각 이득 제어 신호에 따른 A/D 변환기의 출력 즉, 디지털 출력 코드의 분포를 측정함으로써 이루어졌다. 그림 8은 이상적인 특성에 대한 실제 측정 결과의 차이로서 그 오차는 이상적인 제어 단계인 1/8 dB에서 최대 1.8 배 차이가 있다.

256 개의 디지털 입력 인가에 따른 출력의 측정에는 많은 시간이 소요되므로, 이 소요 시간 동안 입력 신호에 생길 수 있는 변화와, 높은 이득으로의 증폭

시 입력 신호 외에 같이 증폭되는 잡음을 고려할 때 정확한 측정 결과는 얻기 어렵다. 실제로 높은 이득 제어 신호가 인가되었을 경우, 선형성 측정을 위하여 입력 신호의 값을 매우 작게 인가해야 하였다. 이 때 후반부 A/D 변환기의 디지털 출력 코드의 분포를 분석한 결과를 살펴보았을 때, 큰 입력 신호를 작은 이득 제어 신호로 증폭했을 경우보다 넓은 출력 코드의 분포를 나타냄을 확인할 수 있으며, 이는 입력 신호에 비해 상대적으로 큰 잡음이 존재하며 정확한 측정이 어렵다는 것을 의미한다.

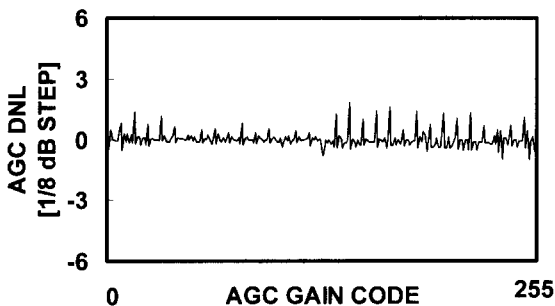


그림 8. 자동 이득 제어 회로의 선형성 분석  
Fig. 8. AGC linearity analysis.

그림 9는 전체 칩 사진으로서 패드를 제외한 유효 면적은 2.2 mm × 4.0 mm이다. 제작된 시제품은 CCD 감지 회로와 후반부 DSP 회로를 포함하는 실제 상용 디지털 캠코더에 실장 측정되었으며 9.6 MHz의 샘플링 주파수에서 12 dB의 전압 이득으로 영상을 처리한 경우 재생된 영상이 그림 10에 나타나 있다. 전체 CMOS CCD 인터페이스 회로의 사양은 표 2에 요약되어 있다.

표 2. CCD 인터페이스 회로의 성능

Table 2. Typical performance of the CCD interface system.

동작 속도	25 MHz
소모 전력	173 mW (at 3 V) 346 mW (at 5 V)
전원 전압	3 V ~ 5 V
자동 이득 제어 회로의 동적 영역	0 ~ 32 dB
자동 이득 제어 회로의 이득 제어 단계	1/8 dB
공정	0.5 um CMOS DPDM

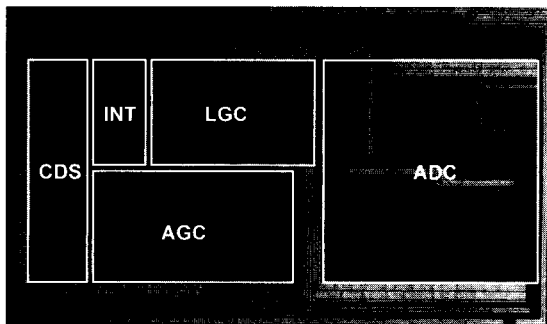


그림 9. 칩 사진 (2.2 mm × 4.0 mm)  
Fig. 9. Chip photograph (2.2 mm × 4.0 mm).

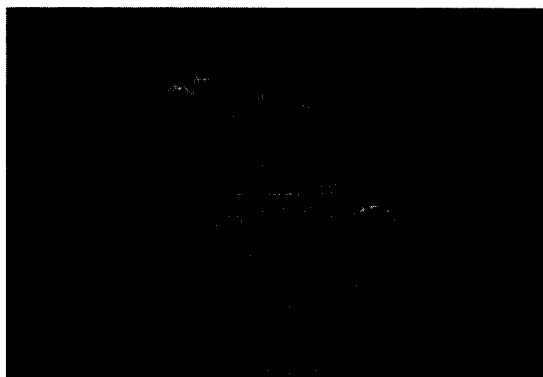


그림 10. 제작된 칩에 의해 재생된 영상  
Fig. 10. Picture captured by the prototype.

#### IV. 결 론

본 논문에서는 다양한 CCD 응용 회로에 필수적인 회로로서, 디지털 신호로 제어되는 자동 이득 제어 회로가 적용된 CMOS CCD 카메라 인터페이스 회로를 단일칩 형태로 구현하였다. 제안하는 자동 이득 제어 회로는 입력 신호를 32 dB의 넓은 제어 범위에서 1/8 dB의 미세한 단계로 증폭한다. 한편, 외부 디지털 신호에 의해 직접 동작하므로 별도의 D/A 변환기는 필요하지 않으며, 제안하는 캐패시터 조합 기법을 적용함으로써 고속 저전력 동작이 가능하다. 또한, 미세한 차이를 가지는 캐패시터들의 부정합 오차를 0.1% 이내로 유지하기 위한 레이아웃 기법을 제안하였다. 측정 결과 A/D 변환기를 포함한 인터페이스 회로는 3 V 전원 전압에서 173 mW의 전력을 소모한다.

#### 참 고 문 헌

[1] S. A. Paul and H. S. Lee, "A 9-b

- charge-to-digital converter for integrated image sensors," *IEEE J. Solid-State Circuits*, vol. 31, no. 12, pp. 1931-1938, Dec. 1996.
- [ 2 ] D. Reynolds and S. Ho, "An integrated 12 bit analog front end for CCD based image processing applications," *Sym. VLSI Circuits Dig. Tech. Papers*, pp. 96-97, June 1996.
- [ 3 ] C. Mangelsdorf, K. Nakamura, S. Ho, T. Brooks, K. Nishio, and H. Matsumoto, "A CMOS front-end for CCD cameras," *ISSCC Dig. Tech. Papers*, pp. 186-187, Feb. 1996.
- [ 4 ] W. Redman-White, M. Bracey, J. Tijou, B. Murray, and C. Hopwood, "An analog CMOS front-end for a D2-MAC TV decoder," *IEEE J. Solid-State Circuits*, vol. 29, no. 8, pp. 998-1001, Aug. 1994.
- [ 5 ] K. Nakamura, S. Ho, C. Mangelsdorf, and K. Nishio, "A 3 V CMOS video acquisition channel," *Sym. VLSI Circuits Dig. Tech. Papers*, pp. 98-99, June 1996.
- [ 6 ] T. W. Pan and A. A. Abidi, "A 50-dB variable gain amplifier using parasitic bipolar transistors in CMOS," *IEEE J. Solid-State Circuits*, vol. 24, no. 4, pp. 951-961, Aug. 1989.
- [ 7 ] J. J. F. Rijns, "CMOS low-distortion high-frequency variable-gain amplifier," *IEEE J. Solid-State Circuits*, vol. 31, no. 7, pp. 1029-1034, July 1996.
- [ 8 ] A. Motamed, C. Hwang, and M. Ismail, "A low-voltage low-power wide-range CMOS variable gain amplifier," *IEEE Trans. on Circuits and Syst. II.*, vol. 45, no. 7, pp. 800-811, July 1998.
- [ 9 ] D. H. K. Hoe and D. B. Ribner, "An auto-ranging photodiode preamplifier with 114 dB dynamic range," *IEEE J. Solid-State Circuits*, vol. 31, no. 2, pp. 187-194, Feb. 1996.
- [ 10 ] M. Loinaz, K. Singh, A. Blanksby, D. Inglis, K. Azadet, and B. Ackland, "A 200mW 3.3V CMOS color camera IC producing 352×288 24b video at 30 Frames/s," *ISSCC Dig. Tech. Papers*, pp. 168-169, Feb. 1998.
- [ 11 ] J. L. McCreary and P. R. Gray, "All-MOS charge redistribution analog-to-digital conversion techniques - Part I," *IEEE J. Solid-State Circuits*, vol. SC-10, pp. 371-379, Dec. 1975.
- [ 12 ] P. C. Yu and H. S. Lee, "A 2.5V, 12b, 5MSample/s Pipelined CMOS ADC," *IEEE J. Solid-State Circuits*, vol. 31, pp. 1854-1861, Dec. 1996.
- [ 13 ] M. J. McNutt, S. LeMarquis, and J. L. Dunkley, "Systematic capacitance matching errors and corrective layout procedures," *IEEE J. Solid-State Circuits*, vol. 29, no. 5, pp. 611-616, May 1994.



## 저 자 소 개



李 珍 國(正會員)

1971년 2월 11일생. 1997년 2월 서강대학교 전자공학과 학사. 1999년 2월 서강대학교 전자공학과 석사. 현재 삼성전자 연구원. 주관심분야는 CCD 카메라 인터페이스 회로 설계, 혼성모드 회로 설계 등임



李 承 勳(正會員)

서울대학교 전자공학과 학사(1984), 서울대학교 전자공학과 석사(1986), 미 Illinois 대 (Urbana-Champaign) 공학 박사(1991). KIST 위촉 연구원(1986년 3월~1986년 7월), 미 Coordinated Science Lab (Urbana) 연구원(1987년 6월 ~ 1990년 3월), 미 Analog Devices 사 senior design engineer (1990년 3월 ~ 1993년 2월), 현재 서강대학교 전자공학과 부교수. 주관심분야는 집적회로 설계, 데이터 변환기 (A/D, D/A) 설계 등임



車 有 珍(正會員)

1972년 10월 29일생. 1997년 2월 서강대학교 물리학과 학사. 현재 서강대학교 전자공학과 대학원 재학중. 주관심분야는 CCD 카메라 인터페이스 회로 설계, 고속 고해상도 샘플 앤 홀드 증폭기 설계 등임