

論文99-36C-5-2

VLSI 회로연결선의 효율적 해석을 위한 거시 모형 (Macromodels for Efficient Analysis of VLSI Interconnects)

白宗欽*, 金錫潤*

(Jong-Humn Baek and Seok-Yoon Kim)

요 약

본 논문은 다양한 회로 연결선 모형 중에서 연결선 변수 및 동작 환경에 따라 최적 모형을 쉽게 선택할 수 있는 기준을 제시하고자 한다. 이를 위하여 먼저 연결선의 총 저항, 인덕턴스, 커패시턴스 값 및 신호의 동작주파수를 기반으로 정량적 모형화 오차 분석에 근거하여 인덕턴스의 영향을 고려하여 모형화해야 하는 RLC-class 모형 영역과 그럴 필요가 없는 RC-class 모형 영역으로 분할하는 방법을 제시한다. 칩 내부 연결선의 대부분을 차지하는 RC-class 회로 모형은 모형 차수 축소 기법을 통하여 효율적으로 해석될 수 있다. RLC-class 회로 모형은 주어진 허용 모형화 오차 및 전기 변수에 따라 ILC(Iterative Ladder Circuit) 거시 모형, MC(Method of Characteristics) 거시 모형 및 상태 기반 컨벌루션(convolution) 방법 중에서 최적인 모형을 선정하게 된다. 본 논문은 SPICE류의 범용 회로 시뮬레이션 알고리즘을 가정할 때, 세부 모형들의 시뮬레이션 비용을 감안하고자 최적 모형을 찾는 영역 구성도를 제시한다. 본 논문에서 제시하는 거시모형화 방법은 회로의 수동성을 유지하며, 따라서 무조건적 안정도를 보장할 수 있다.

Abstract

This paper presents a metric that can guide to optimal circuit models for interconnects among various models, given interconnect parameters and operating environment. To get this goal, we categorize interconnects into RC-class and RLC-class model domains based on the quantitative modeling error analysis using total resistance, inductance and capacitance of interconnects as well as operating frequency. RC-class circuit models, which include most on-chip interconnects, can be efficiently analyzed by using the model-order reduction techniques. RLC-class circuit models are constructed using one of three candidates, ILC(Iterative Ladder Circuit) macromodels, MC(Method of Characteristics) macromodels and state-based convolution method, the selection process of which is based upon the allowable modeling error and electrical parameters of interconnects. We propose the model domain diagram leading to optimal circuit models and the division of model domains has been achieved considering the simulation cost of macromodels under the environmental assumption of the general purpose circuit simulator such as SPICE. The macromodeling method presented in this paper keeps the passivity of the original interconnects and accordingly guarantees the unconditional stability of circuit models.

* 正會員, 崇實大學校 컴퓨터學科
(Soongsil University, Graduate School, School of
Computing)

※ 본 연구는 1996년도 핵심 전문 지원과제(과제 번호:
961-0907-040-2)에 의하여 연구되었음
接受日字: 1999年1月27日, 수정완료일: 1999年4月26日

I. 서론

최근의 초고집적 회로의 기술 수준은 $0.35\mu\text{m}$ 이하의 회로선폭의 제조와 한 칩 내에 수 백만~수 천만 개가 넘는 소자를 집적할 수 있게 되었다. 이와 더불어 system-on-chip화 경향을 뒷받침하기 위하여 die size가 점증하는 추세를 보이게 됨에 따라 clock 신호 배선망 등의 전체적인 신호 연결선들은 더욱 길어지는 현상이 두드러지고 있다. 즉, 소자의 크기 축소와 성능 개선 등으로 말미암아 동작속도는 증가되었지만, 클럭 배선망과 같이 칩 전체에 걸쳐있는 신호선들은 상대적으로 길이가 증가함으로써 칩의 최대 동작 속도에 영향을 미치게 되었다.

10 여년 전부터 반도체 설계자들은 칩 내부의 도선에 대한 해석, 설계 및 제조의 중요성을 인식하고, 이를 위한 도선 모델링과 해석분야에 많은 연구를 수행해 왔다^[1]. 그 결과, VLSI 회로 연결선의 시뮬레이션과 타이밍 검증을 위한 몇 가지 모델링 기법과 해석 기법이 개발되었다^{[2]-[8]}. 그러나, 이러한 대부분의 기법들은 어느 특정 부류의 연결선 시뮬레이션이나 타이밍 검증에 대해서는 우수한 효율성과 정확성을 지니지만, 연결선의 종류가 바뀐다든지 하면 적용할 수 없게 되거나 우수한 특성을 잃게 되는 한계를 갖고 있다. 이러한 문제는 많은 해석 도구들이 특정한 알고리즘의 틀 내에서 다양한 종류의 연결선들을 수용하려는 데서 발생한 것으로 보인다. 그러므로, 회로 연결선 해석 문제에 있어서 합리적인 한 가지 접근 방법은 해석 및 검증 도구는 다양한 모형을 구비하되, 연결선 변수 및 동작 환경에 따라 최적 모형을 쉽게 선택할 수 있는 기준을 정의함으로써 주어진 연결선 변수의 최적 회로 모형을 자동 생성해내는 환경을 갖추는 방향으로 모색할 수 있다.

집적회로의 집적도 고도화 추세와 함께 clock 속도가 수백 MHz를 넘어서게 됨에 따라 설계자들은 회로의 시간 지연뿐만 아니라 잡음 문제에도 신경을 쓰지 않을 수 없게 되었다. 즉, 칩내부 연결선에서도 전송선 효과가 발생하는 경우가 생기게 되었고, 이러한 영향은 칩내부 연결선을 모형화하고 해석할 때 인덕턴스 효과를 반영해야 하는지에 대한 논란을 야기시켰다. 연결선의 회로 모형 구성에서 우선적으로 고려해야 하는 문제는 이러한 회로 인덕턴스 성분의 모형화 여부이다. 허용 오차 한계 내에서 관심 노드의 회로 파형

이 RC-class 회로 모형으로 충분히 모형화된다면 RLC-class 모형을 이용함으로써 야기되는 회로 해석의 복잡도를 낮출 수 있기 때문이다.

회로 연결선의 모형화 문제는 오랫동안 연구의 주제가 되어 왔고 산업 현장에서 자주 부딪히는 문제임에도 불구하고 많은 설계자들이 어렵게 느끼고 있는 과제이다. 이는 해결 방법과 결부되어 있는 복잡한 수학적 배경 지식의 필요와 다양한 회로 모형의 혼재 때문으로 보인다. 예를 들어, 최근에 칩내부 연결선의 모형화에 많이 이용되는 AWE(Asymptotic Waveform Evaluation)^[9]와 같은 모형 차수 축소기법은 손실이 매우 큰 연결선들에 대해서는 매우 효율적이다^[10]. 그러나, 이러한 모형 차수 축소기법은 저손실(low-loss), 또는 무손실(lossless) 연결선들에 대해서는 크게 효율적이지는 못하다. 왜냐하면, 저손실 또는 무손실 전송선의 팬아웃(fan-out) 노드에서의 실효 대역폭은 손실이 큰 전송선에 비해서 크므로 동일한 모형화 오차 한계 내에서 필요한 모형 차수는 더 높아지게 된다. 이는 차수 축소 모형을 이용할 경우 동일한 신호 대역폭에 대해서 무손실 전송선의 축소 모형이 손실이 큰 전송선의 축소 모형보다 훨씬 복잡해짐을 뜻한다.

위의 예는 어느 다양한 연결선들을 한가지 모형만으로 모형화하는 것은 최적해가 아님을 보여준다. 결국, 무손실 또는 저손실 전송선은 MC(Method of Characteristics) 모형이나 이를 변형한 모형을 이용함으로써 복잡도를 낮출 수 있다는 것이 보여졌다^{[2], [4], [6]}. MC 모형은 무손실 전송선의 순수 시간지연 성분을 모형화하는 기법으로서 효율성이 가장 좋은 것으로 입증되었으며 대부분의 SPICE에서 채택되고 있다^[3]. 저손실 전송선의 경우에는 저항이 직렬로 연결된 몇 개의 MC 셀(cell)을 캐스캐이딩(cascading)하여 모형화함으로써 MC 거시 모형(macromodel)으로 확장될 수 있다^{[11], [12]}. 그러나, 이 방법은 전송선의 손실이 증가하게 되면 더욱 세밀하게 분할하여야 하므로 많은 수의 MC 셀이 필요하게 되어 효율성은 점점 떨어지게 된다. 반면에, 손실이 커지게 되면 유효 대역폭이 줄어들므로 ILC(iterative lumped circuit) 모형이 효율적이다. 즉, 손실이 매우 클 때에는 ILC 모형의 차수를 축소하지 않고서도 캐스캐이드된 MC 셀 모형보다 더 효율적이 된다.

이상에서 서술한 것처럼 효율적인 해석을 위해 회로

연결선의 적절한 모형을 선정하는 작업은 중요하고도 어려운 일이다. 더욱이 궁극적으로 이 모형 선정 과정은 설계자의 개입없이 설계해석 도구 안에서 자동적으로 이루어져야 할 것이다. 본 논문은 먼저 연결선의 단위 길이당 R, L, C 변수 값, 길이 및 신호의 동작 주파수를 기반으로 L의 영향을 고려하여 모형화해야 하는 경우(RLC-class)와 그럴 필요가 없는 경우(RC-class)를 정량적 모형화 오차 분석에 근거하여 모형 영역으로 분할하는 방법을 제시하고자 한다. 연결선을 이렇게 큰 모형 영역으로 분류한 다음에 고려해야 할 사항은 세부 모형화 방법이다. 즉, RLC-class의 연결선 모형화 방법에도 근사 집중회로 모형에서부터 상태 기반 convolution 방법^{[7], [13]}까지 다양한 방법이 존재하므로 그 중에서 어떤 모형을 사용할 것인가의 문제가 남는다. 본 논문은 SPICE (Simulation Program with Integrated Circuit Emphasis)류의 범용 회로 시뮬레이션 알고리즘을 가정할 때, 세부 모형들의 시뮬레이션 비용을 감안하고서 최적 모형을 찾는 영역 구성도를 제시한다.

본 논문에서 제시하는 분할된 모형 영역에서 쓰이는 회로 모형을 선정할 때 특히 유의할 점은 이들 모형이 무조건적으로 안정한(unconditionally stable) 모형이어야 한다는 점이다. 왜냐하면 독립 전압원과 선형 회로만으로 이루어진 회로는 모형의 축소 여부와 관계없이 내부적 안정도(internal stability)만 만족하면 해석이 가능하지만, 연결선 모형을 범용 시뮬레이터 내에서 트랜지스터 등의 능동 회로와 함께 시뮬레이션할 수 있기 위해서는 더 까다로운 조건인 무조건적 안정도를 만족해야 하기 때문이다. 본 논문에서 제시하는 모형화 방법은 주어진 정확도 및 전기 변수에 따라 RC-class 축소 모형, ILC 거시 모형, MC 거시 모형 중에서 최적인 모형을 선정하게 된다. ILC 모형과 MC 모형은 차수 축소 방법을 사용하지 않으므로 물리적인 수동성(passivity)을 보장할 수 있으며, 따라서 무조건적 안정도를 보장할 수 있다^[14]. 반면에, AWE와 같이 Pade 기법을 거쳐서 얻어진 차수 축소 모형은 구동 회로의 내부 임피던스가 변하므로 내부 안정하지만 무조건적 안정하지 못한 연결선 망과 조합될 때 전체 시스템은 불안정한 시스템이 될 수 있다^[15]. RC-class 축소 모형의 안정도 문제는 많은 연구가 이루어지고 있으며, 저차 모형의 안정도는 용이하게 보장할 수 있다^[27]. 칩내부 연결선 모형의 경우

는 대부분이 저차의 축소 모형으로 귀결되므로 위에서 언급한 세 모형 모두 다 안정한 모형이 되며, 이들을 사용한 회로 시뮬레이션도 수렴하게 된다.

본 논문의 구성은 다음과 같다. RLC-class 연결선의 모형화 과정에서 무시할 수 없는 문제의 하나는 전기적 변수들의 주파수 의존성이며, 특히 인덕턴스의 주파수 의존성은 설계자들의 많은 관심사가 되고 있다. 이 문제에 대한 지침과 주파수 의존성에 대해서는 II절에서 자세하게 다룰 것이다. III절에서는 RLC-class 연결선의 모형화 방법에 대해서 논의할 것이며, IV절에서는 본 논문에서 제시하는 거시모형의 모형화 오차 분석을 수행한다. V절에서는 허용 오차 한계 내에서 최적 모형을 선정할 수 있는 영역도(diagram)를 제시할 것이며, VI절에서는 V절의 영역도를 사용한 실험 결과를 보일 것이다. VII절에서는 본 논문을 요약, 정리한다.

II. 칩 내부 회로 연결선에서 인덕턴스의 모형화 문제

현재의 극미세선폭 VLSI 회로들에서는 연결선에서의 시간 지연이 셀이나 게이트에서의 시간 지연보다 더 큰 비중을 갖는 경우가 흔해지게 되었다^{[16]-[19]}. 이러한 추세는 공정 기술의 발전에 따른 소자 크기의 지속적인 감소와 다이 면적의 증가에 따라 더욱 두드러지리라 예상되며, 그에 따라 칩 내부 연결선에서도 인덕턴스 효과를 무시할 수 없게 되어 가고 있다. 실제로 최근의 고성능 마이크로 설계에서는 인덕턴스 효과가 설계과정에 영향을 미치고 있음을 알 수 있다^[17]. 즉, 복잡한 회로를 정확하게 설계하기 위해서는, 더 정확한 신호 전파 특성과 연결선의 모형화가 요구된다. 현재의 기술 수준에서는 대부분의 칩내부 연결선들을 인덕턴스의 영향을 무시한 RC-class 모형으로 모형화하여 해석하고 있는데, 그 이유는 인덕턴스 효과가 크지 않다면 이를 무시한 모형의 해석이 훨씬 간편하기 때문이다.

초기의 VLSI 설계에서는 칩 내부 연결선들의 타이밍 특성을 분석하기 위하여 연결선을 한 개의 집중 커패시턴스 소자로 모형화하였다. 이후, 단위 소자의 크기가 축소되고 칩의 크기가 커짐에 따라, 연결선의 평균 길이는 증가하는 반면에 연결선의 단면적은 감소하게 되었다. 그 결과, 연결선의 저항이 증가하게 되었

고, 따라서 RC- 사다리(ladder), 망(mesh), 트리(tree) 등을 이용한 보다 정확한 연결선 모형이 필요하게 되었다. 연결선의 가장 단순한 모형으로서는 T-section 또는 Π -section이라 불리는 RC 집중소자 모형이 이용되었으며, 이보다 더 정확한 해석을 요구하는 네트(net)들에 대해서는 정확성을 향상시키기 위하여 여러 개의 T- 또는 Π -section을 사용하여 모형화하였다. 이러한 RC-class 모형화 방법은 고속 칩에서도 길이가 짧은 국부적 연결선들에 대해서는 적용할 수 있다.

현재의 VLSI 제조 기술은 여러 층의 금속 배선층을 사용하며, 위층일수록 두꺼운 점을 활용하여 상위 배선층은 전력 배선망, 클락 배선망 및 고속 신호선 등의 용도로 사용하고 있다. 이러한 전역(global) 연결선들에서는 인덕턴스에 기인한 임피던스($j\omega L$)의 크기가 저항에 비해 무시할 수 없게 되는 경우가 생기며 이러한 추세는 구리 배선을 채택하게 되면 더욱 두드러질 것으로 보인다. 그렇다고 해서 모든 연결선들의 인덕턴스 효과를 모형화하는 것은 효율적인 방법이 아니므로, 어떤 경우에 연결선의 인덕턴스 성분을 모형에 반영해야 하는지를 판별해줄 수 있는 척도가 필요하다. II-1절에서는 연결선의 전기적 변수와 동작 주파수가 주어지면 이를 RC-class 모형과 RLC-class 모형 중에서 어떤 모형으로 모형화해야 하는지를 판별하는 방법에 대해 기술하고자 한다. RLC-class 모형화 방법으로 인덕턴스의 영향을 반영하기로 결정이 되었다면, 그 다음에 제기되는 문제는 인덕턴스의 주파수 의존성을 반영할 것인지의 여부이다. 이에 대한 논의를 II-2절에서 하고자 한다.

1. 회로 연결선의 RLC-class 모형화를 위한 필요조건

최근의 극미세선폭 회로에서는 신호의 상승 및 하강 시간이 빨라지고, 신호선의 전기적 길이가 길어짐에 따라 인덕턴스 효과를 고려하지 않을 수 없는 경우가 발생하고 있다. 이러한 현상은 폭이 넓은 연결선(위쪽의 금속 배선층)에서 쉽게 볼 수 있다. 상층의 연결선들은 저항은 작은 편이지만 상대적으로 큰 유도성 리액턴스 성분을 가질 수 있다. 더욱이, 성능 향상의 한 방편으로서 저 저항 연결선을 위하여 새로운 재료가 도입되고 있고^[20], 특별한 경우에는 상온의 초전도체가 상업적으로 이용될 것이다^[21]. 이러한 경향에 따라, 고속, 고성능 VLSI 회로에서 인덕턴스 효과가 우

세한 네트(net)들을 결정할 수 있는 척도가 필요해지고 있다.

본 절에서는 시간 지연이나 신호 결합(coupling)의 해석을 위한 칩 내부 연결선의 모형화 시에 인덕턴스 효과를 반영하기 위하여 RLC-class 모형화 여부를 결정하는 척도를 제시하고자 한다. 즉, 회로 연결선의 RLC-class 모형화를 위한 필요 조건을 유도하고자 하며, 이 조건을 만족하면 RC-class 모형화로서는 오차 한계 이내의 연결선 모형화가 어려움을 뜻한다. 이 척도는 두 관점에서 유도할 수 있는데, 하나는 정량적인 개념으로서 '실제적 파형의 관점에서 RLC-class 모형화 결과와 RC-class 모형화 결과가 오차 한계 이상의 차이를 낼 수 있는가?' 하는 관점과 다른 하나는 정성적인 개념으로서 모형화가 불가피한 일련의 조건을 규정하는 것이다. 본 절에서는 이 두 가지 방향의 대표적 연구를 먼저 소개하고, 이들의 불충분한 점을 보완하기 위하여 변수 정규화 개념을 통하여 이들을 통합할 것이다. 이렇게 함으로써 다음 장에서 제시할 허용 오차 한계 내의 최적 연결선 모형화 방법을 위한 모형 선정 기준을 정의할 것이다.

Deutsch^[22]에 의하면 연결선의 RLC modeling을 위한 필요 조건은 다음과 같다.

$$\frac{Rl}{Z_0} < 1 \quad (2.1)$$

$$Z_{drive} < Z_0 \quad (2.2)$$

$$C_L \ll C_i \quad (2.3)$$

여기서, l 은 연결선의 길이, $Z_0 = \sqrt{\frac{L}{C}}$ 은 특성 임피던스, R 은 연결선의 단위 길이 당 저항, C 는 연결선의 단위 길이 당 커패시턴스, C_L 은 부하단의 용량성 부하(load)이고, Z_{drive} 은 구동회로의 출력 임피던스이다. 식 (2.1)은 연결선이 LC 특성을 보이기 위한 필요 조건으로서, 작은 저항 손실을 뜻한다. 식 (2.2)는 연결선 임피던스보다 구동 회로의 임피던스가 작아야 대부분의 에너지를 연결선에 전달할 수 있음을 의미하며, 이렇게 되면 구동회로의 지연이 비행 시간을 제외한 연결선 지연 값보다 작게 된다. 식 (2.3)은 연결선의 전기적 특성이 회로 변수로서 역할을 하기 위한 필요 조건이다. 식 (2.1)은 연결선 자체의 특성을 고려한 식이며, 식 (2.2)와 (2.3)은 연결선과 구동 회로 또는 부하측과의 상관 관계를 감안한 식이다. 식 (2.2) 및

(2.3)은 관심의 대상이 CMOS 회로의 클락 배분망과 같은 전역 연결선의 경우라면 대부분 만족이 된다^[30].

다른 관점에서, 연결선의 전기 변수와 신호의 최대 동작 주파수, 신호 파형의 감쇄 정도에 기반하여 인덕턴스의 고려 여부를 결정하는 방법도 있다^[23]. Ismail^[23]은 신호 상승 시간과 연결선의 길이로써 인덕턴스 효과가 중요하게되는 영역을 표시하였으며, L과 C의 변화에 따른 영역의 변화도 함께 기술하였고, 그 조건은 다음과 같다.

$$\frac{t_r}{2\sqrt{LC}} < 1 < \frac{2}{R}\sqrt{\frac{L}{C}} \quad (2.4)$$

식 (2.4)의 왼쪽 부등식의 의미는 신호 상승 시간이 연결선의 비행 시간 보다 짧을 경우에만 인덕턴스 효과를 고려할 필요가 있다는 뜻이고, 오른쪽 부등식은 연결선의 신호 감쇄 정도를 나타내는 damping율이 작을 때에만 인덕턴스 효과를 고려하라는 뜻이다. 식 (2.4)의 오른쪽 부등식은 식 (2.1)과 동치임을 알 수 있다.

본 논문은 범용 회로 해석 도구 내부에서 연결선의 전기 변수들이 주어질 때 가장 적합한 회로 모형을 자동적으로 구성할 수 있는 환경 설정을 염두에 두고 있다. 이 목적을 위해서는 위 식들의 변수 수가 너무 많으므로 정규화(normalization)를 통하여 간편화하고자 한다. 연결선의 전기 변수인 단위 길이당 저항, 인덕턴스, 커패시턴스 및 컨덕턴스를 R, L, C, G로 나타내기로 한다. 그러면, 아래 식(2.5)와 같이 정규화된(normalized), 저항 R_n , 컨덕턴스 G_n , 최대 주파수 ω_n 을 정의함으로써 앞으로 다루게 될 인수의 수를 줄일 수 있다.

$$\begin{cases} R_n = \frac{Rl}{Z_o} = \frac{Rl}{\sqrt{L/C}} \\ G_n = GlZ_o = Gn\sqrt{L/C} \\ \omega_n = \omega T_l = \omega\sqrt{LC} \end{cases} \quad (2.5)$$

식 (2.5)에서 T_l 는 연결선의 고주파 비행 시간이며, ω 는 라디안(radian)으로 표시된 실효 대역폭(신호의 최대 주파수)이다. 실제적 환경에서는 신호의 대역폭을 유한하다고 가정할 수 있는데, 실효(effective) 대역폭, ω 는 다음과 같이 정의 할 수 있다.

$$\omega = \frac{k_0}{t_r} \quad (2.6)$$

식 (2.6)에서 k_0 는 3 dB 대역폭 점을 고려할 때는 2.2, 보다 보수적인 관점에서는 2π 의 값을 갖는다.

이제 정규화 변수들을 이용하여 위의 식 (2.1) - (2.4)를 정리하면 연결선의 RLC-class 모형화를 위한 필요 조건은 다음 식 (2.7)과 같다.

$$\begin{cases} Z_{drive} < Z_o \\ C_L \ll Cl \\ R_n < 2 \\ \omega_n > \frac{k_0}{2} \end{cases} \quad (2.7)$$

식 (2.7)은 IV절에서 다루게 될 모형 영역 분할에서 이용될 것이다.

2. 자기(self) 및 상호(mutual) 인덕턴스의 주파수 의존성

마이크로스트립(microstrip) 선로나 스트립라인(stripline) 선로는 포피효과(skin effect)와 근접효과(proximity)로 일컬어지는 전류의 지역적 밀집 현상 때문에 주파수 의존적 특성을 갖는다는 사실은 잘 알려져 있다. 일반적인 클락 배분망의 한 부분을 살펴보면, 아래 그림 1의 구조와 같다고 볼 수 있다. 이 구조의 인덕턴스에 대해서 주파수 의존성을 논의하기로 한다. 그림 1의 클락 신호선의 자기 인덕턴스는 3차원 Fast Henry 프로그램^[24]을 사용하여 추출할 수 있으며, 그래프로 나타내면 그림 2와 같다.

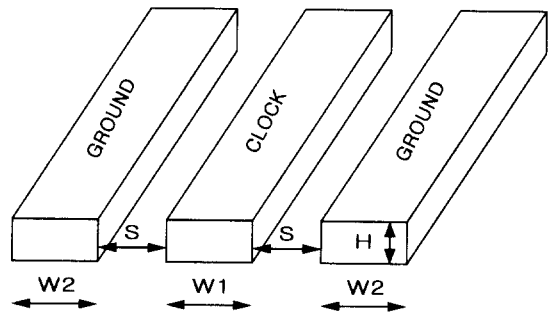


그림 1. 전형적인 클락 배분선의 구조
Fig. 1. Typical clock distribution line structure.

그림 2에서 보면, 주어진 기하 구조하에서 자기 인덕턴스만을 고려할 때 25GHz(이를 corner 주파수라고 부름)까지의 주파수 대역을 저주파로 간주할 수 있으며, 따라서 주파수 의존성을 고려한 모형화가 불필요함을 알 수 있다^[23].

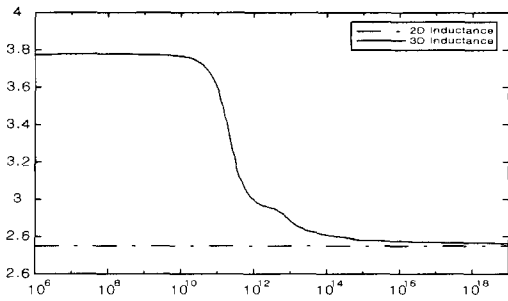


그림 2. 그림 1 구조의 자기 Inductance 값 ($W1 = W2 = S = 1\mu m$)
 Fig. 2. Self inductance value for structure in Figure. 1 ($W1 = W2 = S = 1\mu m$).

그러나, 기하구조의 변화하게 되면, 자기 인덕턴스 값도 민감하게 변화한다. 즉, 자기 인덕턴스는 선폭이 증가하면 감소하고, 연결선들간의 간격이 증가하면 증가한다. 물론, 그라운드 기하구조와 배치에 따라서도 이 값은 변화한다. 자기 인덕턴스의 corner 주파수는 도체가 얇아질수록 그만큼 더 높아지며, 새로운 소자 및 공정 기술에서는 도체의 폭이 지속적으로 줄어들고 있으므로 corner 주파수는 증가하고 있는 추세이다. 그러나, 두 도체로 전류 경로를 구성했을 때 총 루프(loop) 인덕턴스는 식 (2.8)과 같이 전류 벡터의 방향을 고려하여 주위지므로,

$$L_{loop} = L_{11} + L_{22} - (L_{12} + L_{21}) \quad (2.8)$$

상호 인덕턴스를 고려한다면 종합적인 인덕턴스의 corner 주파수는 수십 GHz에서 수 GHz로 감소할 수 있다^[25]. 이렇게 되면, 앞으로의 극미세선폭 기술에서는 연결선의 모형을 위해 인덕턴스의 주파수 의존성을 고려하지 않을 수 없게 될 것이다.

그림 1의 구조에 대해서 수치 예를 살펴 보면 다음과 같다. 100 psec의 상승 및 하강 시간을 갖는 신호의 근사 대역폭을 식 (2.6)을 이용하여 구하면, $f_{max} = 3.5GHz$ 가 된다($k_0=2.2$). 이 주파수에서 L_{loop} 는 32% 감소하였다. 이러한 변화는 표피 효과보다는 주로 근접 효과에 의해 발생한 것이다. 왜냐하면, 3.5GHz에서의 표피 깊이(skin depth)는 $1.3\mu m$ 이고, 그림 1 구조의 최대 단면 치수는 $1\mu m$ 이기 때문이다(저항률= $2e-6\Omega cm$ 일 때). 인덕턴스에서의 이러한 주파수 의존성은 RLC-class 연결선의 모형화 문제를 어렵게 만들고 있다. 도체의 주파수 의존성을 모형화하는 데는 여러 기법이 제시되고 있으나, 본 논문에서

는 SPICE와의 호환성을 위하여 근사 집중회로 소자로 표현되는 모형을 채택하였으며, 그림 3에 그 구조를 도시하였다. 그림 3의 모형은 표피효과의 반영을 위해서 횡공진 기법(transverse resonance technique)^[26]을, 근접효과의 반영을 위해서 콘포멀 매핑(conformal mapping) 기법을 이용하였다^[14].

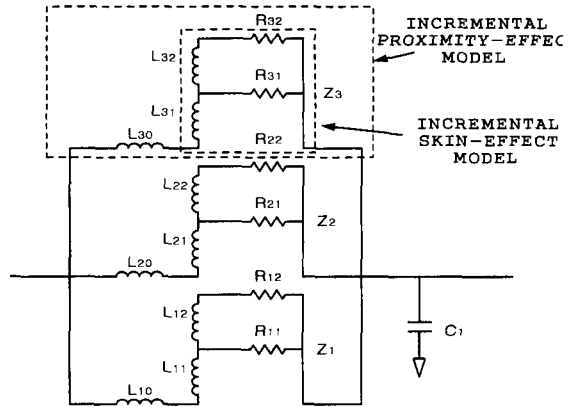


그림 3. 근접효과와 표피효과를 반영한 기본 셀 모형
 Fig. 3. Basic cell to model frequency dependence due to proximity and skin effects.

III. RLC-class 연결선의 거시 모형

회로 연결선의 인덕턴스의 영향을 반영하여 RLC-class로 모형화하기로 결정하면, 이 부류의 여러 연결선 모형화 기법 중에서 적합한 모형을 선정해야 한다. 본 논문에서는 세 종류의 RLC-class 연결선의 거시 모형을 제시하며, 이의 선택은 V절에서 제시하는 오차분석에 바탕한 최적 모형 분할도를 따르면 된다. 이 부류의 연결선은 일반적으로 불균일(nonuniform) 전송선으로 볼 수 있으나, 이를 여러 조각으로 분해한다면 분해된 각 조각은 균일(uniform)하다고 가정할 수 있으므로 본 논문에서는 균일 전송선만을 관심의 대상으로 한다. 균일 전송선은 단일 전송선과 결합 전송선으로 먼저 나눌 수 있으며, 단일 전송선은 다시 고손실 전송선과 무/저손실 전송선으로 분류하여 각 경우에 적합한 거시 모형을 제시하고자 한다. 이 세 경우 모두는 주파수 독립 특성을 가정하고 있으며, 그 이유는 주파수 의존 특성은 II-2절에서 기술한대로 특성화하게 되면 주파수 독립적인 셀 구조(예를 들어, 그림 3)로서 표현할 수 있기 때문이다.

1. 단일 고손실 전송선

단일한 고손실 전송선의 회로 모형은 그림 4에 나타난 바와 같이 축차 사다리 회로 (iterative ladder circuit; ILC)를 이용하여 모형화할 수 있다. 그림 4의 망은 Y-인수를 사용하여 식 (3.1)과 같이 표현된다.

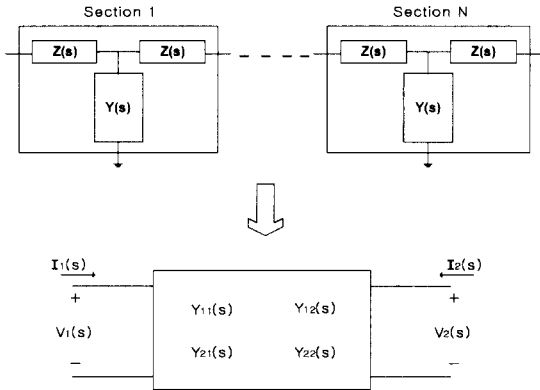


그림 4. 단일 고손실 전송선의 ILC 모형
Fig. 4. ILC representation of a simple, uniform lossy line.

$$Y_{11}^N(s) = \frac{Y \prod_{i=1}^N [1 + YZ - \cos \frac{(2i-1)\pi}{2N}]}{[(1 + YZ)^2 - 1] \prod_{i=1}^{N-1} [1 + YZ - \cos \frac{i\pi}{N}]}$$

$$Y_{12}^N(s) = \frac{-Y}{2^{N-1} [(1 + YZ)^2 - 1] \prod_{i=1}^{N-1} [1 + YZ - \cos \frac{i\pi}{N}]}$$

(3.1)

식 (3.1)에서 Z 및 Y는 그림 4의 각 셀에서의 직렬 임피던스와 병렬 어드미턴스를, N은 셀의 수를 의미한다. 예를 들어 그림 3과 같은 구조의 Z는 9차의 유리 함수로 표현된다. 연결선을 그림 4와 같이 N 개의 집중 회로 조각으로 모형화한 모양을 ILC 거시모형이라고 부르기로 한다. ILC 거시모형은 SPICE와 같은 범용 시뮬레이터 내에서 집중 회로 소자인 R, L, C 소자를 사용하여 부회로(subcircuit) 형태로 실현될 수도 있지만, 효율성의 증진을 위해서는 2-port 소자로서 구현되어 직접적으로 스텐일(stencil)될 수 있다^[27].

균일하고, 가역(reciprocal)망인 경우 $Y_{12}^N(s) = Y_{21}^N(s)$ 및 $Y_{11}^N(s) = Y_{22}^N(s)$ 의 관계가 성립한다. N값의 최저치는 실효 대역폭, 비행 시간, 특성 임피던스

손실 저항 및 허용 오차 등의 함수이며 오차 분석을 통하여 산출할 수 있다. 이상적인 전송선의 경우 무한 개의 pole을 갖는 분포 정수 회로이므로 양 port에서의 어드미턴스는 식 (3.2)로 주어지는 Telegrapher 방정식 형태이다.

$$\begin{cases} Y_{11}^\infty(s) = \coth \gamma l / Z_c \\ Y_{12}^\infty(s) = -\operatorname{cosech} \gamma l / Z_c \end{cases} \quad (3.2)$$

식 (3.2)에서 γ 는 전파상수이며, l 은 전송선의 길이이다. IV절에서 행할 오차 분석이란 위의 식 (3.2)와 식 (3.1)로 주어진 ILC 거시모형의 Y-인수와의 상대 오차를 정의하고, 이의 N 값에 따른 변화를 관측함을 말한다.

2. 단일 무손실/저손실 전송선

무손실(lossless) 연결선에 있어서, 표준 Telegrapher 방정식은 직접 적분 가능한 상(ordinary) 미분 방정식으로 변환될 수 있다. 이러한 경우에는 특성 방법(method of characteristics; MC)에 의해 풀 수 있는데, 고전적인 MC는 시스템의 특성 방향을 따라 변수들을 분리함으로써 포물형(hyperbolic) 편미분 방정식을 푸는 수학적 기법을 일컫는다^[3]. 본 논문에서는 고전적인 MC를 확장함으로써 손실이 0이 아닌 전송선의 경우에 적용할 수 있는 근사적 모형 방법을 제시한다. 저항 또는 임피던스 소자와 순수한 MC 셀을 교차적으로 배열하는 방법으로 저손실 전송선을 모형화할 수 있으며, 이를 MC 거시모형이라 부르기로 한다. 전송선 시스템은 다음과 같은 행렬식으로 표현될 수 있다.

$$\frac{d}{dx} \lambda(s, x) = (\phi + s\psi) \lambda(s, x) \quad (3.3)$$

식 (3.3)에서,

$$\lambda(s, x) = \begin{bmatrix} V(s, x) \\ I(s, x) \end{bmatrix}, \quad \phi = \begin{bmatrix} 0 & -R \\ -G & 0 \end{bmatrix},$$

$$\psi = \begin{bmatrix} 0 & -L \\ -C & 0 \end{bmatrix} \quad (3.4)$$

식 (3.4)의 x 는 전송선상에서 관측지점의 원점으로 부터의 거리를 말한다. 식(3.4)의 미분 방정식은 다음과 같은 형태의 단일 해를 갖는다.

$$\lambda(s, x) = e^{(\theta + s\psi)x} \lambda(s, 0) \quad (3.5)$$

길이 l 인 지점(부하단)에서 이는 식 (3.6)의 값을 갖는다.

$$\lambda(s, l) = e^{(\theta + s\psi)l} \lambda(s, 0) \quad (3.6)$$

만약,

$$\begin{cases} \|s\psi l\| \ll 1 \\ \|\theta l\| \ll 1 \end{cases} \quad (3.7)$$

이라면,

$$e^{(\theta + s\psi)l} \approx e^{\theta l} \cdot e^{s\psi l} \quad (3.8)$$

이 성립한다. 따라서, 식(3.7)이 성립하면 주어진 전송선 시스템을 집중 저항소자와 순수한 시간 지연 소자를 사용하여 모형화할 수 있다. 순수한 시간 지연 소자는 회로 시뮬레이터 내에서 그림 5와 같이 구현된다 ($Y_0 = 1/Z_0$).

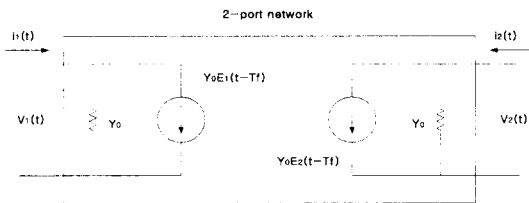


그림 5. 순수 시간 지연 소자(delay cell)의 구조
Fig. 5. Structure of the pure delay cell.

선 손실이 증가하거나 ($\|\theta l\|$ 증가), 비행 시간이 증가할 때 ($e^{\sqrt{LC}t}$, $e^{-\sqrt{LC}t}$ 는 $e^{s\psi l}$ 의 고유치이다)에는 식(3.7)의 관계가 성립하지 않게 된다. 만약, 전송선을 N 개의 조각으로 나누었을 때 각 셀의 파라미터들이 $\|s\psi l/M\| \ll 1$ 및 $\|\theta l/M\| \ll 1$ 을 만족한다면, 그림 6에서 보여지는 바와 같이 N 개의 MC 셀들의 캐스케이드 형태로 주어진 전송선을 모형화할 수 있다. 이때의 모형화 오차는 VI절에서 다룰 것이다.



그림 6. N개의 MC셀로 모형화한 저손실 전송선
Fig 6. Low-loss line modeled as a cascade of N MC-cells.

3. 결합 전송선

n 개의 도체로 이루어진 결합 전송선 시스템을 선

형방으로 보고 시스템 기술을 하면,

$$\frac{d}{dx} \begin{bmatrix} V \\ I \end{bmatrix} = - \begin{bmatrix} 0 & Z_l \\ Y_l & 0 \end{bmatrix} \begin{bmatrix} V \\ I \end{bmatrix} \quad (3.9)$$

식 (3.9)에서 $V = [V_i]_{[n \times 1]}$ 및 $I = [I_i]_{[n \times 1]}$ 는 각각 i 번째 도체의 port 전압과 전류를 나타낸다. 도체의 총 직렬 임피던스 행렬은 $Z_l = Z_l$, 총 병렬 어드미턴스 행렬은 $Y_l = Y_l$ 로 정의한다. l 시 단위 길이당 임피던스와 어드미턴스 행렬은 각각 $Z = [R_{ij} + j\omega L_{ij}]_{[n \times n]}$, $Y = [G_{ij} + j\omega C_{ij}]_{[n \times n]}$ 이며, L_{ij} 와 C_{ij} 는 선들 상호간의 유도성 및 용량성 결합을 나타낸다($i \neq j$ 일 때, $R_{ij} = 0$, $G_{ij} = 0$).

선형 합동 변환자를 적용하면, 식 (3.9)의 해는 다음과 같이 표현된다.

$$\begin{bmatrix} V_l \\ -I_l \end{bmatrix} = \begin{bmatrix} M_v & 0 \\ 0 & (M_v^T)^{-1} \end{bmatrix} \cdot \begin{bmatrix} \text{diag}(\cosh(\gamma_k l)) & \text{diag}(Z_{0m} \sinh(\gamma_k l)) \\ \text{diag}(\sinh(\gamma_k l)/Z_{0m}) & \text{diag}(\cosh(\gamma_k l)) \end{bmatrix} \cdot \begin{bmatrix} M_v^{-1} & 0 \\ 0 & M_v^T \end{bmatrix} \begin{bmatrix} V(0) \\ -I(0) \end{bmatrix} \quad (3.10)$$

식 (3.10)에서 $Z_{0m} = \text{diag}[Z_{0m}]_{[n \times n]}$ 은 모달(modal) 임피던스 행렬이고, $A_m = \text{diag}[\gamma_i]_{[n \times n]}$ 은 모달 전파상수 행렬이며 $M_v = [v_{ij}]_{[n \times n]}$ 은 식 (3.11)을 만족하는 대각 고유벡터이다^[28].

$$\begin{aligned} Z_{0m} &= (Y_{0m})^{-1} = A_m^{-1} M_v Z_l M_v^{-1}, \\ M_v^{-1} Z_l M_v &= A_m^2 \end{aligned} \quad (3.11)$$

식 (3.10)을 실제의 회로 모형으로 나타내면 그림 7과 같다. 그림 7 내의 각 전송선들은 좌우의 선형 합동 변환자를 통하여 결합이 해체되었으므로, 독립된 단일 전송선으로 간주되어 ILC 또는 MC 거시모형으로 표현될 수 있다. 그러나, 동질 매체가 아닌(non-homogeneous) 일반적인 결합 전송선은 실수 변환자 행렬을 가지고는 분리할 수 없는 경우가 발생한다. 복소수 변환자 행렬은 연쇄 법칙(chain rule)^[29]을 사용하여 결합된 전송선들의 ABCD인수들을 대수적으로 계산하며, ABCD인수 행렬들을 Y-인수 행렬로 변환함으로써 Y-인수 거시 모형을 이용한 회로 레벨 시뮬레이션이 가능하게 된다^[15].

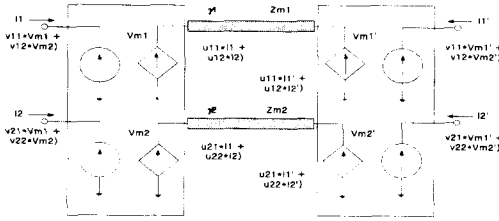


그림 7. 준 정적 가정 하에서 결합 전송선을 분리하는 방법([vij]는 전압 고유 벡터 행렬임)

Fig. 7. Schematic diagram of the decoupling method for coupled lines under the quasi-static assumption([vij] is the voltage eigenvector matrix).

IV. 거시 모형의 오차 분석

AWE와 같은 차수 축소 모형화 기법은 RC-class 연결선에 대하여 매우 효율적이다. 그러나, 연결선의 저손실화, 그리고 신호 스위칭 속도의 증가에 따른 신호의 실효 대역폭이 증가하고 유도성 리액턴스 효과가 두드러지게 됨에 따라 칩내부 연결선 중에서도 RLC-class로 모형화해야만 하는 경우가 생기게 되었다. ILC 거시모형들은 이들 중 비교적 손실이 큰 연결선들에 대하여 매우 효율적이다. 반면에 저손실 선들에 대하여는, 완벽한 파형과 비행 시간 지연을 정확히 파악하기 위하여 ILC 거시모형으로서는 매우 많은 수의 셀을 요구하게 되며, 따라서 효율을 감소시킨다. 이 경우에 MC 거시모형은 무손실선에 가까울수록 순수한 비행 시간 지연을 모형화하기 위한 이상적인 선택이 된다. 물론 캐스케이드된 MC 모형들은 선의 감쇄율이 증가할 때 비효율적이 되며 더 많은 수의 MC 셀들을 요구한다. 예외적으로, 길고 손실이 있는 전송선들에 대해서는 오히려 직접적인 방법인 상태 기반 컨벌루션 방법^{[7], [13]}이 훨씬 효율적이다. 본 절에서는 결합 연결선이 III절에서 설명한 방법을 사용하여 결합이 해제되었다고 가정하고서, 단일 전송선에 사용되는 거시모형들을 비교하고 모형화 오차를 측정함으로써 최적의 모형을 선택하는 방법을 제시한다.

주파수 영역 내에서 오차 분석은 ABCD인수, 특성 임피던스, 전파 함수 등을 사용하여 행할 수 있다^[28]. 그러나, 모형들의 오차는 단락 부하나 개방 부하와 같은 극단적 경우를 상징할 때 잘 설명될 수 있다. 극단적 경우는 시스템의 Y-, Z-인수를 이용하여 쉽게 표

현할 수 있다. 전송선 시스템에 대한 Y-인수에 있어서의 모형화 오차는 $\epsilon_Y = f(R, L, C, G, l, \omega, N)$ 와 같이 시스템 인수들의 함수로써 표현할 수 있다. 여기서 R, L, C, G는 각각 전송선의 단위 길이당 저항, 인덕턴스, 커패시턴스, 컨덕턴스이며, l은 선의 길이, ω 는 신호의 최대 주파수, 그리고 N은 사용되어진 셀의 수이다. 식 (2.5)와 같이 정규화된(normalized) 저항 R_n , 컨덕턴스 G_n , 최대 주파수 ω_n 을 정의하게 되면 모형화 오차 함수에서 인수의 수를 줄일 수 있으며 $\epsilon_Y = f(R_n, G_n, \omega_n, N)$ 모양으로 표현할 수 있다.

이상적이고 균일한 전송선의 경우에는 정확한 Y-인수들이 식(3.2)로 주어진다. 식(2.5)의 정규화된 인수들을 이용하여 Z_c , 전파상수를 표현하면 ($Z_0 = \sqrt{L/C}$),

$$Z_c = \sqrt{\frac{R+sL}{G+sC}} = Z_0 \sqrt{\frac{R_n + j\omega_n}{G_n + j\omega_n}}$$

$$\gamma l = N \sqrt{(R+sL)(G+sC)}$$

$$= \sqrt{(R_n + j\omega_n)(G_n + j\omega_n)} \tag{4.1}$$

실제적으로는 컨덕턴스 인수 G_n 이 매우 작으므로 단순화하기 위하여 $G \approx 0$ 로 가정한다(무시할 수 없는 컨덕턴스로 분석을 확장하기는 용이하다.). 따라서,

$$Z_c = \sqrt{\frac{R+sL}{G+sC}} = \sqrt{-\omega_n^2 + jR_n\omega_n} \left(\frac{Z_0}{j\omega_n} \right), G = 0,$$

$$\gamma l = \sqrt{-\omega_n^2 + jR_n\omega_n} \tag{4.2}$$

이렇게 되면 $\epsilon_Y = f(R_n, \omega_n, N)$ 꼴이 된다.

N 개의 셀로 표현된 거시모형의 상대적인 모형화 오차는 다음과 같이 정의된다.

$$\epsilon_{Y_n}(R_n, \omega_n, N) = \left| \frac{Y_{ij}^\infty(j\omega_n) - Y_{ij}^N(j\omega_n)}{Y_{ij}^\infty(j\omega_n)} \right| \tag{4.3}$$

식 (4.3)에서 Y_{ij}^N 는 집중 소자를 이용한 N-cell 모형의 Y-인수들을 의미한다. 따라서 N-cell ILC 거시모형에 대한 모형화 오차는 식(3.1)과 식(3.2)를 식 (4.3)에 대입하여 R_n 과 ω_n 함수로 표현함으로써 얻어진다. MC 거시모형의 경우에는 한 개의 MC 셀의 ABCD 인수 표현을 얻은 다음, 이를 연쇄 법칙(chain rule)을 이용하여 N 개 캐스케이드 연결한 거시모형의 ABCD 인수로 표현한다. 이 ABCD 인수 표현을 Y-인수 표현으로 변환하여 식 (4.3)에 대입하면 MC 거시모형의 모형화 오차를 얻을 수 있다^[27].

V. 거시모형의 최적 영역 분할

AWE기법은 집중 회로를 매우 적은 수의 대표적 pole만으로 특성화함으로써 차수 축소 모형을 제공한다. 이 방법은 연결선 내부의 저항의 영향이 인덕턴스의 영향을 충분히 능가할 때 매우 정확하고 효과적이다. 그러므로 주어진 연결선의 전기 변수에 대하여 II절의 식 (2.7)의 조건을 검사하여 인덕턴스의 영향을 무시할 수 있다면, 연결선 망을 먼저 RC-class로 모형화한 후, AWE 기법을 이용하여 모형의 차수를 축소하는 것이 효율적인 것이다. AWE를 이용할 경우의 축소 모형의 차수는 실효 대역폭의 함수이며, 이는 다시 신호의 입력 천이 시간의 함수이다.

만약 주어진 연결선을 RLC-class로 모형화하여야 한다면 ILC나 MC 거시모형 중에서 선택할 수 있다. MC 및 ILC 거시모형의 정확도는 사용되는 셀의 개수에 의존하므로 시뮬레이션 시의 효율성을 고려하여야 하며, 이는 어떻게 구현하느냐에 종속되는 문제이다. 한 개의 MC 셀이 주어진 구현 환경에서 k-셀 ILC 모형에 상당한다고 가정한다면, IV절에서 정의한 오차 함수를 이용하여 ILC와 MC 거시모형의 적용 영역을 결정할 수 있다.

매우 길고 손실이 큰 전송선에 대해서는, 상태 기반 컨벌루션 방법이 MC 거시모형이나 ILC 거시모형에 비하여 보다 효율적일 수 있다. ILC 거시모형은 비행 시간을 표현하기 위해서 많은 수의 셀을 요구할 것이고, MC 거시모형 또한, 비행 시간 지연과 감쇄 효과를 나타내기 위하여 많은 수의 지연 소자와 저항 소자들을 요구할 것이기 때문이다. 반면에, 상태기반 모형은 약간의 예비 특성화(precharacterization)를 요구하므로 설계자는 시뮬레이션 전 단계 비용을 MC 및 ILC 거시모형에 대한 잠정적 속도 개선 잇점과 대비해 보아야 한다.

허용 모형화 오차가 주어지면 오차 함수를 이용하여 어떤 모형을 사용하는 게 효율적인지를 결정하는 영역 구분을 할 수 있다. 이 목적을 위하여 $R_n - \omega_n$ 평면에서 R_n, ω_n , 및 N의 3차원 인수 공간을 적절한 모형의 영역들로 나누고자 한다. 이 때 1-MC 셀의 실행시간 복잡도가 4-ILC 셀에 상당한다고 가정한다면(SPICE3 계열의 회로 시뮬레이터의 경우는 이에 해당함), R_n 과 ω_n 의 값들에 기반한 모형 선택을 위한 영역을 설정할 수 있다. 그림 8, 9는

$R_n - \omega_n$ 인수 공간에서 각각 2%, 5%의 최대 상대 모형화 오차 한계 내에서 최적의 모형을 선정할 수 있는 영역을 나타내는 다이어그램이다. 다이어그램에서는 여러 모형들을 동시에 나타내었지만, 식 (2.7)로 결정되는 공간(RLC-class)에서만 이러한 다양한 모형이 필요하며, 그외의 공간(어두운 부분)에서는 AWE를 이용한 RC-class 거시모형으로 충분하다^[15]. 그림에서 ILC 및 MC 다음의 숫자는 허용 모형화 오차를 만족하는 최소의 셀 수, N을 나타낸다.

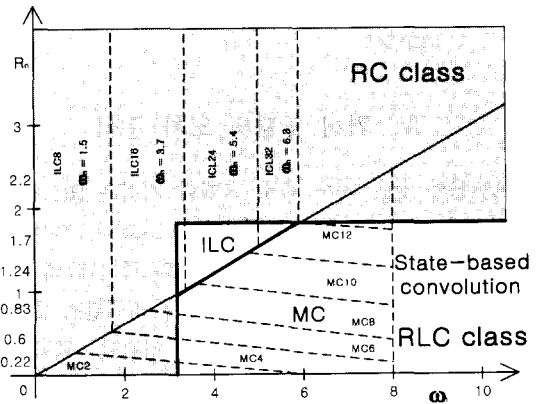


그림 8. 2%의 최대 상대 모형화 오차 한계 내에서의 최적 모형 분할

Fig. 8. Domain characterization of macromodel for maximum acceptable relative modeling error of 2%.

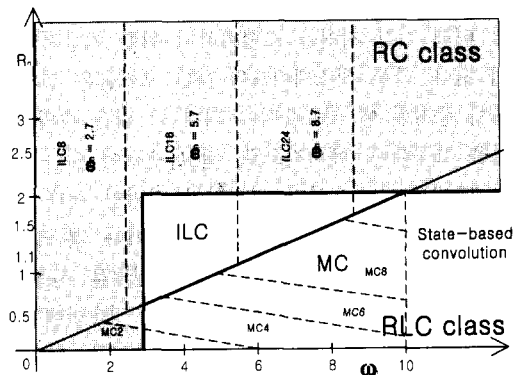


그림 9. 5%의 최대 상대 모형화 오차 한계 내에서의 최적 모형 분할

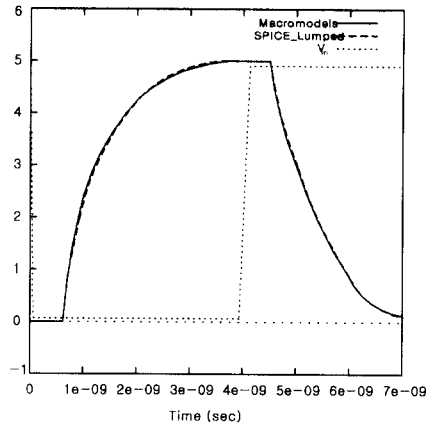
Fig. 9. Domain characterization of macromodel for maximum acceptable relative modeling error of 5%.

RLC-class를 위한 거시모형인 ILC, MC, 상태

기반 컨벌루션 모형 중에서 가장 적절한 모형 선택 과정은 회로 시뮬레이터 내에서 다음과 같이 자동화 될 수 있다. 각 전송선은 $\{R_n, \omega_n\}$ 에 의하여 특성화되고, 영역 다이어그램 내의 한 점에 대응된다. 전송선은 여기서 선정된 거시 모형으로 모형화되고, 거시 모형의 내부 소자 모형은 소자 셋업(set-up) 모 돌을 호출함으로써 생성되게 된다.

VI. 실험 결과

거시모형화 방법론의 일반성은 18-층 MCM 회로로부터 얻어진 데이터 경로 예를 통하여 잘 보여진다. 그림 10.(a)에 도시한 회로 구성은 실제적 회로의 복잡 다양함을 잘 보여주고 있다. 그러나, 그림 10.(b)에 나타난 것처럼, 거시 모형화 방법론을 따를 경우 각 전송선 조각은 가장 적합한 거시모형으로서 쉽게 모형화된다. 이 예를 통하여 각 거시 모형은 비선형 회로 뿐만 아니라 거시모형 상호간에도 좋은 호환성을 가짐을 볼 수 있다. R_n 과 ω_n 값과 5%의 허용 오차 한계 내에서 그림 9를 이용하여 가장 효율적인 거시모형 및 최적의 셀 수가 선택되었다. 이 결과는 Line #1에 대해서 3-셀 MC-거시모형, Line #2에 대해서 8-셀 ILC 거시모형으로 나타났다. 각 비아(via) 구간은 3차 AWE-거시모형으로 나타났다. 거시모형을 사용한 시뮬레이션 결과는 각 전송선 조각에 대해 최적 개수의 집중 소자들을 사용하고 비아에 대해 18 RC-조각을 사용한 SPICE3 결과와 잘 일치한다.



(c)

그림 10. 거시모형의 적용 예: 전형적인 MCM-C 데이터 경로 회로 (a) 연결 경로 (b) 회로 모형 (c) 최종 부하단에서의 전압 파형
 Line#1: $R_n=0.0085, \omega_n=6.6$;
 Line#2: $R_n=1.6, \omega_n=2.33$;
 Line#3: $R_n=0.5, \omega_n=2.33$

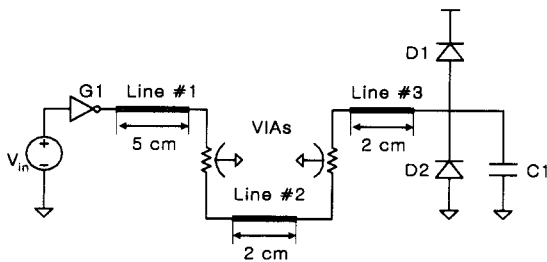
Fig. 10. Macromodel for a typical MCM data-path circuit (a) Interconnect path (b) Circuit models (c) Voltage waveform at the final load.
 Line#1: $R_n=0.0085, \omega_n=6.6$;
 Line#2: $R_n=1.6, \omega_n=2.33$;
 Line#3: $R_n=0.5, \omega_n=2.33$

SPICE3 시뮬레이션은 최적 시구간을 사용하여 수행하였으며, 실행시간은 SPARC2 workstation 상에서 8674.11 sec 걸렸고, 거시 모형의 실행시간은 89.28 sec였다.

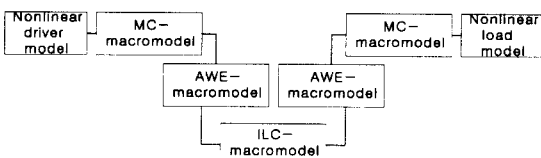
VII. 결론

본 논문에서는 전송선의 효율적인 해석을 위해 회로 연결선의 적절한 거시모형을 선정할 수 있는 척도를 제공한다. 먼저 신호의 동작주파수 및 연결선의 전기변수를 기반으로 L의 영향을 고려하여 모형화해야 하는 경우(RLC-class)와 그럴 필요가 없는 경우(RC-class)로 구분한 다음, 정량적 모형화 오차 분석에 근거하여 최적 거시모형 영역으로 분할하는 방법을 제시하였다. 이 영역 구성도를 이용함으로써 설계자들은 허용 모형화 오차 한계 내에서 최소의 비용으로 최적 모형을 찾을 수 있게 된다.

본 논문에서 제시한 RLC-class 연결선의 모형은



(a)



(b)

고손실 전송선에서 효율적인 ILC 거시모형, 저손실 전송선에서 효율적인 MC 거시모형, 예외적으로 길고 손실이 큰 전송선에 적합한 상태 기반 컨벌루션 모형 등이다. 구동 회로 및 비선형 부하를 포함한 회로 연결선을 SPICE와 같은 범용 시뮬레이터를 사용하여 해석할 때에는 다양한 연결선들을 어느 한 가지 모형으로 통합하는 것보다 위의 세 거시모형 중에서 적합한 모형을 선정하여 회로 모형을 구성하는 것이 보다 더 효율적임을 보였다. 본 논문에서 제시한 영역도를 해석 도구 내에 삽입할 경우 설계자의 개입없이 모형 선정을 자동적으로 수행해 주게 될 것이다.

참 고 문 헌

- [1] H. B. Bakoglu, *Circuits, Interconnections, and Packaging for VLSI*, Addison Wesley, 1990.
- [2] J. E. Bracken, V. Raghavan, and R. A. Rohrer, "Interconnect simulation with asymptotic waveform evaluation," *IEEE Trans. Circuits Syst. -I*, vol. 39, pp. 869-878, Nov. 1992.
- [3] F. H. Branin, Jr., "Transient analysis of lossless transmission lines," in *Proc. IEEE*, vol. 55, pp. 2012-2013, Nov. 1967.
- [4] F.Y. Chang, "The generalized method of characteristics for waveform relaxation analysis of lossy coupled transmission lines," *IEEE Trans. Microwave Theory Tech.*, vol.37, Dec. 1989.
- [5] M. S. Ghauri and J. J. Kelly, *Introduction to Distributed Parameter Networks*, Huntington, NY: R. E. Krieger, 1977.
- [6] S. Lin and E. S. Kuh, "Transient simulation of lossy interconnects based on the recursive convolution formulation," *IEEE Trans. Circuits Syst.-I*, vol. 39, pp. 879-892, Nov. 1992.
- [7] J. S. Roychowdhury, A. R. Newton, and D. O. Pederson, "Algorithms for the transient simulation of lossy interconnect," *IEEE Trans. Computer-Aided Design*, vol. 13, pp. 96-104, Jan, 1994.
- [8] T. K. Tang and M. S. Nakhla, "Analysis of high-speed VLSI interconnects using the asymptotic waveform evaluation technique," *IEEE Trans. Computer-Aided Design*, vol. 11, pp. 341-352, Mar. 1992.
- [9] L. T. Pillage and R. A. Rohrer, "Asymptotic waveform evaluation for timing analysis," *IEEE Trans. Comp. Aided Design*, vol. 9, pp. 352-366, Apr. 1990.
- [10] N. Gopal, D. P. Neikirk, and L. T. Pillage, "Evaluating RC-interconnect using moment-matching approximations," in *Proc. IEEE Int. Conf. Computer-Aided Design*, Nov. 1991.
- [11] A. J. Groudiss, "Transient analysis of uniform resistive transmission lines in a homogeneous medium," *IBM J. Tech. Develop.*, vol. 23, no. 6, pp. 675-681, 1979.
- [12] C. V. Gura and J. A. Abraham, "Improved methods of simulating RLC coupled and uncoupled transmission lines based on the method of characteristics," in *Proc. 25th ACM/IEEE Des. Auto. Conf.*, June 1988.
- [13] J. S. Roychowdhury, A. R. Newton and D. O. Pederson, "An impulse-response based linear time-complexity algorithm for lossy interconnect simulation," In *Proc. of IEEE Intl. Conf. Comp.-Aided Design*, Nov. 1991.
- [14] S. Y. Kim, E. Tuncer, T. Gupta, B. Krauter, T. Savarino, D. P. Neikirk, and L. T. Pillage, "An efficient methodology for extraction and simulation of transmission lines for application specific electronic modules," in *Proc. IEEE Int. Conf. Computer-Aided Design*, Nov. 1993.
- [15] S. Y. Kim, N. Gopal, and L. T. Pillage, "Time-domain macromodels for VLSI interconnect analysis," *IEEE Trans. Computer-Aided Design*, vol. 13, pp. 1257-1270, Oct. 1994.
- [16] J. M. Rabaey, *Digital Integrated Circuits, A Design Perspective*, Prentice Hall, Inc., New Jersey, 1996.
- [17] D. A. Priore, "Inductance on silicon for sub-micron COMS VLSI," *Proceedings of the IEEE Symposium on VLSI Circuits*, pp. 17-18, May 1993.

- [18] D. B. Jarvis, "The effects of interconnections on high-speed logic circuits," *IEEE Transactions on Electronic Computers*, vol. EC-10, No. 4, pp. 476-487, Oct. 1963.
- [19] M. P. May, A. Taflove, and J. Baron, "FD-TD modeling of digital signal propagation in 3-D circuits with passive and active loads," *IEEE Transactions on Microwave Theory and Techniques*, Vol. MTT-42, No. 8, pp. 1514-1523, Aug. 1994.
- [20] J. Torres, "Advanced copper interconnections for silicon CMOS technologies," *Applied Surface Science*, Vol. 91, No. 1, pp. 112-123, Oct. 1995.
- [21] K. K. Likharev and V. K. Semenov, "TSFQ logic/memory family: A new Josephson-Junction technology for sub-terahertz-clock frequency digital system," *IEEE Transactions on Applied Superconductivity*, Vol. AS-1, No. 1, pp. 3-28, Mar. 1991.
- [22] A. Deutsch, G. V. Kopcsay, P. Restle, et al. "When are transmission-line effects important for on-chip interconnections?" *IEEE Trans. on Microwave Theory and Techniques*, vol 45, No. 10, Oct. 1997.
- [23] Yehea I. Ismail, Eby G. Friedman, and Jose L. Neves, "Figures of merit to characterize the importance of on-chip inductance," in *Proc. 35th ACM/IEEE Des. Auto. Conf.*, June 1998.
- [24] M. Kamon, M. Tsuk, and J. White "FASTHENRY: A multipole-accelerated 3-D Inductance extraction program," *IEEE Trans. on MTT*, vol. 42, No. 9, pp. 1750-1758, Sep. 1994.
- [25] Byron Krauter and Sharad Mehrotra, "Layout based frequency dependent inductance and resistance extraction for on-chip interconnect timing analysis," in *Proc. 35th ACM/IEEE Des. Auto. Conf.*, June 1998.
- [26] J. Bornemann, "A scattering-type transverse resonance technique for the calculation of (M)MIC transmission line characteristics," *IEEE Trans. on Microwave Th. Tech.*, 39(12), Dec. 1991.
- [27] S. Y. Kim, *Time-domain Macromodels of VLSI System Interconnects*, Ph. D. Thesis, University of Texas at Austin, Aug. 1993.
- [28] T. Dhaene and D. D. Zutter, "CAD-oriented general circuit description of uniform coupled lossy dispersive waveguide structures," *IEEE Trans. on Microwave Th. Tech.*, 40(7), Jul. 1992.
- [29] F. Y. Chang, "Transient simulation of nonuniform coupled lossy transmission lines characterized with frequency-dependent parameters - Part I: waveform relaxation analysis," *IEEE Trans. Ckt. Sys. -I*, 39(8), Aug. 1992.
- [30] Dennis Sylvester, Kurt Keutzer, "Getting to the Bottom of Deep Submicron" *ICCAD 1998*.

저 자 소 개



白宗欽(正會員)

1996년 2월 수원대학교 전자계산학과 학사. 1998년 2월 숭실대학교 전자계산학과 석사. 1998년 2월 ~ 현재 숭실대학교 컴퓨터학과 박사과정. 주관심분야는 설계 자동화, VLSI 회로해석 및 설계



金錫潤(正會員)

1980년 서울대 공대 전기공학과 학사. 1990년 University of Texas at Austin 전기, 컴퓨터공학과 석사. 1993년 University of Texas at Austin 전기, 컴퓨터공학과 박사. 1982년 ~ 1987년 한국 전자통신연구소 연구원. 1993년 ~ 1995년 Motorola Inc., Senior Staff Engineer. 1995년 ~ 현재 숭실대학교 컴퓨터학부 교수. 주관심분야는 설계 자동화, VLSI 회로해석 및 설계, 통신 시스템