

실리콘 기판 효과를 고려한 VLSI 인터컨넥트의 전송선 파라미터 추출 및 시그널 인테그리티 검증

(Transmission Line Parameter Extraction and Signal Integrity Verification of VLSI Interconnects Under Silicon Substrate Effect)

劉韓鍾 * , 魚瀛善 *

(Hanjong Yoo and Yungseon Eo)

요 약

실리콘 집적회로 인터컨넥트에서 전송선 파라미터를 추출하는 새로운 방법을 제시하고 이를 실험적으로 고찰 한다. 실리콘 기판 위에 있는 전송선에서의 신호는 PCB (printed circuit board) 혹은 MCM (multi-chip module)의 인터컨넥트와 같은 마이크로 스트립 구조에서 가정하는 quasi-TEM 모드가 아니라 slow wave mode (SWM)로 대부분의 에너지가 전송되기 때문에 기판의 효과를 고려하여 전송선 파라미터를 추출한다. 실리콘 기판에서 전계 및 자계의 특성을 고려하여 커패시턴스 파라미터의 계산은 실리콘 표면을 그라운드로 설정하고 계산하고 인덕턴스는 단일 전송선 모델로 부터 추출한 실효 유전상수를 도입하여 계산한다. 제안한 전송선 파라미터 추출 방법의 타당성을 검증하기 위하여 테스트 패턴을 제작하여 실험적 파라미터 추출 값이 제시한 방법의 결과와 약 10% 이내에서 일치한다는 것을 보여 계산 방법의 타당성을 입증한다. 또한 고속 샘플링 오실로스코프 (TDR/TDT 메터) 측정을 통하여 제시한 방법이 크로스톡 노이즈를 정확히 예측 할 수 있는 반면 흔히 사용하고 있는 기판의 효과를 고려하지 않은 RC 모델 혹은 RLC 모델은 약 20~25% 정도 과소 오차(underestimation error)를 보인다는 것을 보인다.

Abstract

A new silicon-based IC interconnect transmission line parameter extraction methodology is presented and experimentally examined. Unlike the PCB or MCM interconnects, a dominant energy propagation mode in the silicon-based IC interconnects is not quasi-TEM but slow wave mode(SWM). The transmission line parameters are extracted taking the silicon substrate effect (i.e., slow wave mode) into account. The capacitances are calculated considering silicon substrate surface as a ground. Whereas the inductances are calculated by using an effective dielectric constant. In order to verify the proposed method, test patterns were designed. Experimental data have agreement within 10%. Further, crosstalk noise simulation shows excellent agreements with the measurements which are performed with high-speed time domain measurement (i.e., TDR/TDT measurements) for test pattern, while RC model or RLC model without silicon substrate effect show about 20~25% underestimation error.

* 正會員, 漢陽大學校 電子工學科

(Dept. of Electronic engineering, Hanyang University)

接受日字:1998年7月20日, 수정완료일:1999年3月2日

I. 서 론

최근 실리콘 반도체 제조 공정의 고도화에 따라 0.25 μm 이하의 미세 선폭을 갖고 수천만 개의 트랜

지스터를 하나의 칩속에 집적시키는 고집적 회로 공정 기술이 가능해졌다. 또한 이들 회로는 속도가 수백 MHz 이상의 클럭 속도를 갖는 고도의 반도체 칩으로 구현되고 있으며 집적회로의 집적도와 속도의 급속한 진전은 다음 세기에도 계속될 것으로 기대하고 있다^[1]. 특히 이들 고성능 VLSI 회로는 칩내에서 인터컨넥트의 평균 길이가 길어질 뿐만 아니라 칩면적에서 차지하는 비율이 약 90% 이상이 되고 있다^{[2]-[6]}. 따라서 오늘날의 VLSI회로의 성능에 인터컨넥트는 지대한 영향을 미치기 때문에 칩내의 인터컨넥트에 관한 정확한 전기적 특성 분석 및 물리적 현상에 대한 이해를 바탕으로한 회로 설계가 필수적이다.

즉, 고속 반도체 회로 설계에서는 정확한 신호의 지연, 크로스톡 노이즈 및 신호의 변형등과 같은 인터컨넥트 관련 문제에 관하여 설계의 초기 단계에서 시그널 인테그리티를 검증하면서 설계하지 않으면 안된다^{[7]-[9]}.

특히 고집적회로에서 고속회로의 배선상에서 발생하는 신호의 커플링 노이즈는 대단히 중요한 문제다. 대부분의 경우 실리콘 칩내의 인터컨넥트 신호특성 및 노이즈를 분석할 때 인덕턴스의 영향은 무시하고 커패시턴스와 저항 만을 고려한 단순한 RC 회로모델을 사용하여 인터컨넥트 관련 문제를 해결해 왔다^[9]. 그러나 RC 모델은 정확한 시그널 인테그리티를 예측 할 수 없을 뿐더러 노이즈를 과소 예측하는 심각한 문제점을 갖고 있다. 따라서 최근에 RLC 모델^[10,11]을 사용하여 인터컨넥트에서의 노이즈 및 타이밍을 검증하고 있으나 실리콘 기판의 특성을 정확히 고려하지 않으면 정확한 응답을 얻을 수 없다. 즉, 실리콘 기판을 완전 그라운드 도체로 가정하고 마이크로 스트립구조로 해석하면 인덕턴스 값을 정확히 추출 할 수 없기 때문에 최근의 고속 VLSI 회로에서 심각한 문제를 야기시킬 수 있다. 따라서 고속회로의 정확한 노이즈 해석 및 시뮬레이션을 위하여 회로 배선상의 전송선 파라미터 (특히 인덕턴스)를 정확히 추출하는 것은 대단히 중요하다.

그러나 현재 나와 있는 칩 내의 인터컨넥트 파라미터의 계산 방법이나 상용화된 CAD 툴들은 실리콘 기판에서의 인터컨넥트의 인덕턴스 계산 시 상당한 오차를 보이고 있기 때문에 파라미터 추출 시뮬레이션 시 커패시턴스와는 달리 정확도에 있어서 커다란 문제로 부각되고 있다. 이는 실리콘 기판에서는 일반적인 마

이크로 스트립 혹은 스트립라인과 같은 quasi-TEM 모드로 전자파가 형성되지 않음에도 불구하고 단순한 quasi-TEM 모드를 가정하고 인덕턴스를 계산하기 때문이다. 즉 보통의 실리콘 집적회로 내부의 배선은 옥사이드와 불완전한 실리콘 기판 그라운드로 구성된 다층 유전체 위에 위치하기 때문에 대부분의 신호는 quasi-TEM 모드라기 보다는 slow wave 모드로 전자파가 전달된다^[12,13]. Guckel의 이론적 고찰과 Hasegawa의 실험적 고찰 이후 이들 SWM현상에 관하여 좀더 심도있게 이론적으로 많은 연구가 진행되었다^[14,15,16,17,18].

[14,15,16]에서는 SWM을 full-wave 해석 방법을 통하여 고찰 하였으며 [16]에서는 quasi-TEM 해석 기법을 이용하여 slow-wave 모드를 해석하였다. 그러나 이들 해석은 VLSI 회로와 같은 구조에서 사용하기에는 아직도 매우 복잡하기 때문에 최근에 [18]에서는 기판에서의 slow wave 모드 효과를 고려하면서 파라미터를 추출 할 수 있는 방법을 새로운 해석 방법 (quasi-analytical analysis)을 통하여 파라미터 계산 방법을 제시하고 기판효과를 고려한 시간 영역에서 신호의 전파를 고찰 하였다. 그러나 이들 방법은 최근의 고집적 VLSI 회로의 타이밍의 검증 및 노이즈를 분석하기에는 아직도 너무 복잡하다.

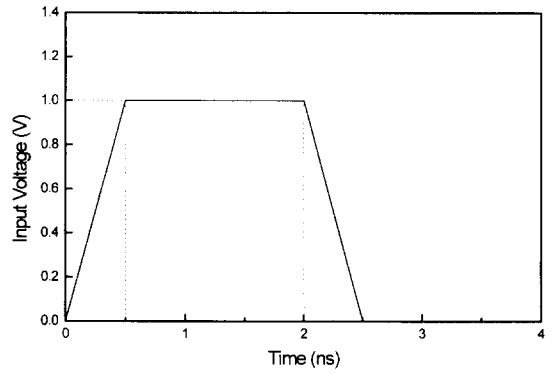
따라서 본 논문에서는 이러한 실리콘 칩내의 slow wave 모드에서 전계 및 자계의 현상들을 고려하여 커패시턴스와 인덕턴스를 분리하여 IC 인터컨넥트 파라미터를 간단히 계산 할 수 있는 새로운 방식을 제시하고 제시한 전송선 파라미터의 타당성을 실험적으로 검증한다. 또한 고주파 측정을 통하여 상호 교차된 두 개의 전송선 구조에서 인터컨넥트에서의 크로스톡 노이즈 측정을 통하여 본 논문에서 제시한 방법의 타당성을 검증한다.

본 논문의 구성은 먼저 실리콘 기판이 전자파 전달에 미치는 영향에 대해 설명한 후에 커패시턴스 계산 방법을 기술하고 이들 커패시턴스 및 실험 유전상수로부터 인덕턴스를 구하는 방법을 기술한다. 마지막으로 본 논문의 방법의 타당성을 흔히 사용하는 RC모델 및 기판효과를 고려하지 않은 RLC모델을 사용하여 전송선을 다수의 사다리 형태로 분할한 회로모델을 사용하여 시뮬레이션한 결과와 고주파 실험을 통해 얻은 결과가 잘 일치한다는 것을 보여 제시한 방법의 타당성을 검증하고 결론을 맺는다.

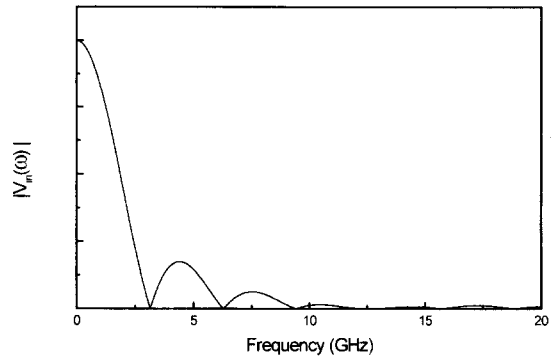
II. 실리콘 기판에서 전자파 전파 및 전송선 파라미터

일반적으로 디지털 회로의 신호는 상승시간과 하강 시간을 갖는 펄스 신호로 되어 있고 이들 펄스 신호는 주파수 영역에서 그림 1-(a)와 같은 입력 신호에 대하여 그림 1-(b)와 같은 에너지 스펙트럼을 갖는다. PCB 혹은 GaAs 회로와는 달리 실리콘 기판을 사용한 집적회로에서 전자파가 전달되는 모드는 기판의 농도(즉 저항률) 및 동작 주파수에 따라 skin-effect 모드, slow wave 모드 및 quasi-TEM 모드로 전파된다. 그러나 대부분의 실리콘 집적회로 칩의 기판 도핑 농도(약 10^{15}cm^{-3})에서는 5GHz 이내까지의 주파수 성분은 slow wave 모드로 전달되며 10GHz 이상의 고주파 성분은 quasi-TEM 모드로 전달된다. 다시 말하면 그림 1-(b)에서 보듯이 집적회로 상의 펄스 신호의 대부분의 신호 주파수 스펙트럼은 5GHz 이내에 존재하기 때문에 지배적인 전송 모드는 slow wave 모드다. Slow wave 모드하에서는 전계는 옥사이드 층을 투과 할 수 있지만 실리콘 기판은 투과 할 수 없기 때문에 전계에 의한 에너지는 실리콘 표면을 그라운드 면으로 하여 전달된다고 볼 수 있는 반면에 그림 2에서와 같이 자계는 옥사이드 뿐만 아니라 실리콘까지 투과하기 때문에 실리콘 기판은 coplanar 구조에서 전류 루프를 실리콘 기판 내부까지 형성하는 불완전한 그라운드 도체로서 작용한다. 따라서 실리콘 기판 위에 있는 전송선 구조는 PCB (Printed Circuit Board) 혹은 패키지에서 사용하는 단일 유전체 구조에서와 같이 quasi-TEM 모드를 가정하고 전송선을 해석하는 것은 정확하지 않다. 이는 다시 말해서 slow wave 모드하에서 전송선의 커패시턴스는 전계에 의한 포텐셜과 전하와의 상관 계수이기 때문에 실리콘의 표면을 그라운드로 가정하고 계산해도 커다란 오차 없이 계산할 수 있다. 반면에 인덕턴스는 자계에 의한 플럭스 링키지(flux linkage)와 전류의 상관 계수이기 때문에 최악의 경우 (즉 인덕턴스가 가장 큰 경우)를 가정한다면 근사적으로 실리콘 밀면을 그라운드로 가정하고 계산하여야 한다는 것을 의미한다. 이러한 물리적 현상에 착목하여 본 논문에서는 커패시턴스와 인덕턴스를 분리하여 파라미터를 계산한다. 즉 커패시턴스는 다층 유전체를 가정한 Green 함수로부터 커패시턴스를 계산하고 인덕턴스는 실리콘 기판을 고려한 단일

전송선의 인덕턴스 모델로부터 추출한다. 이에 대한 순서도(flow chart)를 그림 3에 나타내었다.



(a) 입력 신호



(b) 에너지 스펙트럼

그림 1. 입력 파형과 에너지 스펙트럼 (a) 입력신호, (b) 에너지 스펙트럼

Fig. 1. Input signal and energy spectrum. (a) Input signal (b) energy spectrum

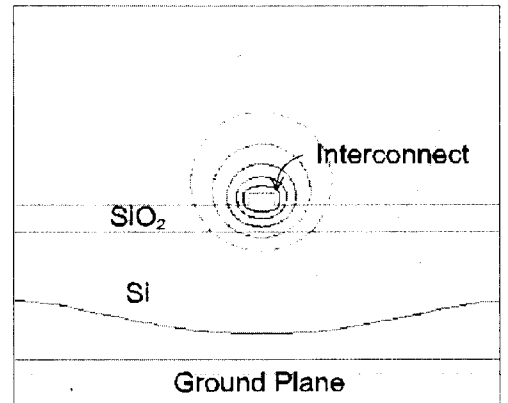


그림 2. 실리콘 기판 위에 있는 인터컨넥트에서의 자계 분포

Fig. 2. The magnetic field for interconnect on silicon substrate.

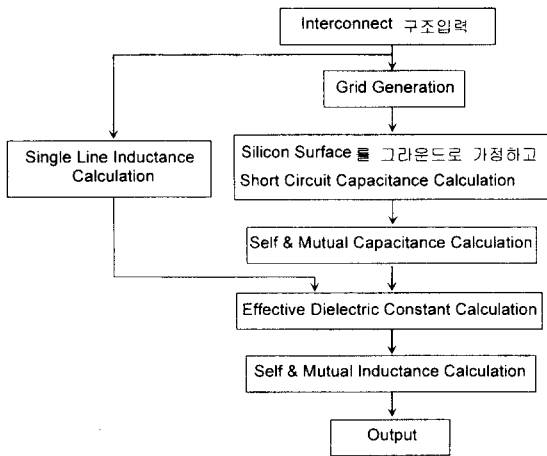


그림 3. 파라미터 계산의 순서도
Fig. 3. The flow chart for parameter calculation.

1. 커패시턴스 파라미터 계산

다수 도체 시스템으로 구성된 인터컨넥트 구조에서 커패시턴스의 계산은 먼저 도체에서의 포텐셜과 전하 분포를 계산해야 한다. 정전계에서 커패시턴스를 계산하는 다양한 방법이 보고 되고 있지만 [19,20] 매우 복잡한 유전체가 아닌 이상 MOM (method of moment)는 비교적 정확한 커패시턴스 값을 주며 2차원 구조에서 계산 시간이 O(n)이기 때문에 CAD용으로 매우 적합하다. 따라서 본 논문에서는 MOM 방식을 사용하여 커패시턴스를 계산한다. MOM방식은 전하와 포텐셜의 관계를 미지수가 전하인 적분방정식으로 표현하여 적분방정식을 푸는 방법이다. 즉 MOM 방식에서는 전하의 분포와 Green 함수를 사용하여 다음과 같이 Poisson 방정식을 적분방정식의 형태로 표현한다.

$$\phi(r) = \int_S G(r, r') \sigma(r') dr' \quad (1)$$

여기서 $\phi(r)$ 은 포텐셜이고 $G(r, r')$ 은 Green 함수이며 $\sigma(r')$ 은 표면 S에 분포하는 전하 밀도이다. 또한 r 은 관찰하고자 하는 지점이고 r' 은 소스가 존재하는 지점이다. 실리콘 기판 위에 있는 인터컨넥트의 커패시턴스를 계산할 때 slow wave 모드에서는 전계가 기판을 투과하지 못하므로 근사적으로 실리콘 기판을 완전한 그라운드라고 가정하여도 큰 오차 없이 커패시턴스를 계산 할 수 있다.

따라서 그림 4와 같은 구조를 가정하면 (1)을 통하여 전하 분포를 쉽게 계산 할 수 있다. (1)식에서

Green 함수는 단위 전하에 의해 유기되는 포텐셜을 의미하기 때문에 주어진 도체 시스템에 대한 Green 함수를 구할 수 있다. 즉 점(x',y')에 단위전하가 존재한다고 가정하면 이 단위 전하에 의해 주변에는 전계가 발생하고 이로 인한 전위를 계산 할 수 있다. 직교 좌표계에서 점(x',y')를 소스점(source point)이라고 점(x,y)를 공간상의 점 (field point)이라고 하면 단위 전하에 의해서 점 (x,y)에 나타나는 전위를 직교 좌표계에서는 다음과 같은 Green 함수 $G(x,y|x',y')$ 로 나타낼 수 있다^{[21] [22] [23]}.

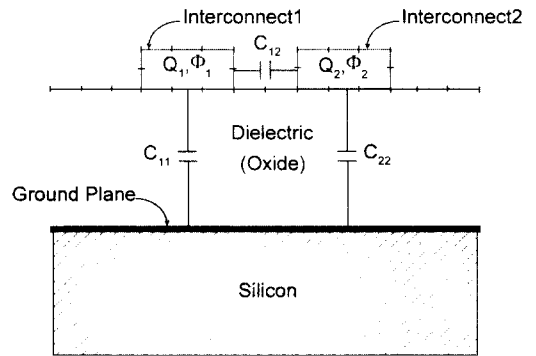


그림 4. 전하 및 포텐셜과 커패시턴스의 관계
Fig. 4. The relation of charge, potential, and capacitance.

$$G(x, y|x', y') = \frac{1}{2\pi\epsilon_0} \ln \left\{ \frac{(x-x')^2 + (x+y')^2}{(x-x')^2 + (y-y')^2} \right\}^{1/2} \quad (2)$$

$$= \frac{1}{4\pi\epsilon_0} \ln \left\{ \frac{(x-x')^2 + (x+y')^2}{(x-x')^2 + (y-y')^2} \right\}$$

여기서 분모 부분은 그라운드 평면 상측에 존재하는 실제 전하에 의해서 나타나는 전위의 성분이고, 분자 부분은 그라운드 평면 아래에 유기되는 영상 전하에 의해서 나타나는 전위 성분이다. 따라서 점(x,y)에서의 전위는 미소길이 dl 내에서의 전체 전하량과 Green 함수를 사용하면 (1)식을 다음과 같이 다시 표현할 수 있다.

$$\phi(x, y) = \int_{dl} G(x, y|x', y') \sigma_l(x', y') dl, \quad (3)$$

따라서 식(1)에서 식(3)까지의 식을 사용하면 slow wave 모드하에서 인터컨넥트의 커패시턴스를 계산 할 수 있다.

그림 5, 6과 같은 테스트 패턴을 제작하여 칩내 인터컨넥트의 커패시턴스를 이와 같은 방법으로 구한 값과 FEM방법을 사용하는 상용화된 field-solver인

MAXWELL을 사용한 값 그리고 측정치를 그림 7과 그림 8에서 비교하였다.

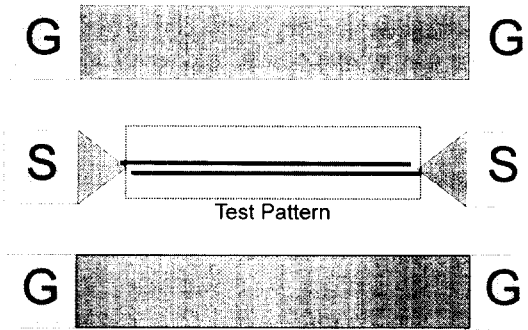


그림 5. 테스트 패턴
Fig. 5. Test pattern.

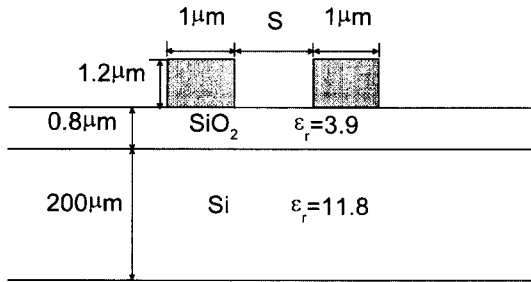


그림 6. 테스트 패턴의 단면
Fig. 6. Cross-section of test pattern.

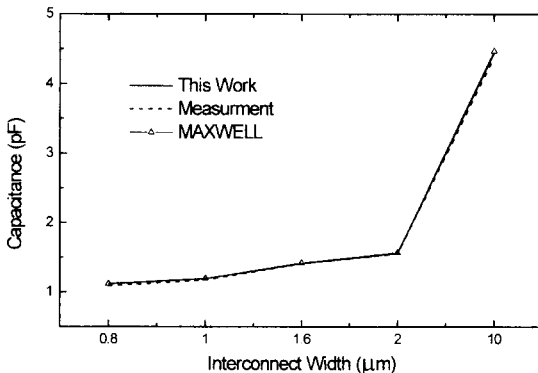


그림 7. 하나의 인터컨넥트에 대한 셀프 커패시턴스 비교
Fig. 7. The comparison of self-capacitance for one interconnect.

그림 7은 산화막의 두께가 $0.8\mu\text{m}$ 이고 선의 두께는 $1.2\mu\text{m}$ Si층의 두께는 $200\mu\text{m}$ 인 하나의 전송선에 대해 셀프 커패시턴스를 비교한 것이다. 그림 8은 전송선의 폭은 $1\mu\text{m}$ 이고 두께는 $1.2\mu\text{m}$ 인 두 전송선에

대하여 전송선 사이의 간격을 $0.8\mu\text{m}$, $1\mu\text{m}$, 그리고 $1.2\mu\text{m}$ 인 경우의 셀프 커패시턴스와 커플링 커패시턴스를 비교하였다. 그림 7에서 보는 바와 같이 단일 전송선의 경우 본 논문의 방법으로 계산한 셀프 커패시턴스의 값은 측정치와 잘 일치하는 반면에 그림 8의 커플링 커패시턴스의 경우 약간의 오차가 있다. 이는 계산 값은 레이아웃 치수 (drawn dimension)를 사용한 반면 실제의 웨이퍼는 오버에칭(overetching)으로 인하여 사다리꼴의 형태를 갖을 뿐만 아니라 보이드(void)와 같은 공기층이 형성되어 양도체 간에 실제의 유전 상수감소에 기인하는 공정 편차 때문에 값이 작아진 것이다.

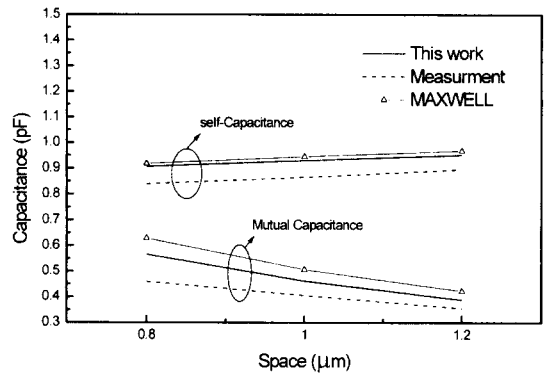


그림 8. 두 개의 인터컨넥트에 대한 커패시턴스 비교
Fig. 8. The comparison of capacitance for two interconnects.

2. 인덕턴스 파라미터 계산

실리콘 기판에서 slow wave 모드로 전파되는 신호에 대한 커패시턴스의 계산은 전 절에서 기술한 바와 같이 실리콘 표면을 그라운드 평면으로 고려한 마이크로 스트립 구조로부터 커패시턴스를 비교적 정확하게 계산 할 수 있다. 그러나 이러한 방법은 단순히 커패시턴스만을 계산할 때 타당하다. 즉 slow wave 모드 하에서 기판은 그라운드 도체로 작용하고 두께가 옥사이드 층보다 훨씬 두껍기 때문에 실리콘 기판 효과를 고려하여 인덕턴스를 계산하여야 한다. 흔히 PCB 같은 마이크로스트립 구조에서 인덕턴스의 계산은 근사적으로 무손실 시스템에 적용할 수 있는 다음과 같은 식을 이용하여 계산한다.

$$[L] = \mu_o \epsilon_o [C]^{-1} \quad (4)$$

그러나 사실 식(4)는 실리콘 기판을 고려하지 않은 유

전체 구조 만을 고려한 식이기 때문에 실리콘 기판을 사용할 경우 실제의 실험값과 상당한 오차를 유발한다. 따라서 본 논문에서는 이러한 문제를 해결하기 위해서 실리콘 기판상의 단일 전송선의 인덕턴스로부터 ϵ_{eff} 를 계산하여 다수의 전송선으로 확장하여 인덕턴스를 계산한다. 실리콘 기판에서 단일 전송선의 경우에 인덕턴스는 다음의 모델식을 이용하여 계산할 수 있다.^[24]

$$L_s = \mu_o \frac{1}{2\pi} \ln \left[\left(\frac{h}{0.59w} + 1.1 \right) - 0.5 + \sqrt{\left(\frac{h}{0.59w} + 1.1 \right)^2 - 1.05} \right] \quad (5)$$

식 (5)는 실리콘 집적회로 IC 인터넥트 구조에 대하여 실험치와 매우 근사한 값을 제공한다. 실제로 그림 5, 6과 같은 테스트 패턴에서 s-파라미터 추출 법을 사용하여 추출한 인덕턴스와 (5)를 사용하여 계산한 값을 그림 9에 나타냈다. 그림 9에서 보는 바와 같이 본 논문에서 사용한 시료의 경우 식(5)은 측정치와 10%이내에서 매우 잘 일치한다는 것을 알 수 있었다. 따라서 단일 전송선에 대한 커패시턴스 값인 C_s 와 식 (5)의 L_s 값으로부터 다음과 같이 실효 유전상수 ϵ_{eff} (effective dielectric constant)를 계산할 수 있다.

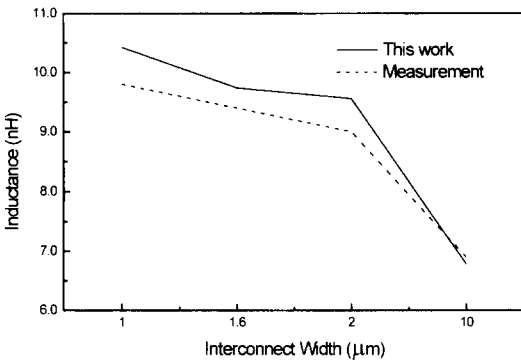


그림 9. 측정된 인덕턴스와 식(5)와의 비교
Fig. 9. The comparison of equation (5) with measured inductance.

$$\epsilon_{\text{eff}} = \frac{C_s L_s}{\mu_o \epsilon_o} \quad (6)$$

여기서 ϵ_{eff} 는 인덕턴스를 계산하기 위한 옥사이드와 실리콘의 기판특성을 포함하는 실효 유전상수(effective dielectric constant)라고 생각할 수 있다. 다수 도체 시스템에서도 자체가 실리콘을 투과하는 정도는 단일 전송선의 경우와 같을 것이기 때문에 ϵ_{eff} 는

다수 도체 시스템에서도 그대로 사용할 수 있다. 따라서 실리콘 기판 위에 있는 다수 인터넥트의 인덕턴스 행렬은 다음과 같이 계산할 수 있다.

$$[L] = \mu_o \epsilon_o \epsilon_{\text{eff}} [C]^{-1} \quad (7)$$

그림 10에 식(7)로 계산한 인덕턴스와 실리콘 기판을 고려하지 않은 경우와 실리콘 기판의 밑면을 완전 그라운드로 가정하여 상용 field-solver인 MAXWELL을 사용하여 추출한 인덕턴스 값을 비교하였다. 두 전송선에 사용한 조건은 커패시턴스 계산 시 사용한 것과 같다. 그림 10에서 보듯이 실리콘 기판 효과를 무시한 경우 인덕턴스 값의 계산은 상당한 오차가 있다.

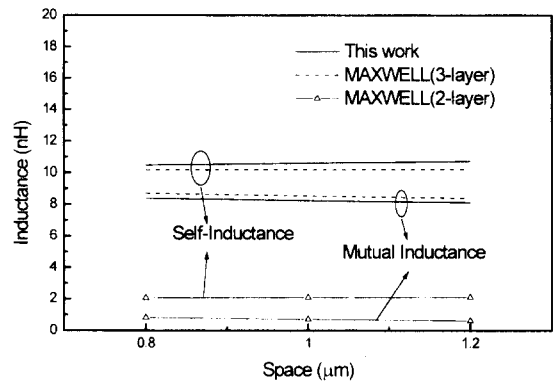


그림 10. 셀프 인덕턴스와 커플링 인덕턴스의 비교
Fig. 10. The comparison of self-inductances and mutual inductances.

III. 시뮬레이션 및 실험을 통한 시그널 인테그리티 검증

본 절에서는 커패시턴스 추출에 사용한 동일한 구조에 대하여 크로스톡 노이즈 측정을 통하여 제시한 파라미터 계산 법의 타당성을 검증한다.

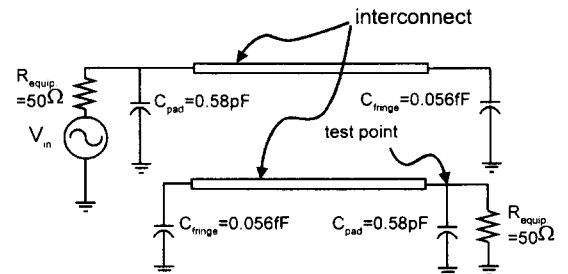


그림 11. 회로 시뮬레이션을 위한 구조
Fig. 11. The structure for circuit simulation.

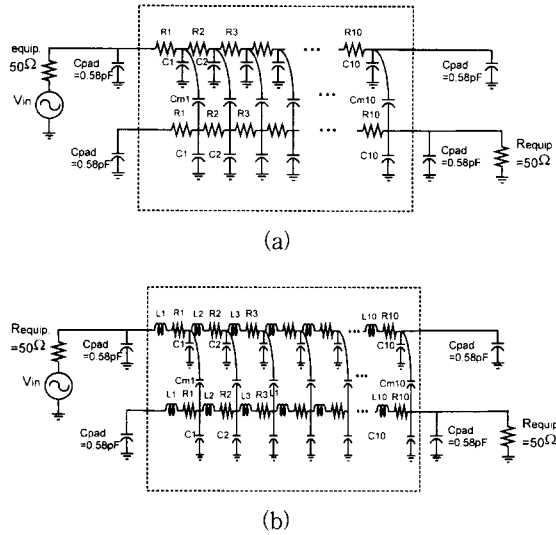
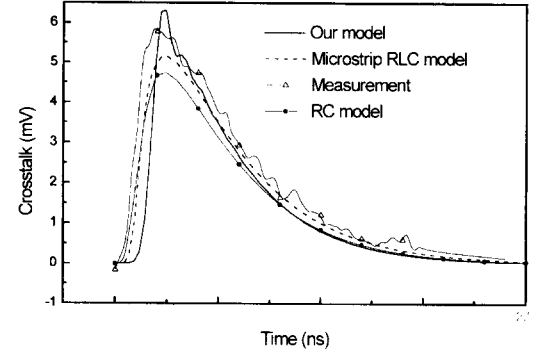


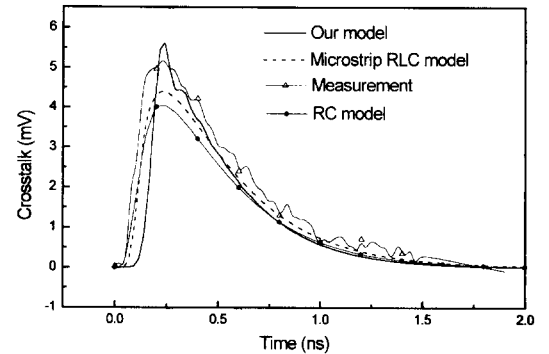
그림 12. 인터컨넥트의 집중정수 회로 모델 (a) RC 모델 (b) RLC 모델
 Fig. 12. Segmented lumped circuit. (a) RC model (b) RLC model.

테스트 패턴에 대한 등가 회로는 그림11과 같으며 상호 교차된 배선 구조에 대하여 고주파 영역의 TDR/TDT 실험은 원단(far-end)에서의 크로스톡 노이즈를 관찰 하였다. TDR/TDT 장비에서 입사되는 신호는 약 30ps의 상승시간을 갖고 크기가 100mV인 스텝 전압을 인가하였다. 또한 시뮬레이션을 위하여 전송선은 그림12에서 보인 바와 같이 전송선을 10개의 집중정수 회로 (segmented lumped circuits) 모델로 분할하여 HSPICE를 사용하여 시뮬레이션 하였다. 실험 결과와 본 논문에서 설명한 방법으로 계산한 파라미터들을 이용하여 테스트 지점에서 RC 모델, RLC 모델 및 측정 결과를 그림 13에서 비교하였다. 그림13에서 보는 바와 같이 TDR/TDT 측정과 본 논문에서 제시한 파라미터 추출 방법을 사용한 두 개 라인의 커플링 (coupling) 노이즈는 시뮬레이션 결과와 실험 값이 매우 잘 일치한다. 실험치 보다 본 논문의 방법을 사용한 값이 약간 크게 나오는 이유는 그림 8에서 보인 바와 같이 본 논문에서는 반영하지 않은 공정 편차 실험에 의한 커패시턴스 값이 실험치 보다 약간 작은 것과 실리콘 기판의 밀면을 그라운드로 가정 (이 경우는 최악의 경우를 가정한 것임)한 때문에 인덕턴스 값이 계산 값보다 큰 것에 기인한다. 반면에 단순한 RC 모델에 근거한 시뮬레이션은 실험치와 약 25%정도 크로스톡 노이즈를 과소 평가 (underestimation)하며 마

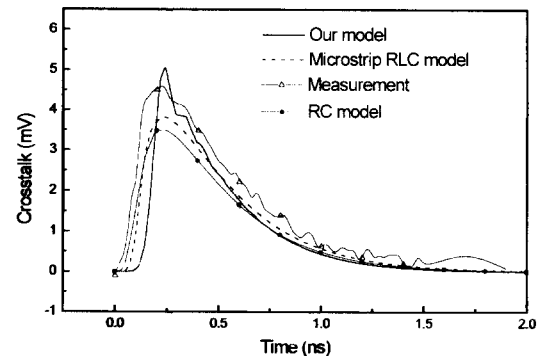
이크로 스트립구조를 가정하여 인덕턴스를 고려한 RLC 모델 역시 약 20%정도 과소 평가하고 있다는 것을 알 수 있다.



(a) 간격 : 0.8 μm



(b) 간격 : 1 μm



(c) 간격 : 1.2 μm

그림 13. 크로스톡 신호의 천이 파형 (a) 간격 : 0.8 μm (b) 간격 : 1 μm (c) 간격 : 1.2 μm
 Fig. 13. Crosstalk signal transients. (a) space : 0.8 μm (b) space : 1 μm (c) space : 1.2 μm

IV. 결론

본 논문에서는 실리콘 기판을 사용한 IC 인터컨넥

트에서의 간단하면서도 정확한 전송선 파라미터를 계산 할 수 있는 새로운 방법을 제시하였다. 커패시턴스의 경우 실리콘 표면을 그라운드로 가정하고 MOM 방식을 사용하여 커패시턴스를 계산하였고 인덕턴스의 계산을 위하여는 실리콘 기판의 효과를 고려한 실효 유전상수 (effective dielectric constant)를 도입하여 계산하였다. 커패시턴스의 경우 실험치와 약 10%이내에서 매우 잘 일치한다는 것을 보였다. 또한 실효유전상수는 단일 전송선 구조에서의 인덕터 모델식과 계산한 커패시턴스 값을 사용하여 계산하였다. 따라서 커패시턴스와 인덕턴스 값은 주어진 구조로부터 간단하면서도 비교적 정확한 결과를 얻을 수 있었다. 제안한 방법의 정확도를 검증하기 위하여 제안한 방법으로 계산한 파라미터를 이용하여 분할 집중정수 회로 모델을 사용한 HSPICE 시뮬레이션 결과와 TDR/TDT 측정 결과를 비교하여 결과가 잘 일치함을 보였다. 반면에 흔히 사용하고 있는 RC 모델 혹은 실리콘 기판 효과를 고려하지 않은 RLC 모델은 실제 값과 약 20%에서 25% 정도의 상당한 오차를 보였다. 더욱이 이들 모델을 사용한 오차는 과소예측 (underestimation)을 하기 때문에 실제 회로 설계시 더욱 심각한 문제를 야기시킬 수 있다. 본 논문에서 제시한 파라미터 계산은 계산 방법이 간단하고 비교적 정확한 전송선 파라미터 값을 구할 수 있기 때문에 집적회로 설계용 CAD 툴의 타이밍 조건 및 시그널 인테그리티 검증에 유용하게 사용 할 수 있다.

참 고 문 헌

- [1] The National Technology Roadmap Semiconductors Technology Needs, SIA Report, 1997.
- [2] K. Rahmat, et al, "A Scaling Scheme for Interconnect in Deep-Submicron Processes," IEDM, Dec. 1995, pp. 245-248.
- [3] M. T. Bohr, "Interconnect Scaling-The Real Limiter to High Performance ULSI," IEDM, Dec. 1995, pp. 241-244.
- [4] T. Yamada, et al, "A 64-Mb DRAM with Meshed Power Line," IEEE JSSC, vol. 26, no. 11, Nov. 1991, pp. 1506-1518.
- [5] H. B. Bakoglu and J. D. Meindl, "Optimal Interconnect Circuit for VLSI," IEEE Trans. ED, vol. ED-32, no. 5, May 1985, pp. 903-909.
- [6] H. B. Bakoglu, "Interconnect for the '90s : System Level Electronic Issues," IEDM 1992 Short Course : Interconnect for the '90s, San Jose, CA, 1992.
- [7] W. R. Eisenstadt and Y. Eo, "S-Parameter-Based IC Interconnect Transmission Line Characterization," IEEE Trans. CHMT, vol. 15, no. 5, Aug. 1992, pp. 483-490.
- [8] J. C. Liao, O. A. Plansinski, and J. L. Prince, "Computation of Transients in Lossy VLSI Packaging Interconnections," IEEE Trans. CHMT, vol. 13, no. 4, Dec. 1990, pp. 833-838.
- [9] T. Sakurai, Closed-Form Expressions for Interconnection Delay, Coupling, and Crosstalk in VLSIs, IEEE Trans. ED, vol. 40, no.1, Jan. 1993, pp.118-124.
- [10] Y. Yang and John R. Brews, Crosstalk Estimate for CMOS-Terminated RLC Interconnections, IEEE Trans. CSI, vol. 44, no. 1, Jan. 1997, pp. 82-85.
- [11] A. Deutsch, et al., When are Transmission-Line Effects Important for On-Chip Interconnections?, IEEE Trans. MTT, vol. 45, no. 10, Oct. 1997, pp. 1836-1844.
- [12] H. Guckel, et al., A Parallel-Plate Waveguide Approach to Microminaturized, Planar transmission Lines for Integrated Circuits, IEEE Trans. MTT, vol. 15, Aug. 1967, pp. 468-476.
- [13] H. Hasegawa, M. Furukawa, and Hisayosi Yanai, "Properties of Microstrip Line on Si-SiO₂ System," IEEE Trans. MTT, vol. MTT-19, Nov. 1971, pp. 869-881.
- [14] R. Sorrentino, et al., Characteristics of Metal-Insulator-Semiconductor Coplanar Waveguides for Monolithic Microwave Circuits, IEEE Trans. MTT, vol. 32, no. 4, Apr. 1984, pp. 410-416.
- [15] Y. Fukuoka, et al., Analysis of Slow-Wave Coplanar Waveguide for Mono-

- lithic Integrated Circuits, IEEE Trans. MTT, vol. 31, no. 7, Jul. 1983, pp. 567-573.
- [16] Y. R. Kwon, et al., Quasi-TEM Analysis of Slow-Wave Mode Propagation on Coplanar Microstructure MIS Transmission Lines, IEEE Trans. MTT, vol. 35, no. 6, Jun. 1987, pp. 545-551.
- [17] T. Shibata and E. Sano, Characterization of MIS Structure Coplanar Transmission Lines for Investigation of Signal Propagation in Integrated Circuits, IEEE Trans. MTT, vol. 38, no.7, Jul. 1990, pp. 881-890.
- [18] E. Groteluschen, et al., Quasi-analytical Analysis of the Broadband Properties of Multiconductor Transmission Lines on Semiconducting Substrates, IEEE Trans. CPMT-B, vol. 17, no. 3, Aug. 1994, pp. 376-382.
- [19] C. D. Taylor, et al., On the Parasitic Capacitances of Multilevel Parallel Metallization Lines, IEEE Trans. ED, vol. 32, no. 11, Nov. 1985, pp. 2408-2414.
- [20] M. N. O. Sadiku, *Numerical Techniques in Electromagnetics*, CRC Press, Boca Raton, Florida, 1992.
- [21] C. Wei, et al., "Multiconductor transmission Lines in Multilayered Dielectric Media," IEEE Trans. MTT vol. 32, no. 4, Apr. 1984, pp. 439-450.
- [22] W. T. Weeks, "Calculation of Coefficients of Capacitance of Multiconductor Transmission Lines in the Presence of a Dielectric Interface," vol. 18, no. 1, Jan. 1970, pp. 35-43.
- [23] C. P. Yuan, "modeling and Extraction of Interconnect Parameters in Very-Large-scale Integrated Circuits," Ph.D. Thesis, University of Illinois at Urbana-Champaign, 1983.
- [24] Y. Eo and W. R. Eisenstadt, "High-Speed VLSI Interconnect Modeling Based on S-parameter Measurements," IEEE Trans. CHMT, vol. 16, no. 5, Aug. 1993, pp. 555-562.

저 자 소 개



劉韓鍾(正會員)

1974년 7월 24일생. 1997년 2월 한양대학교 전자공학과 (공학사), 1999년 2월 동 대학원 전자공학과 (석사).
주관심분야는 인터컨넥트 및 전자 패키지

魚瀛善(正會員) 第 35卷 C編 第 7號 參照