

# 자기 디스크 출력 채널용 EPR-4 비터비 디코더의 VLSI 설계

정회원 최 병 윤\*, Bang-Sup Song\*\*

## VLSI Design of EPR-4 Viterbi Decoder for Magnetic Disk Read Channel

Byeong-Yoon Choi\*, Bang-Sup Song\*\* *Regular Members*

### 요 약

본 논문에서는 자기 디스크 출력 채널에 사용되는 EPR-4 비터비 디코더 회로를 설계하였다. 비터비 디코더는 ACS 회로, 경로 메모리, 최소값 감지회로, 출력 선택 회로로 구성된다. 설계한 EPR-4 비터비 디코더는 (1,7) RLL 코드를 사용하여 하드웨어 구현에 필요한 상태수를 8개에서 6개로 감소시켰으며, ACS 연산시 누적 동작과정에서 발생할 수 있는 오버플로우 문제를 처리하기 위해 2의 보수 연산에 바탕을 둔 modulo 비교를 사용하였다. 그리고 경로 메모리 회로에서 6개 출력이 수렴하지 않는 경우 최소 state metric 값을 갖는 경로에서 최종 결과값을 결정하도록 파이프라인 구조의 최소값 감지회로를 사용하였다. EPR-4 비터비 디코더 회로는 0.35 μm CMOS 공정에 맞추어 설계되었으며, 트랜지스터 개수는 약 15,300 이며, 3.3V의 전압조건에서 최대 데이터 수신율은 250 Mbps이다.

### ABSTRACT

In this paper EPR-4 viterbi decoder for magnetic disk read channel is designed. The viterbi decoder consists of ACS circuit, path memory circuit, minimum detection circuit, and output selection circuit. In the viterbi decoder the number of state is reduced from 8 to 6 using (1,7) RLL codes and modulo comparison based on 2's complement arithmetic is applied to handle overflow problem of ACS module. Also to determine the correct symbol values in nonconvergent condition of path memory, pipelined minimum detector which determines path with minimum state metric is used. The EPR-4 viterbi decoder is designed using 0.35μm CMOS technology and consists of about 15,300 transistors and has 250 Mbps data rates under 3.3 volts.

### I. 서 론

자기 디스크 저장 밀도를 증가시키기 위해 PR (partial-response)<sup>[1]</sup> IV 기술과 ML(maximum-likelihood)<sup>[2]</sup> 기술을 적용하는 PRML방식은 1970년에 이론적으로 IBM 연구원 Kobayashi 와 Tang<sup>[3]</sup>에 의해 제안된 이래 기술상 문제로 상용화가 되고 있

지 않았다가, VLSI 와 디지털 신호 처리 기술의 발달로 1990 년대초 IBM에 의해 처음으로 상용화되었다<sup>[4-6]</sup>. PR-4 채널 주파수 스펙트럼은  $(1-D)(1+D) = 1 - D^2$  형태의 다항식에 바탕을 두며, 이것은 자기 디스크 출력 채널의 dc-free 대역 통과 특성과 매칭된다. 이런 PRML 방식의 경우 ML 감지기로

\* 동의대학교 컴퓨터공학과 (bychoi@hyomin.dongueui.ac.kr),

\*\* Dept. of Electrical and Computer Engineering, University of Illinois

논문번호 : 98414-0916, 접수일자 : 1998년 9월 16일

※ 본 연구는 과학 재단이 지원한 1997년도 하반기 해외 Post-Doc. 연수 연구비에 의해 수행되었습니다.

사용되는 비터비 디코더가 PR-4 출력에 대해 인터리브하게 동작 가능하므로, 비터비 디코더가 PR-4 용 적응 등화기에 비해 1/2의 속도로 구현 가능하다는 장점이 있다<sup>[7-10]</sup>. 최근에 기존 PRML 방식에 비해 자기 디스크의 밀도와 용량을 증가시키기 위해, 여러 가지 새로운 신호 처리 기술이 제안되고 있다<sup>[11-13]</sup>. 그 중 EPRML(Extended PRML) 기술의 경우 채널 스펙트럼이  $(1-D)(1+D)^2 = 1 + D - D^2 - D^3$ 의 EPR-4 다항식을 가지며, PR-4 채널에 비해 자기 디스크 출력 채널에 보다 잘 매칭되므로 PRML 방식에 비해 높은 밀도의 자기디스크 시스템을 구현할 수 있다고 평가되고 있다. 그러나 EPRML 방식의 경우 8개의 채널 상태를 갖고 있으며, PR-4 채널과 달리 비터비 복호기가 인터리브 기술을 사용할 수 없기 때문에 하드웨어 구현과 속도 측면에서 PRML 방식에 비해 떨어진다는 결점이 있다. 이러한 하드웨어 문제를 감소시키기 위해서 (1,7) RLL 코드를 사용하여 EPRML 시스템 구현에 필요한 상태수를 8개에서 6개로 제한하는 방식이 제안되고 있다<sup>[11,13]</sup>.

본 논문에서는 (1,7) RLL 코드를 사용하는 기존 적응 등화기<sup>[14]</sup>와 연결하여 사용될 수 있는 EPR-4 비터비 디코더를 설계하였다. 설계된 회로는 ACS 회로에 carry-save 구조와 2의 보수 연산에 바탕을 둔 modulo 비교 기법 적용으로 250Mhz의 동작 속도와 오버플로우 문제를 해결하였다. 또 state metric의 최소값을 계산하는 최소값 감지 회로를 사용하여 경로 메모리 비수렴 조건을 해결할 수 있도록 하였다.

본 논문의 2장에서는 (1,7) RLL코드를 사용한 EPRML 시스템을 다루며, 3장에서는 비터비 디코더의 VLSI 설계를, 4장에서는 설계 검증과 성능 분석을, 5장에서는 결론을 맺는다.

## II. (1,7) RLL 코드를 사용한 EPRML 시스템

### 1. EPR-4 채널의 감지기법

EPR-4 채널은  $h(D) = 1 + D - D^2 - D^3$ 의 전달 함수를 갖는다. 2진 입력 시퀀스  $\{c_j\}$ ,  $c_j \in \{0,1\}$ 에 대해서 잡음이 없는 이상적인 채널 출력 시퀀스  $\{x_j\}$ 는 5개의 레벨,  $x_j \in \{-2, -1, 0, 1, 2\}$ 를 갖는다. 그림 1은 EPR-4 채널에 대한 trellis를 나타낸다. 그림에서 보는바와 같이 8개의 상태 결정 기준

(state metric)  $M_{j-1}(s_{j-1})$ 이 존재하며, 상태  $s_{j-1}$ 은 0 - 7까지의 값을 가지며, 이전 3개의 입력 심볼  $\{c_{j-3}, c_{j-2}, c_{j-1}\}$ 의 2진수 표현에 대응한다. 그림 1에서 상태를 연결하는 연결선(branch)상의 값  $(c_j/x_j)$ 은 입력 값  $c_j$ 과 잡음이 없는 이상적인 출력  $x_j$ 를 나타낸다. 그러나 실제로 수신되는 값  $\{r_j\}$ 은 잡음 성분을 갖고 있으므로 식(1)과 같이 표현된다.

$$r_j = x_j + n_j \tag{1}$$

여기서  $x_j$ 는 이상적인 출력,  $n_j$ 는 잡음 성분을 나타낸다. 수신단에서 연결선 기준(branch metric)은 최소 거리 기준으로, 수신된 샘플  $r_j$ 와 이상적인 출력  $x_j$  사이의 거리 차이가 최소인 것을 선택하는 방식으로 제곱형태의 Euclidean 거리  $(r_j - x_j)^2$ 을 사용한다. 따라서 비터비 디코더에서 상태 결정 기준(state metric)은 연결선 기준(branch metric)의 누적된 형태로 표현된다.

$$M_{j-1}(s_{j-1}) = \sum_{i=0}^{j-1} (r_i - x_i)^2 \tag{2}$$

식(2)를 정리하면 다음과 같다.

$$M_{j-1}(s_{j-1}) = \sum_{i=0}^{j-1} (r_i^2 - 2r_i x_i + x_i^2) \tag{3}$$

식(3)에서 특정 노드(상태)로 입력되는 모든 연결 가지(branch)에서  $r_i^2$  항은 공통이므로 상대적인 비교 개념에서 생략 가능하다. 따라서 실제적으로 비터비 디코더에서 사용되는 상태 기준(state metric)은 다음과 같다.

$$M_{j-1}(s_{j-1}) = \sum_{i=0}^{j-1} (-2r_i x_i + x_i^2) \tag{4}$$

여기서  $(-2r_i x_i + x_i^2)$ 은 비터비 디코더에서 적용되는 연결선 기준(branch metric)이다. 8개 상태에 대해 각 시점에서 2개의 입력 가능 경로가 존재하므로, 전체적으로 16개의 경로 기준(path metric = previous state metric + branch metric) 계산이 필요하다. 식(4)의 조건에 따라 가장 적합한 경로를 결정하기 위해서, 8개의 ACS(add-compare-select) 동작이 필요하다. 즉 각 상태노드에서 들어오는 2가지 경로의 경로 기준(path metrics)을 덧셈을 사용하여 생성한 후, 2개의 결과를 비교하여 작은 값을 갖

는 경로가 살아남게 되고, 그것의 경로 기준(path metric)이 새로운 상태 기준(state metric)이 된다.

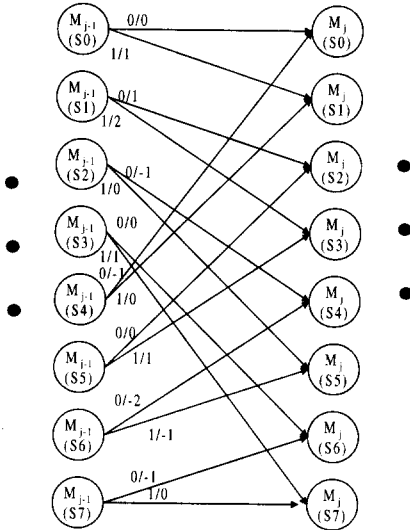


그림 1. EPR-4 trellis 다이어그램

2. (1,7) RLL 코드를 사용한 EPR-4 채널

RLL 코드는 2가지 파라미터(d, k)에 의해 특성화 되는데, d, k는 2개의 1 심볼사이 존재할 수 있는 심볼 0의 최소 및 최대수를 의미한다. 이러한 RLL 코드는 자기 디스크 시스템의 점점 감지(peak detection) 방식에서 NRZI 인코딩과 결합되어, 출력 펄스 변화 간격을 임의로 넓게 하여 ISI 문제를 완화하는 용도로 사용되었다<sup>3,4)</sup>. 그러나 본 연구의 EPR-4시스템에서 (1,7) RLL 코드를 사용하는 이유는 ISI 문제 해결보다 그림 1의 8개 상태수를 6개로 줄여 비터비 디코더 구현시 필요한 하드웨어 양을 감소시키기 위함이다. 그림 2는 (1,7) RLL 코드를 사용한 EPR-4 채널의 trellis 다이어그램과 상태를 나타낸다. 그림 2에 보이는 바와 같이 (1,7) RLL 코드와 NRZI 인코딩이 결합될 경우, 연속적인 레벨 변화(+, ++)는  $d = 1$  조건에서는 발생될 수 없다. 따라서 상태 S2 와 상태 S5는 NRZI 인코딩에 의해 제외된다. 여기서 -는 음방향 신호 변화, +는 양방향 신호 변화를 나타낸다. 그 결과 6개 상태가 얻어지며 그중 2개의 상태는 입력 가능 경로가 1개로 제한되므로, ACS에서 A(add)기능만 필요하고 CS(compare-select)기능은 필요치 않으므로 하드웨어가 단순화될 수 있다. 반면 나머지 4개의 상태는 완전한 ACS기능이 필요하다.

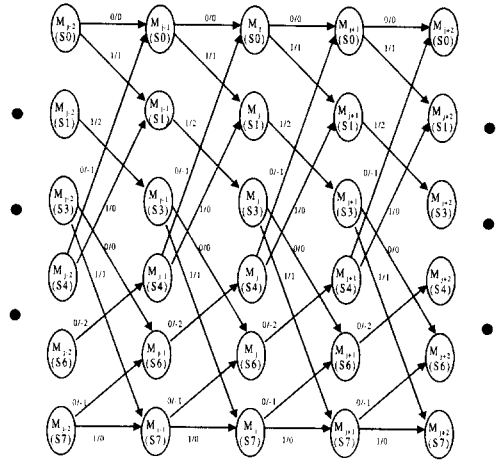


그림 2. (1,7) RLL 코딩을 갖는 EPR-4 trellis 다이어그램

3. EPRML 출력 채널용 시스템 구조

EPRML 출력 채널 DSP 시스템의 블록도는 그림 3과 같다. 자기 디스크의 출력은 먼저 아날로그 소자로 구성된 재생 증폭기, VGA(Voltage Gain Amplifier), 저역 통과 필터(Low Pass Filter), 6 비트 아날로그-디지털 변환기(ADC)를 거쳐, EPRML용 DSP(digital signal processing) 시스템으로 인가된다. EPRML용 DSP 시스템은 적응 등화기, EPR-4 비터비 디코더, 타이밍 복구회로 등으로 구성된다. 본 논문에서는 기존 자기디스크용 적응 등화기<sup>[14]</sup> 출력을 받아 자기디스크에 저장된 정보를 검출하는 EPR-4 비터비 디코더를 설계하였다. 기존 자기 디스크용 적응 등화기는 EPR-4 등화 형태를 지원한다. 그리고 회로는 FIR 필터부, 계수 조정부, 양자화기 및 에러 부호 결정회로로 구성되며, 계수 조정 알고리즘으로 부호 LMS(Least Mean Square) 알고리즘을 사용하였다.

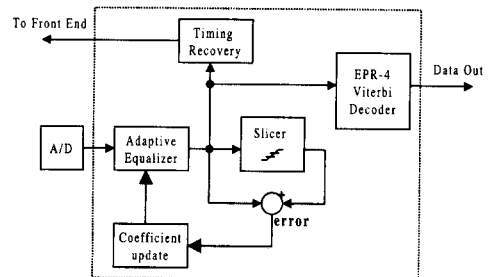


그림 3. EPRML용 출력 채널 디지털 신호처리 시스템의 블록도

### III. 비터비 디코더의 VLSI 설계

#### 1. 비터비 디코더의 시스템 구조

비터비 디코더는 그림 4에 보이는 바와 같이 ACS 모듈, 경로 메모리(path memory) 모듈, 최소값 감지(minimum detection) 모듈, 출력 선택(output selection) 모듈로 구성된다. ACS 모듈은 6 비트(정수부 3자리, 소수부 3자리 : \*\*\*.\*\*\* 형식)인 적응 등화기(adaptive equalizer) 출력을 받아서 식(4)를 사용하여 경로 기준(path metric)을 계산하고, 이를 사용하여 각 상태에 대한 적합한 경로를 결정한다. 6 비트 입력 형식은 이상적인 시스템의 입력 데이터의 가능 범위와 기존 연구 결과<sup>7,9)</sup>를 바탕으로 결정하였다. 경로가 결정되면 그림 2에 따라 자기디스크에 저장된 값( $c_i$ )이 결정될 수 있으므로, 경로 결정에 필요한 제어 신호(sel\_0, sel\_1, sel\_6, sel\_7)를 발생시켜 경로 메모리 모듈로 보낸다. 경로 메모리 모듈은 6개 상태에 대한 경로 정보( $c_i$ )를 유지한다. 이러한 경로 메모리 모듈 출력 포트의 값이 모두 일치하는 경우 수렴된(convergent) 상태라 한다. 그러나 모두 일치하지 않는 경우는 비수렴(nonconvergent) 상태라 한다. 경로 메모리 출력의 수렴 확률은 경로 메모리 모듈의 길이를 증가시키면 높아지지만, 하드웨어 복잡성 증가를 고려하여 적절한 크기 결정이 필요하다. 비수렴 상태에서 가장 적절한 출력 값 선택 방안은 최소 상태 결정 기준(state metric)을 갖는 경로 출력을 선택하는 것이 바람직하다<sup>9)</sup>. 따라서 최소값 감지 모듈은 상태 결정 기준(state metric)값이 최소인 상태를 결정하는 기능을 수행한다. 출력 선택 모듈은 수렴 또는 비수렴 조건시 경로 메모리 출력 포트에서 비터비 디코더 출력값을 선택하는 기능을 수행한다.

#### 2. 2의 보수 연산을 사용하는 modulo 비교

ACS 회로는 식(4)에 따라 적응 등화기 출력을 사용하여 각 상태로 들어오는 2개의 경로에 대한 경로 설정 기준(path metric)을 계산한 후, 2개의 값을 비교하여 작은 쪽(survivor)의 값을 선택하는 동작을 수행한다. 그런데 식(4)의 누적(accumulation) 기능으로 결과값이 오버플로우나 언더플로우 문제를 야기할 수 있다. 이러한 문제를 해결하기 위해서는 ACS 하드웨어내 레지스터, 비교기, 가산기 크기를 무한히 크게 하는 것이 필요하다. 그러나 이것은 하드웨어 구현 측면에서 비현실적이다. 따라서 유한한

정밀도(precision)를 갖는 비터비 디코더 설계시 ACS 반복 동작에서 계산된 survivor path metric의 값이 오버플로우 또는 언더플로우 문제가 생기지 않도록 그 값의 범위가 제한될 필요가 있다. 이러한 문제를 해결하기 위한 방안으로 여러 가지 방안<sup>15)</sup>이 제안되고 있는데, 그 중에서 고정 소수점 데이터 형식으로 구현 가능하며 기존 하드웨어 속도에 영향을 주지 않는 가장 바람직한 방식이, 2의 보수 연산에 바탕을 둔 modulo 비교 기법<sup>15-16)</sup>을 이용하는 방식이다. 이 방식은 VLSI 구현에 적합하게 local 배선과 uniformity 특성을 갖고 있다. 이러한 modulo 비교 기법은 survivor path metric의 값은 그 범위가 제한되지 않지만(unbound), survivor metric들 사이의 상대적인 크기는 ACS 반복 동작 수에 무관하게 임의의 수  $\Delta$ 이하로 제한된다는 사실을 활용한다. modulo 비교 방식의 경우 레지스터 하드웨어로 2 $\Delta$  이상을 표현하는 비트 길이를 선택하며, path metric값이 2 $\Delta$  범위를 초과하는 경우 선택한 레지스터 크기에 따라 modulo 처리한 결과를 저장한다. 이러한 조건에서 ACS는 2의 보수(2's complement) 연산을 사용하여 비교(뺄셈)한 후 결과의 부호값으로 크기 결정을 하면 올바른 modulo 비교 동작 결과를 얻을 수 있다<sup>16)</sup>. 이것은 달리기 경주에서 선두와 꼴찌사이의 차이가 경기장 원 둘레의 1/2보다 작은 상황에서 항상 선두의 위치와 선수의 등수를 파악할 수 있다는 상황과 유사하다. 그림 5는 2의 보수 연산을 사용한 modulo 비교 원리를 나타낸 그림이다. 4 비트로 간략화된 상황에서 A, B, C사이의 차이가 둘레의 1/2(=8)보다 크지 않은 경우, A, B, C 순으로 등수가 결정가능하다. 즉 A, B, C사이에 비교 동작을 수행하면, 결과값의 부호(Rs)로 A, B, C사이의 부등 관계를 결정할 수 있다. 2의 보수 연산에 바탕을 둔 modulo 비교 개념을 ACS 모듈의 state metric에 적용하기 위해서는, survivor metric의 상대적인 크기 차이  $\Delta$ 를 결정하는 것이 필요하다. 본 연구에서 다음 과정을 통해 ACS 모듈의 레지스터 및 비교기 크기를 결정하였다. 기존 연구<sup>15,16)</sup>에 따라  $\Delta$ 는 다음 식으로 주어진다.

$$\Delta \leq 2nB \tag{5}$$

여기서 n은 trellis의 상태사이에 완전한 연결관계를 형성할 수 있는 단계수로 그림 1에 따르면 3의 값을 갖는다. 그리고 B는 branch metric의 최대값으로  $(-2r_x, +x_0^2)$ 에 의해 20으로 결정하였다. 따라

서  $\Delta$ 는 최대 120의 값을 갖는다. 따라서 표현 가능 정수부 비트  $c$ 는 다음 식으로 주어진다.

$$2^c \geq 2\Delta \quad (6)$$

식(6)에 따라 정수부 비트  $c$ 는 8비트로 표현되며, 소수부 형태는  $2r_x$ 에 의해  $r_x$ (\*\*\*.\*\*\*형식)가 항상 2 또는 4만큼 상향 조정(scale-up)되어 사용되므로 소수부의 표현 형태가 3비트가 아닌 2비트를 사용하게 되어, 전체적으로 modulo 비교에 10 비트(정수부 8비트, 소수부 2비트)를 사용하게 되었다.

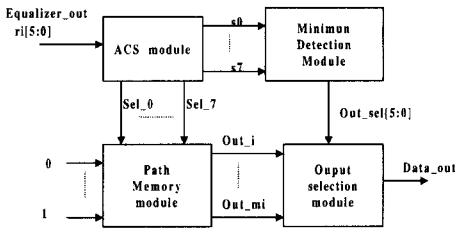


그림 4. EPR-4 비터비 디코더의 구조

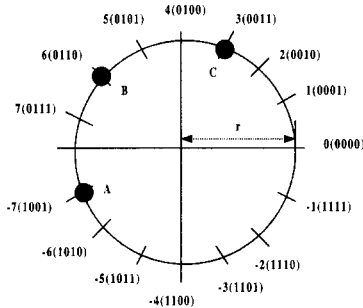


그림 5. 2의 보수 연산에 바탕을 둔 modulo 비교

### 3. ACS 모듈 설계

ACS 회로는 적응 등화기 출력  $r_x$ 를 사용하여 각 상태로 들어오는 2개의 경로에 대한 경로 설정 기준(path metric)을 계산한 후, 2개의 값을 비교하여 작은 쪽(survivor)의 값을 선택하는 동작을 수행한다. 이러한 ACS 모듈의 하드웨어 구현 방안으로 동작 속도가 빠르지 않은 응용의 경우 하나의 프로그램 가능한 ACS 모듈을 두고 반복 활용하는 방안이 가능하다<sup>[8]</sup>. 그러나 본 연구의 자기 디스크 경우 250 Mbps의 빠른 시스템 설계 사양을 갖고 있으므로, 각 상태당 2개의 경로 비교 동작을 수행하는 ACS 회로를 두고 병렬적으로 활용하는 방식을 채택하였

다. 그림 6은 ACS 모듈의 블록도를 나타낸다. 그림에서 ACS-M1과 ACS-M2 회로의 경우 덧셈기와 비교기가 직렬로 연결되는 구조를 갖고 있기 때문에 속도 문제가 야기된다. 이러한 문제점을 해결하기 위해서, 본 연구에서는 carry-save 덧셈 구조를 사용하여 최적 경로 지연을 2개의 10-비트 덧셈기가 아닌 2개의 FA와 1개의 부호 발생기로 대체하여 ACS의 속도 문제를 해결하였다. 그림 7은 carry-save 덧셈 구조를 사용하여 ACS-M1 회로를 개선한 구조를 나타낸다.  $(2r_i + 1)$ 를 포함한 덧셈의 경우 소수점(radix point) 위치를 고려하여, HA (half adder)와 FA(full adder)가 조합된 CSA(carry save array) 구조로 구현하였다. 사용한 CPA 회로는 캐리 선택 가산기(carry select adder) 구조를 사용하였다.

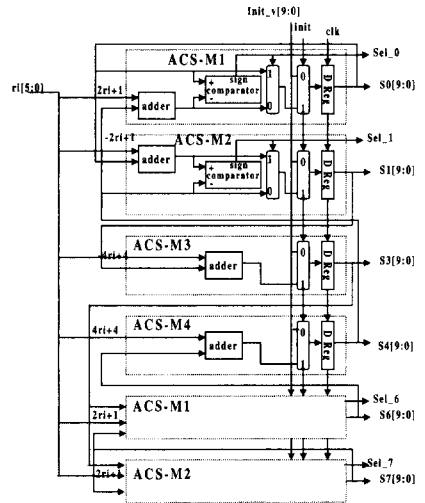


그림 6. ACS 모듈의 블록도

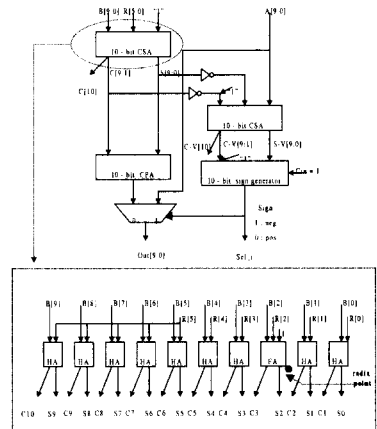


그림 7. 수정된 ACS-M1 회로

#### 4. 경로 메모리 설계

경로 메모리는 그림 8과 같이 ACS 모듈의 비교 결과값에 따라 6가지 선택된 경로에 대한 바람직한 수신(입력) 결정값을 결정하고 유지하는 역할을 한다. 경로 메모리 구현시 하드웨어 면적을 최소화하기 위해 register-exchange 구조대신에 trace-back 기법<sup>[19]</sup>이 제안되고 있다. 이러한 trace-back 방식은 일반적으로 상태수가 많고 trellis가 규칙적인 구조에 적합하다. 본 연구의 비터비 디코더는 6개의 상태와 (1,7) RLL 코드<sup>[20]</sup> 사용에 따른 비규칙적인 trellis 구조 갖고 있으므로, trace-back 구조가 아닌 고속 동작에 적합한 register-exchange 구조를 사용하였다. 경로 메모리는 survivor sequence의 수렴 특성을 보장해주기 위해 12 단계의 길이를 갖고 있다. 이러한 경로 길이는 (1,7) RLL 코드의 특성과 기존 연구<sup>[17]</sup>을 바탕으로 BER 이  $10^{-7}$  이하인 조건을 만족하는 값으로 경로 메모리 길이를 결정하였다. 단, 최소값 감지회로 도입으로 경로 메모리 길이를 약 1/3정도 감소시킬 수 있었다. 이러한 경로 길이 조건에도 비수렴 가능성이 존재하므로, 비수렴 조건 시 상태 결정 기준(state metric) 값이 최소인 경로 출력값을 선택되기 위해 3단 파이프라인 구조의 최소값 결정 회로(minimum detection circuit)를 도입하였다. 이러한 파이프라인 구조의 최소값 결정회로에 의해 야기되는 latency 문제를 해결하기 위해, 경로 메모리의 마지막 3단계 회로(PM-2와 2개의 PM-3)는 최소값 결정회로가 비교가 시작된 시점의 경로 정보를 출력 포트에 내보내기 위해, ACS에서 발생되는 제어신호(sel\_i)에 의해 제어를 받는 출력 out\_i(i = 0,1,3,4,6,7)와 별도로 out\_mi 출력을 발생시키는 기능을 갖고 있다. 그림에서 PM\_0 회로는 각 상태에 대응하는 경로의 초기값을 결정한다. 그림 2를 분석하면 S0상태의 경우 이전 단계의 S0, S4와 연결 경로가 존재하는데, 2가지 상태 모두 S0 상태로 이전할 경우 입력값(c\_i)은 0으로 되어 있다. 마찬가지로 S1상태에도 이전 단계 S0, S4에서 올수 있는데, 이러한 상태 변화시 가능한 입력 조건은 모두 1이다. 그에 비해 S3, S4 상태의 경우 각각 이전 단계 S1과 S6에서만 올수 있는데, 이 경우 가능한 입력 조건은 각각 1과 0이다. 동일 방식으로 S6, S7에 대한 경로 초기치값 결정이 가능하다. 반면 PM\_1의 경우 ACS모듈에서 결정된 비교 결과 제어 신호(sel\_0, sel\_1, sel\_6, sel\_7)를 사용하여 각 상태별 경로 선택 동작을 MUX를 사용하여 제어한다.

이때 S3, S4의 경로는 (1,7) RLL 코드 사용으로 경로가 고정되므로, MUX와 sel\_i신호로 제어되지 않고 고정 배선된다.

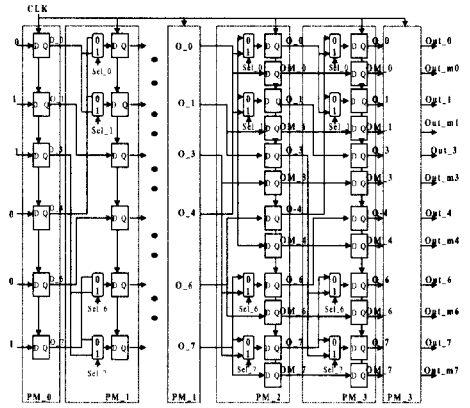


그림 8. 레지스터 교환 구조의 경로 메모리

#### 5. 최소값 결정 회로 설계

최소값 결정 회로는 ACS 회로의 6개의 state metric값중 최소값을 결정하는 회로로서, 경로 메모리내 출력값이 수렴하지 않는 경우 적절한 경로의 출력을 선택할 수 있는 제어신호 out\_sel[5:0]를 생성한다. 그런데 6개의 값의 비교 동작을 병렬적으로 수행하는 회로는 비규칙적인 구조를 갖게 되므로, 본 연구에서는 그림 9와 같이 3단 파이프라인 구조를 사용하였다. 파이프라인 단계-1에서는 S6, S4와 S0, S1의 병렬 비교 동작을 수행하여 작은 결과 선택과 함께 비교 결과에 대한 부호값을 파이프라인 시킨다. 그리고 파이프라인 단계-2에서는 단계-1에서 선택한 결과와 S7, S3의 파이프라인된 값(MM\_7, MM\_3)과의 비교 동작을 수행하여 작은 결과 값을 선택한다. 파이프라인 단계-3에서는 마지막으로 남은 2개의 값에 대한 비교를 수행하고, 비교 결과를 종합하여 out\_sel[5:0] 제어 신호를 생성한다. 사용된 비교기는 ACS 모듈과 같이 modulo-비교 특성을 구현하기 위해 10-비트 하드웨어로 구현되었다.

#### 6. 결과 선택 회로

결과 선택회로는 그림 10과 같이 경로 메모리 출력의 수렴 조건과 비수렴 조건에 대해 별도의 선택 동작을 통해 비터비 디코더의 최종 출력 값을 생성하는 역할을 한다. 경로 메모리의 6개 출력(out\_0, out\_1, out\_3, out\_4, out\_6, out\_7)이 모두 동일한

수렴 조건의 경우 out\_1을 최종 출력값으로 선택한다. 만일 수렴하지 않는 경우 최소값 결정회로의 출력 선택 신호 out\_sel[5:0]을 사용하여, 경로 메모리의 다른 6개 출력(out\_m0, out\_m1, out\_m3, out\_m4, out\_m6, out\_m7)에서 최종 출력값을 결정한다.

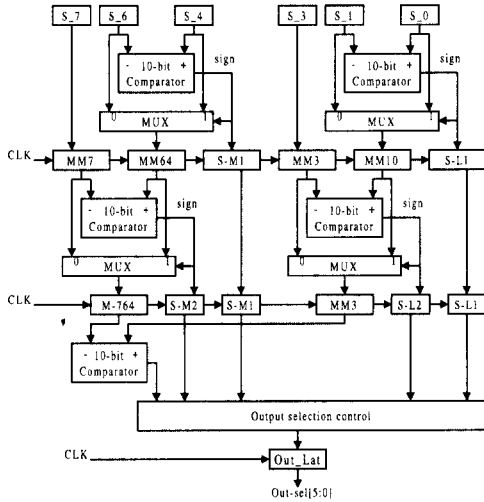


그림 9. 파이프라인 구조의 최소값 결정회로

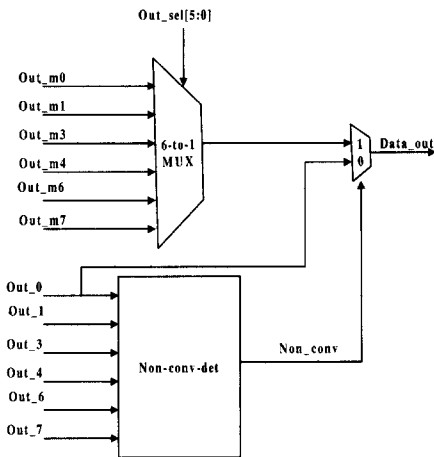


그림 10. 출력 선택 회로

#### IV. 설계 검증 및 성능 분석

본 연구의 자기 디스크 출력 채널용 EPR-4 비터비 회로에 대한 올바른 검증을 위해, 그림 11과 같이 자기 디스크 시스템에 대한 전체 시스템을 간략화하여 C 프로그램으로 모델링하여 검증을 수행하였다. 시뮬레이션 결과 학습 동작(training operation) 후 자기 디스크에 저장된 비트  $a_k$ 와 비터비

디코더의 출력 결과값  $a_k'$ 이 정확히 일치하는 결과를 얻을 수 있었다. 그림에서 적응 등화기와 비터비 디코더는 게이트 단계로 변환한 후, Verilog HDL [21]언어로 기술하여 시뮬레이션한 결과 기존 C언어를 사용한 시스템 시뮬레이션 결과와 비터비 디코더 출력이 일치함을 확인하였다. 그리고 나서 Verilog HDL에서 기술한 게이트 단계 기술을 상용 schematic capture 프로그램으로 정적 CMOS 회로로 변환한 후, 넷리스트(netlist)를 추출하여 HSPICE 프로그램[22]으로 회로 동작을 검증하였다. 설계에 사용한 반도체 제작 공정은 MOSIS HP 0.35 $\mu$ m CMOS 공정이며, HSPICE를 사용한 회로 시뮬레이션 결과 비터비 디코더의 최악 지연 경로는 ACS-M1의 2개의 CSA 구조와 하나의 부호 발생회로, 2개의 MUX로 구성되며, 2.8ns의 지연시간을 가짐을 알 수 있었다. 따라서 설계한 비터비 디코더 회로는 시스템 사양으로 정한 250Mhz의 동작 속도를 얻을 수 있다고 판단된다. 표 1은 본 연구에서 설계한 자기 디스크용 EPR-4 비터비 디코더의 전기적인 특성을 나타낸다. 설계된 회로는 저전력을 고려하여 3.3볼트의 전압을 사용하며, 약 15,300 개의 트랜지스터로 구성된다. 또한 설계된 회로는 고속 동작에 따른 클럭 스퀴 문제를 해결하기 위해, 클럭 신호로 단일 배선을 사용하는 TSPC(true single phase clocking)[23] D F/F을 사용하였다. 그림 12은 EPR-4 비터비 디코더에 대한 레이아웃을 나타낸다.

#### V. 결론

본 논문에서는 (1,7) RLL 코드를 사용하는 자기 디스크용 EPR-4 비터비 디코더 회로를 설계하였다. 비터비 디코더는 ACS 모듈, 경로 메모리 모듈, 최소값 감지 모듈, 출력 선택 모듈로 구성된다.

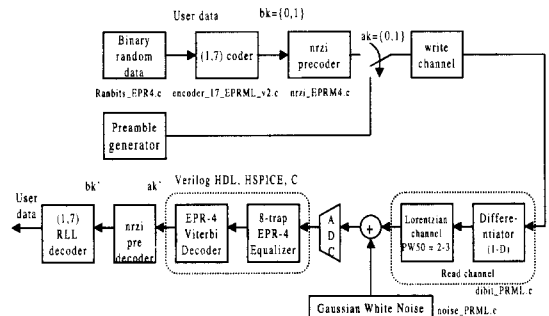


그림 11. EPR-4 자기디스크 시스템에 대한 시스템 시뮬레이션 모델

표 1. 전기적 특성

|                |                                   |
|----------------|-----------------------------------|
| 공정 기술          | 0.35 $\mu\text{m}$ CMOS           |
| 레이아웃 면적        | 0.8mm $\times$ 0.9mm              |
| 입력 비트수         | 6 비트                              |
| 출력 비트 수        | 1 비트                              |
| ACS 내부 레지스터 크기 | 10 비트(정수부 8비트, 소수부 2비트)           |
| 입력 등화 형태       | EPR-4                             |
| 사용된 코드 방식      | (1, 7) RLL                        |
| 동작주파수          | 250 Mhz                           |
| 데이터 수신율        | 250 Mbps                          |
| 트랜지스터 개수       | 약 15,300                          |
| 소비 전력          | 0.2 Watts @ 250Mhz, Vdd=3.3 Volts |

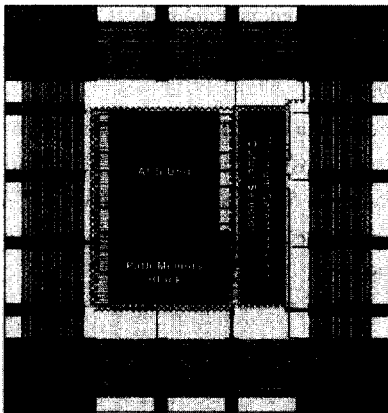


그림 12. 레이아웃

ACS 모듈은 6 비트인 적응 등화기 출력을 받아서 state metric 계산 동작과 경로 선택을 위한 제어 신호를 발생한다. 이러한 state metric 계산 동작은 오버플로우 문제를 야기시킬 수 있는데, 2의 보수 연산에 바탕을 둔 modulo-비교 기능을 통해 해결하였다. 경로 메모리는 12단계의 register-exchange 구조를 가지며, ACS에서 제공하는 제어 신호를 사용하여 각 상태에 대한 경로 별 정보(저장 비트 정보)를 생성과 유지하는 기능을 수행한다. 경로 메모리 출력 포트의 정보가 모두 일치하지 않는 비수렴 상태를 해결함과 동시에 시스템의 동작 주파수에 영향을 주지 않도록 하기 위해 파이프라인 구조의 최소값 결정 회로를 사용하였다. 비터비 디코더 회로는 MOSIS 0.35 $\mu\text{m}$  CMOS 공정을 사용하여 설계되었으며, 약 15,300개의 트랜지스터로 구성되며, 설계된 회로의 레이아웃 크기는 0.8mm  $\times$  0.9mm의 면적을 갖는다. 그리고 저전력 동작을 위해, 3.3V 전원을 사용하며, 최대 데이터 수신율은

250Mbps이다. 본 논문에서 설계한 EPR-4 비터비 디코더 회로는 2의 보수 연산에 바탕을 둔 modulo-비교, (1,7) RLL 코드 사용에 따른 감소된 상태수, carry-save 구조를 사용한 고속 동작, 그리고 최소값 결정 회로에 의한 비수렴 조건 처리 등의 하드웨어와 고속 동작에 바람직한 특성을 갖고 있으므로 비터비 디코더가 필요한 분야에 효율적으로 응용될 수 있다고 판단된다. 또한 ACS 모듈과 경로 메모리 모듈을 8개 상태에 맞게 일반화하면 사용 RLL 코드에 제한되지 않은 일반적인 EPR-4 비터비 디코더 구조로 쉽게 변환 가능하다. 향후 연구 방향으로는 적응 등화기, 타이밍 복구회로(timing recovery)와 연계된 성능 분석과 통합된 회로 설계 연구가 필요하다.

참고 문헌

- [1] J.J. Moon and L.R. Carley, "Partial Response Signalling in a Magnetic Recording Channel," *IEEE Trans., Magnetics.*, vol.24., no.6, pp. 2973-2975, Nov., 1988
- [2] G. D. Forney, Jr, "The Viterbi Algorithm," *IEEE Proceedings*, vol.61, pp.268-279, March, 1973.
- [3] H.Kobayashi and D.T. Tang, "Application of Partial-Response Channel Coding to Magnetic Recording System," *IBM Journal of Research and Development*, pp.368-375, July, 1970
- [4] R.D. Ciderciyan, F.Dolvio, R. Hermann, W. Hirt, and W. Schoot, "A PRML System for Digital Magnetic Recording," *IEEE J. on Selected Area Communication*, vol. 10, no.1, pp.38-56, January, 1992
- [5] John M. Cioffi, "Adaptive Equalization in Magnetic-Disk Storage Channels," *IEEE Communication Magazine*, pp.14-29, Feb., 1990.
- [6] F. Dolvio and G. Ungerboeck, "Viterbi Detectors for Partial Response class IV Signaling : Theory and Implementation," Tech. Report, IBM Research Report, RZ 1177, Zurich, Switzerland, September, 1982.
- [7] Pablo A. Ziperovich and Jack K. Wolf, "CMOS Implementation of A Viterbi Detector for Hard Disk Drives," *IEEE CICC '1993*,



- pp.10.3.1-10.3.4, 1993.
- [8] See-Hoi Caesar Wong, *Low Power High Speed DSP Architecture for Magnetic Disk PRML Read Channel*, UC. Berkeley, Memorandum No. UCB/ERL M93/72
- [9] R.W. Wood and D.A. Petersen, "Viterbi detection of class-IV partial response on a magnetic recording channel," *IEEE Trans. on Comm.*, vol.34, no.5, pp.454-461, May, 1986
- [10] M.J. Ferguson, "Optimal Reception for Binary Partial Response Channels," *The Bell Systems Technical Journal*, pp.493-505, Feb. 1972.
- [11] Arvind M. Patel, "A New Digital Signal Processing Channel for Data Storage Products," *IEEE Trans. on Magnetics*, vol.27, no.6, pp.4579-4584, November, 1991
- [12] Naoya Kobayashi, Wataru Sakurai and Seiichi Mita, "Simplified EPRML Methods based on Selective ACS for High Density Recording Channels," *ICC '95*, pp.564-570, 1995
- [13] Kelly J. Knudson, Jack K. Wolf, and Laurence B. Milstein, "Dynamic Threshold Implementation of the Maximum-Likelihood Detector for the EPR-4 Channel," *GLOBECOM '91*, pp. 2135-2138, 1991.
- [14] Byeong-Yoon Choi and Bang-Sup Song, "A High Speed VLSI Architecture of Adaptive Equalizer and Viterbi Decoder for EPR-IV Magnetic Disk Read Channel," submitted to *Journal of Korean Physics Society*.
- [15] C. Bernald Shung, Gottfried Ungerboeck, Hemant K. Thapar, and Paul Siegel, "VLSI Architecture for Metric Normalization in the Viterbi Algorithm," *ICC '1990*, pp.1723-1728, 1990.
- [16] A.P. Hekstra, "An Alternative to Metric Rescaling in Viterbi Decoders," *IEEE Trans. on Communications*, vol.37, no.11, pp.1220-1222, November, 1989.
- [17] J.M.Bergmans, "On the Performance of Data Receivers with a Restricted Detection Delay," *IEEE Trans. Comm*, Vol.42, no.6, pp.2315-2324, June, 1994.
- [18] Inyup Kang and Alan N. Wilson, "Low Power Viterbi Decoder for CDMA Mobile Terminals," *IEEE Journal of Solid-State Circuits*, vol. 33, no.3, pp.473-482, 1998.
- [19] Charles M. Rader, "Memory Management in a Viterbi Decoder," *IEEE Trans. Communications*, vol.COM-29, no.9, pp.1399-1401, Sept., 1981
- [20] P. Siegel and J. Wolf, "Modulation and Coding for Information Storage," *IEEE Communication Magazine*, vol.29, pp68-86, December, 1991.
- [21] Eliezer Sternheim, *Digital Design with Verilog HDL*, Automota Publishing Co., 1989
- [22] Avante Inc., *HSPICE User's Manual*, vol.1-4, 1998
- [23] Jiren Yuan and Christer Svenson, "New Single Clock CMOS Latches and Flip flops with Improved Speed and Power Savings," *IEEE J. Solid State Circuit*, vol.32. no.1 pp.62-69, Jan, 1997
- 최 병 윤(Byeong-Yoon Choi) 정회원  
한국 통신 학회 논문지 24권 제 3호, p.430 참조
- Bang-Sup Song 정회원  
University of Illinois(UIUC) 전기 공학과 교수  
<주관심 분야> Analog VLSI 회로 설계