

고장감내형 셔플스위치망의 연결성 평가

정회원 윤상흠*, 고재상**

Connectivity Evaluation for a Class of Fault-tolerant Shuffle Exchange Networks

Sang-Hum Yoon*, Jai-Sang Koh** *Regular Members*

요약

본 논문은 고장 감내형 셔플스위치망에서 단위스위치의 고장에 따른 교환시스템의 성능저하를 특성화 하기 위한 연결성 관련 신뢰성 척도를 다루고 있다. 상호 연결 가능한 평균 입출력 쌍의 수, 최소한 한 개 이상의 출력으로 연결 가능한 평균 입력의 수, 그리고 한 개 이상의 출력과 연결된 입력으로부터 실제 연결 가능한 평균 출력의 수를 연결성 척도로 고려한다. 단일경로 SEN과 이를 고장 감내화시킨 SEN+ 및 INDRA망에 대해 언급된 세가지 연결성 척도에 대한 평가방법을 제시한다. 이를 바탕으로 수치실험을 통한 망들의 비교, 분석이 이루어 진다.

ABSTRACT

This paper considers connectivity-related reliability measures for a class of fault-tolerant shuffle exchange networks to characterize the degrading features over time in the presence of faulty switching elements. The mean number of connected input/output pairs, the mean number of survivable inputs that are connected to at least one output and the mean number of outputs connected from a survivable input are considered as connectivity measures. The measures for the unique-path shuffle exchange network(SEN) and its two fault-tolerant variants, extra-stage SEN(SEN+) and INDRA network are derived analytically, and then are compared with numerical experiments.

I. 서론

다수의 프로세서와 다수의 기억장치 모듈을 가지는 병렬처리 시스템에서 각 프로세서와 기억장치간의 명령 및 자료 전송이 원활하게 이루어지도록 하기 위한 중간 교환구조로서 많은 다단계상호연결망(multistage interconnection network)들이 제안되어 왔다. 또한, 다단계상호연결망은 ATM 교환기의 교환구조로도 사용된다.

이러한 다단계상호연결망에 고장 감내성(fault-tolerance)을 부여하기 위한 일반적인 방안은 망 구

성품의 고장으로 인해 어떤 입출력(프로세서-기억장치)쌍간의 경로 단절이 일어날 경우 다른 예비 경로가 사용될 수 있도록 각 입출력 쌍을 위해 여러 개의 통신경로를 제공하는 것이다. 이를 위한 여러 구체적인 방법들로 교환단계(stage)를 늘리는 방법, 단계 내에서 부가적인 링크를 설치하는 방법, 단위 스위치(switching element, SE)의 크기를 늘리는 방법, 단일경로망을 다중으로 병렬 연결하는 것 등이 제안되어 왔다^[1, 12].

본 논문은 단위스위치의 고장이 발생하는 상황에서 단일경로 SEN(unique-path shuffle exchange

* 한국전자통신연구원 기술경제성연구팀(shy@etri.re.kr)

** 한국전자통신연구원 통신망기반팀(jskoh@etri.re.kr)

논문번호 : 98409-0910, 접수일자 : 1998년 9월 10일

network 또는 omega network)⁽⁷⁾, SEN+(extra-stage SEN 또는 extra-stage delta network)⁽⁹⁾, 그리고 INDRA망(generalized indra network)^(8, 11)의 연결성 관련 신뢰성 척도를 다루고 있다. SEN+는 SEN의 교환단계를 늘린 것이고 INDRA망은 다수개의 SEN을 병렬로 연결한 것으로 둘다 SEN에서 출발한 고장감내형 상호연결망들이다. 논문에서 고려된 세 가지 연결성 척도는 상호 연결 가능한 평균 입출력 쌍의 수, 최소한 한 개 이상의 출력으로 연결 가능한 평균 입력의 수, 그리고 한 개 이상의 출력과 연결된 입력으로부터 실제 연결 가능한 평균 출력의 수이다. 이러한 연결성 척도는 시간에 따라 단위스위치의 고장으로 인한 시스템 성능의 저하정도를 특성화 할 뿐만 아니라 완전연결이 가능한, 즉, 모든 입출력 쌍간의 전송경로가 살아있는 입출력 부분집합의 최대 크기를 근사적으로 알 수 있다는 장점을 가진다^(4, 5).

SEN+ 및 INDRA망의 신뢰성에 대한 연구는 과거부터 매우 활발히 진행되어 왔다^(2, 3, 6, 8, 10, 11). 이들 연구의 대부분은 망신뢰도(network reliability)와 종단신뢰도(terminal reliability)를 평가하는 데에 편중되어 있다. 망신뢰도란 모든 입출력 쌍간의 완전연결이 가능할 확률을 의미하며, 종단신뢰도란 임의의 입출력 쌍간에 연결 경로가 살아 있을 확률을 말한다.

언급된 연결성 척도들은 Koren과 Koren⁽⁵⁾에 의해 처음으로 다단계상호연결망의 성능을 표현하기 위해 소개되었다. 그들은 단일 경로 generalized cube망의 연결성 척도를 도출한 바 있다. 본 논문은 이들의 연구를 보다 복잡한 연결 구조를 가지는 고장 감내형 서플스위치망을 대상으로 확장한다. Cherkassky와 Malek⁽⁴⁾도 상호 연결 가능한 평균 입출력 쌍의 수를 시스템 성능저하의 척도로 사용한 바 있다. 하지만 이들의 연구는 연결망내의 단위스위치간 연결 구조를 구체적으로 고려하지 않고 간략화 함으로서 정확한 척도의 상한치(upper bound)를 도출한 것이 다.

본 논문의 구성은 다음과 같다. 다음 장에서는 대상으로 하는 SEN, SEN+, INDRA망의 망 구조에 대해 간략히 살펴본다. III장에는 각 망에 대해 경로그래프와 확률계산을 통하여 정확한 연결성 척도를 유도하는 과정이 나타나 있다. 이를 바탕으로 IV장에서는 수치실험을 통한 망들의 비교, 분석이 이루어진다. 마지막으로, V장에는 논문의 결론이 서술되었다.

II. 서플스위치망

본 장에서는 SEN과 이를 부속망으로 사용하여 고장 감내화시킨 SEN+와 INDRA에 대한 간략한 망 구성을 살펴본다.

• 단일경로 SEN의 구조

일반적으로 N 개의 입력과 N 개의 출력을 가지는 $N \times N$ SEN은 $R \times R$ 크기의 단위스위치, n ($n = \log_{R} N$, $R = 2^r$, $r \geq 1$)개의 교환단계와 각 단계마다 N/R 개의 단위스위치로 구성된다. 단계와 단계간의 링크 연결은 서플구조로 이루어진다. 본 논문에서는 2×2 단위스위치를 사용하는 SEN을 대상으로 분석이 이루어진다. SEN에서 각 입출력 쌍간에는 오직 한 개의 경로가 존재하며, 경로간에 단위스위치들이 중복 연결되어 있으므로, 임의의 단위스위치의 고장으로 인해 많은 수의 프로세서와 기억장치간의 연결이 단절되어 시스템의 성능저하가 발생한다. 8×8 SEN의 예가 그림 1(a)에 나타나 있다.

• SEN+의 구조

SEN+는 SEN에서 교환단계를 한 개 더 추가한 것이다^(2, 3, 9). 2×2 단위스위치를 사용하는 경우 추가된 단계로 인해 각 입출력 쌍간에 두개의 경로가 설정된다. 따라서, 어떤 경로의 단절이 발생할 경우 나머지 한 개가 사용되므로 경로 생존성의 향상이 이루어진다. 그림 1(b)에는 8×8 SEN+의 예가 나타나 있다. SEN+에서 단위스위치의 고장이 없는 상태에서의 각 입출력 쌍간의 경로 설정 및 운용방법과 특정 단위스위치의 고장으로 인한 경로의 변경 및 운용 방법에 대한 자세한 내용은 Raghavendra와 Varma⁽⁹⁾에 잘 나타나 있다.

• INDRA의 구조

INDRA망은 그림 1(c)와 같이 L 개의 단일경로 SEN을 부속망으로 병렬화 시킴으로써 전체 시스템을 고장 감내화 시킨 것이다. $N \times N$ INDRA망은 $\log_{R} N + 1$ 개의 단계로 이루어지며 단계 0은 N 개의 $R \times L$ 단위스위치로 구성되고 나머지 단계에는 $R \times R$ 스위치를 사용하는 SEN이 위치한다. 단계간 링크 연결은 다음과 같다.

- 망 입력 단의 i 번째 입력은 단계 0의 $(\lfloor R \lfloor i/R \rfloor \leq j < R \lceil (i+1)/R \rceil)$ 번째 단위 스위

- 치들로 연결 ($i=0,1,\dots,N-1$).
- 단계 0의 각 단위스위치로부터 나오는 L 개의 출력들을 각 부속망으로 연결,
- 각 부속망의 i 번째 출력을 모아서 출력단의 i 번째 출력으로 연결.

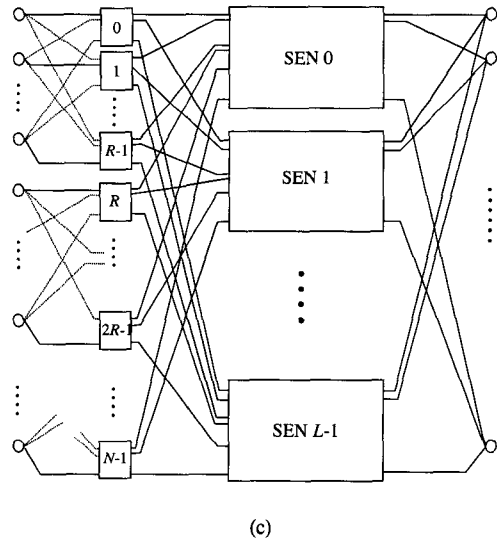
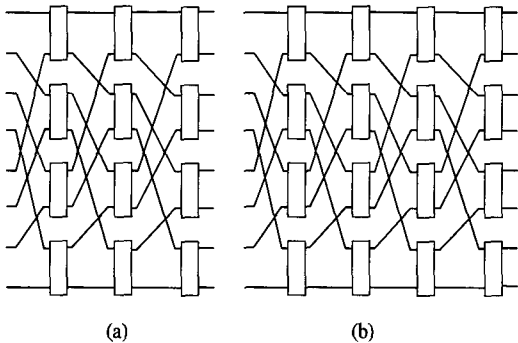


그림 1. 서플스위치망: (a) 8x8 SEN (b) 8x8 SEN+ (c) N x N INDRA

III. 서플스위치망의 연결성 분석

분석의 용이함을 위해 다음과 같은 기호를 사용한다.

p : 각 단위스위치의 고유 신뢰도 (즉, 정상 작동할 확률), 시간 t 에 중속적인 확률과정이나 표현의 간략화를 위해 t 를 생략해서 사용,

TR : 중단신뢰도, 즉, 임의의 입출력 쌍간에 연결 경로가 살아 있을 확률,

ν : 한 개의 입력으로부터 연결 가능한 출력의 수를 나타내는 확률변수,

δ : 상호 연결 가능한 평균 입출력 쌍의 수,

SI : 최소한 한 개 이상의 출력으로 연결 가능한 평균 입력의 수,

SO : 최소한 한 개 이상의 출력과 연결된 입력으로부터 실제 연결 가능한 평균 출력의 수.

연결성 척도에 대한 이해를 돕기 위해 그림 2에 나타난 바와 같이 8x8 SEN+의 예를 고려해 보자. 모든 단위스위치가 정상 작동한다면 총 64개의 입출력 쌍간의 연결이 가능하다. 만약 그림에서 나타난 바와 같이 중간 단계에 속한 두개의 단위스위치가 고장인 경우 연결이 가능한 입출력 쌍의 수는 48개로 줄어든다. 이는 16개의 프로세서-기억장치 쌍의 명령 및 데이터 전송이 불가능함을 의미하며 전체 교환시스템의 성능저하 정도의 척도로 사용될 수 있다. 하지만, 연결된 입출력 쌍의 수로는 몇 개의 입력이 출력과 연결되어 정상 작동 중이고 몇 개의 출력이 실제로 입력과 연결되어 작동 중인지를 알 수 없다. 이를 위해 SI 와 SO 의 척도가 필요하게 된다. 그림에서 전체 8개의 입력은 최소한 한 개 이상의 출력과 연결되어 작동중이며, 각 입력에서 연결 가능한 출력의 수를 나열해보면 임의의 입력으로부터 연결 가능한 출력수의 평균이 6개임을 알 수 있다.

서플스위치망의 연결성 도출에 앞서, δ 와 TR 의 관계를 위해 다음의 정리가 제시된다.

정리 1. 만약 모든 단위스위치가 동일한 고장과정을 가지고, 그 과정이 상호 독립적이면 다음의 관계식이 성립한다:

$$\delta = N^2 TR = N \cdot E[\nu]. \quad (1)$$

증명. $x_{i,j}$ 를 i 번째 입력과 j 번째 출력간에 최소한 한개 이상의 경로가 살아 있으면 1의 값을 가지고, 아니면 0의 값을 가지는 확률변수라고 할 때, 정리의 가정에 의해 모든 (i, j) 쌍에 대해 $\Pr\{x_{i,j}=1\} = TR$ 의 확률분포를 가진다. 따라서, 다음의 관계식이 성립하게 된다:

$$\delta = E\left[\sum_{i=1}^N \sum_{j=1}^N x_{i,j}\right] = N^2 TR.$$

또한, 새로운 확률변수 x_i 를 $x_i = \sum_{j=1}^N x_{i,j}$ 로 정의

하면 $\delta = E\left[\sum_{i=1}^N x_i\right] = N \cdot E[x_i]$ 의 관계식이 성립하게 된다.

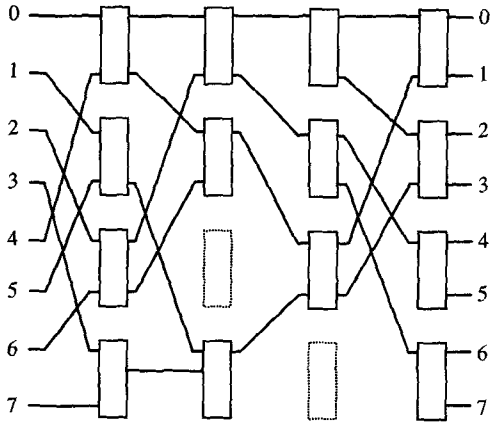


그림 2. 두 개의 단위스위치가 고장인 경우(8x8 SEN+)

이제 서플스위치망에 속한 각 망의 연결성 척도를 도출한다.

• SEN

SEN에서 임의의 입출력 쌍간에는 오직 한 개의 경로만이 존재하므로 중단신뢰도는 $TR_{SEN} = p^n$ ($n = \log_2 N$)임을 쉽게 알 수 있다. 따라서, 식 (1)에 의해 연결 가능한 평균 입출력 쌍의 수는 다음과 같이 얻어진다.

$$\delta_{SEN} = N^2 \cdot TR_{SEN} = N^2 \cdot p^n. \quad (2)$$

상호연결망의 신뢰도 분석을 위해서는 경로그래프(path-graph)가 많이 사용된다. 경로그래프는 대상 입출력 쌍간의 가능한 모든 경로를 보여준다. 경로 그래프상의 노드(node)는 망의 단위스위치에 대응되며 아크(arc)는 망의 링크에 해당한다. SEN에서 한 개의 입력으로부터 모든 출력으로의 경로그래프는 그림 3과 같은 이진나무(tree)구조를 가진다. $DT(d)$ 를 깊이 d 인 이진나무구조에서 루트노드로부터 바닥노드들로 통하는 모든 경로가 단절될 확률이라고 할 때, 기호의 정의에 의해

$$\Pr\{\nu=0\} = DT(n) \quad (3)$$

로 표현 된다. 이때, 루트노드의 고장여부를 고려할 때 $DT(n)$ 은 다음과 같은 순환방정식(recursive

equation)에 의해 구해질 수 있다.

$$DT(n) = (1-p) + p[DT(n-1)]^2, \quad (4)$$

여기서 초기해는 $DT(2) = (1-p) + p(1-p)^2$ 이며, $DT(n)$ 를 계산하기 위해 필요한 시간 복잡도(time complexity)는 $O(n)$ 이다.

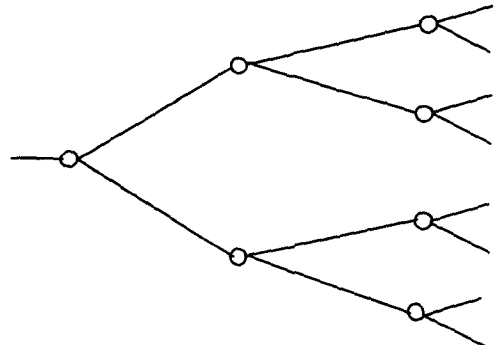


그림 3. 한 개의 입력으로부터 모든 출력으로의 경로 그래프(8x8 SEN)

식 (1)과 식 (3)으로부터 SEN에 대한 나머지 연결성 척도는 다음과 같이 구해진다.

$$SI_{SEN} = N \Pr\{\nu \geq 1\} = N[1 - DT(n)], \quad (5)$$

$$\begin{aligned} SO_{SEN} &= E[\nu | \nu \geq 1] \\ &= E[\nu] / \Pr\{\nu \geq 1\} \\ &= N TR / [1 - DT(n)] \\ &= N p^n / [1 - DT(n)]. \end{aligned} \quad (6)$$

• SEN+

SEN+는 임의의 입출력 쌍간에 그림 4와 같은 경로그래프를 가진다. 따라서, SEN+의 중단신뢰도는 $TR_{SEN+} = 2p^{n+1} - p^{2n}$ 으로 얻어지며 식 (1)로부터

$$\delta_{SEN+} = N^2 TR_{SEN+} = N^2 [2p^{n+1} - p^{2n}] \quad (7)$$

임을 알 수 있다.

SEN의 경우와 마찬가지로, SI_{SEN+} 와 SO_{SEN+} 는 한 개의 입력으로부터 모든 출력으로의 경로그래프(그림 5(a))로부터 도출된다. 그림에서 만약 루트 노드가 고장일 경우 루트로부터 바닥노드들로의 모든 경로가 단절된다. 루트 노드가 정상 가동할 경우에 두번째 단계의 두개의 노드(검은색 노드)를 양쪽으로 펼치면 경로그래프는 그림 5(b)와 같이 된다.

$DG(n)$ 를 그림 5(b)와 같이 깊이 n 인 이진나무구조 두 개의 바타노드들이 겹쳐진 그림에서 양쪽 루트노드로부터 $N/2$ 개의 중앙에 위치한 노드들로 통하는 모든 경로가 단절될 확률이라고 할 때, 기호의 정의에 의해

$$\Pr\{\nu=0\}=(1-p)+pDG(n) \quad (8)$$

로 표현된다. 이때, $DG(n)$ 는 다음의 순환방정식에 의해 구해진다.

$$DG(n)=(1-p)^2+p^2[DG(n-1)]^2+2p(1-p)[DT(n-1)]^2, \quad (9)$$

여기서, 초기해는 $DG(2)=2(1-p)^2-(1-p)^4$ 이며, $DT(n-1)$ 는 SEN에서의 식 (4)에 의해 계산된다. $DG(n)$ 를 계산하기 위한 시간 복잡도는 $O(n)$ 이다. 또한, 식 (8)으로부터

$$SI_{SEN+}=N \Pr\{\nu \geq 1\}=N p[1-DG(n)] \quad (10)$$

으로 표현되며,

$$SO_{SEN+}=\frac{E\{\nu\}}{\Pr\{\nu \geq 1\}}=\frac{N[2p^n-p^{2n-1}]}{[1-DG(n)]} \quad (11)$$

임을 알 수 있다.

• INDRA

Varma와 Raghavendra^[11]는 $R \times R$ 단위스위치를 가지는 INDRA 망에 대하여 다음과 같은 중단신뢰도를 도출한 바 있다.

$$TR_{INDRA}=p \sum_{i=0}^{R-1} \sum_{k=0}^i \binom{i}{k} p^k(1-p)^{i-k} (A_1^i(p, k) - A_2^i(p, k)), \quad (12)$$

여기서,

$$n=\log_R N,$$

$$A_1(p, k) \equiv 1-p+p(1-p^{n-1})^k,$$

$$A_2(p, k) \equiv 1-p+p(1-p^{n-1})^{k+1} \text{ 이다.}$$

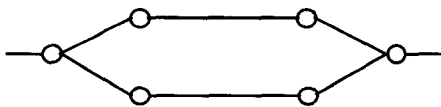
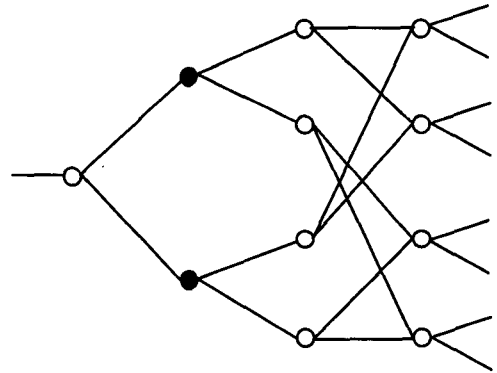
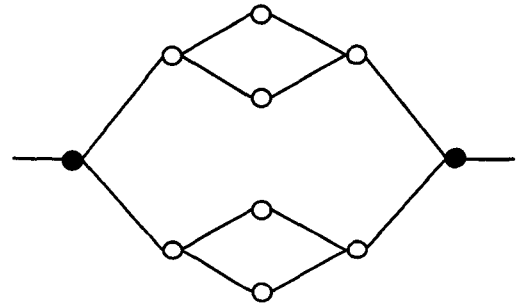


그림 4. 임의의 입출력 쌍간의 경로그래프(8x8 SEN+)



(a)



(b)

그림 5. 한 개의 입력으로부터 모든 출력으로의 경로 그래프(8x8 SEN+);

- (a) 원형 그래프
- (b) 간략화된 그래프

그들이 사용한 방법은 입출력 쌍간의 모든 가능한 경로에 대한 합집합의 확률을 구하는 것이었다. 이러한 방법은 모든 가능한 경로에 대한 나열에 의해 가능하며, 결과적으로 복잡한 확률적 계산을 필요로 하였다. 본 장에서는 먼저 경로그래프를 간략화하고 역으로 입출력 쌍간의 모든 경로가 단절될 확률을 고려함으로써 INDRA의 중단신뢰도 계산이 매우 직관적이고 간략화 될 수 있음을 보인다.

INDRA의 경우, 하나의 입력으로부터 출발하여 하나의 부속망(SEN)을 통과하는 가능한 경로는 R 개이다. 이러한 R 개의 경로는 그 부속망을 통과하면서 마지막 단계 전까지는 상호 배타적이며(disjoint) 마지막 단계에서 한 개의 스위치로 모이는 성질을 가진다. 이러한 성질을 이용하여 임의의 입출력 쌍간의 경로그래프를 그리면 그림 6(a)와 같은 3단계 그래프로 간략화 된다. 그림에서 단계 1의 노드들은 부속망에서 마지막 단계 전까지 거치는 $n-1$ 개의 단위스위치를 모은 것으로 이러한 노드가

살아 있을 확률은 언급한 상호 배타적인 성질에 의해 p^{n-1} 이다. 그림상에서 단계 2의 노드들은 부속망의 마지막 단계의 단위스위치를 의미하며 p 의 신뢰도를 가진다. D 를 임의의 입출력 쌍간의 모든 경로가 단절될 사건(event)이라고 하고, F_k 를 그림 6(a)의 단계 2에 속한 L 개의 노드 중 k 개가 고장날 사건이라고 할 때, 중단 신뢰도는

$$TR_{INDRA} = 1 - \sum_{k=0}^L \Pr\{F_k\} \cdot \Pr\{D|F_k\} \quad (13)$$

로 표현된다. F_k 의 확률은 이항분포를 통해

$$\Pr\{F_k\} = \binom{L}{k} p^k (1-p)^{L-k}, \quad (14)$$

$k=0, 1, 2, \dots, L$ 으로 계산이 가능하다. 또한, 사건 $D|F_k$ 는 그림 6(b)와 같이 R 개의 상호 배타적인 2단계 나무구조가 모인 그림에서 각 루트노드로부터 k 개의 바다노드들로의 모든 경로가 단절되는 사건을 의미하므로

$$\Pr\{D|F_k\} = [1-p + p(1-p^{n-1})^k]^R \quad (15)$$

임을 쉽게 알 수 있다. 따라서, 식 (13)으로부터

$$\begin{aligned} \text{식(13)} \\ = 1 - \sum_{k=0}^L \binom{L}{k} p^k (1-p)^{L-k} [1-p + p(1-p^{n-1})^k]^R \end{aligned} \quad (16)$$

으로 정리되며 식 (16)의 마지막 항을 이항정리를 이용하여 다시 정리하면 다음과 같다.

$$\begin{aligned} TR_{INDRA} \\ = 1 - \sum_{k=0}^L \binom{L}{k} p^k (1-p)^{L-k} \cdot \sum_{i=0}^R \binom{R}{i} p^i (1-p^{n-1})^{ik} (1-p)^{R-i} \\ = 1 - \sum_{k=0}^L \sum_{i=0}^R \binom{L}{k} \binom{R}{i} p^{i+k} (1-p)^{L+R-i-k} \cdot (1-p^{n-1})^{ik}. \end{aligned} \quad (17)$$

예를 들어, $R=L=2$, $N=16$ 인 경우 중단신뢰도는 $TR_{INDRA} = p^5(4-4p^4-2p^5+4p^8-p^{11})$ 이다. 식 (17)은 Varma와 Raghavendra⁽¹¹⁾의 식 (12)와 동일하며 보다 간략화된 표현이다.

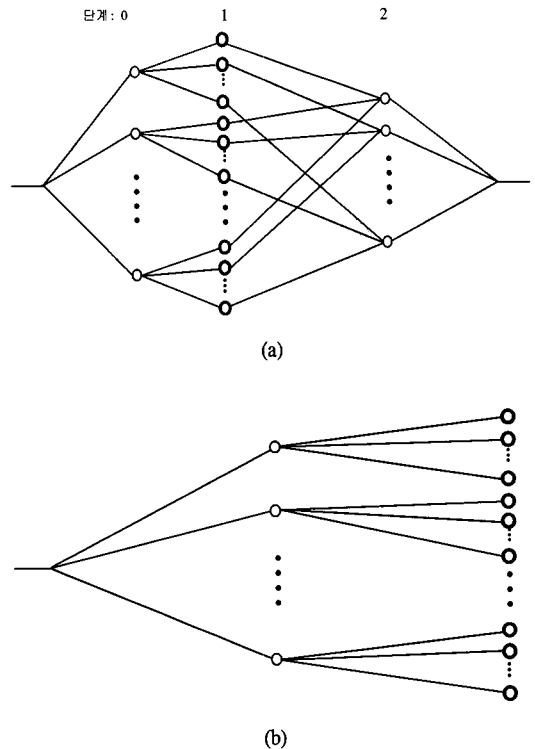


그림 6. 임의의 입출력 쌍간의 경로그래프($N \times N$ INDRA):
(a) 원형 그래프
(b) 간략화된 그래프

일반적인 경우에 경로 그래프의 복잡성 때문에 INDRA에 대한 SI_{INDRA} 와 SO_{INDRA} 의 도출은 쉽지가 않다. 또한, SEN, SEN+와의 비교를 위해 본 논문에서는 $R=L=2$ 인 경우(즉, 두개의 부속망으로 구성되며, 2×2 단위 스위치가 사용되는 경우)로 한정하여 분석을 하고자 한다. 이 경우 한 개의 입력으로부터 모든 출력으로의 경로 그래프를 그리면 그림 7(a)와 같이 나타난다. 그림에서 부속망 안에서의 그래프는 깊이가 n ($n = \log_2 N$)인 이진나무구조로서 SEN의 경로그래프(그림 3)와 동일하다. 따라서, 한 개의 부속망 안에서 경로가 단절될 확률은 $DT(n)$ 로 표현되며, 식 (4)의 순환방정식에 의해 계산된다. 또한, 그런 나무구조를 한 개의 중첩노드로 표현하여 경로 그래프를 간략화 하면 그림 7(b)와 같다. 따라서, 다음을 쉽게 도출할 수 있다.

$$\Pr\{\nu \geq 1\} = [1 - (1-p)^2] \cdot [1 - DT(n)^2]. \quad (18)$$

이로부터, SI_{INDRA} 와 SO_{INDRA} 은 다음과 같이 계산된다.

$$SI_{INDRA} = N \Pr\{\nu \geq 1\} = N [1 - (1-p)^2] \cdot [1 - DT(n)^2], \quad (19)$$

$$SO_{INDRA} = E\{\nu\} / \Pr\{\nu \geq 1\} = N TR_{INDRA} / [1 - (1-p)^2] \cdot [1 - DT(n)^2]. \quad (20)$$

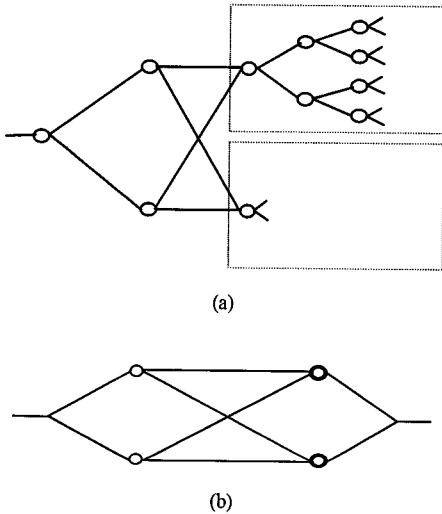


그림 7. 한 개의 입력으로부터 모든 출력으로의 경로그래프(8×8 INDRA, R=L=2):
(a) 원형 그래프
(b) 간략화된 그래프

IV. 수치결과

본 장에서는 서플스위치망에 대한 연결성 척도의 도출 결과를 바탕으로 수치적 실험을 통해 망의 성능을 비교/분석하고자 한다. 각 단위스위치의 고장 과정이 상수 고장률 λ 를 가지고 일어나고 단위스위치의 고장발생시 수리가 없다고 가정할 때 시간 t 에서 어떤 단위스위치가 정상작동 상태일 확률은 $p(t) = e^{-\lambda t}$ 이다. 이를 III장에서 얻어진 서플스위치망들의 연결성 척도의 도출 결과들에 대입하고 λt 를 0.01부터 0.005씩 증가하여 0.1까지 변화시킬 때 각 망의 δ , SI , SO 값을 계산하였다. 각 망의 단위 스위치는 모두 2×2크기이며 INDRA의 경우 L=2인 망이 사용되었다.

그림 8은 64×64 크기의 망들에 대해 전체 4096개의 입출력 쌍 중에 단위스위치의 고장에 따라 실제 연결가능한 쌍의 수(δ)가 감소하는 과정을 보여준다. SEN과 SEN+에 비해 다중의 연결경로를 가지는 INDRA가 성능저하측면에서 좋은 고장감내성

을 가짐을 알 수 있다.

그림 9는 256×256 망들에서 출력과 연결되어 실제 가동중인 평균 입력 수(SI)의 시간에 따른 변화를 보여준다. SEN+의 경우 고장감내형 망임에도 불구하고 SEN에 비해 SI 척도 측면에서는 나이지 않음을 알 수 있다.

마지막으로 그림 10은 256×256 망들에서 연결된 하나의 입력으로부터 실제 연결된 평균 출력 수(SO)의 시간에 따른 변화를 나타낸다.

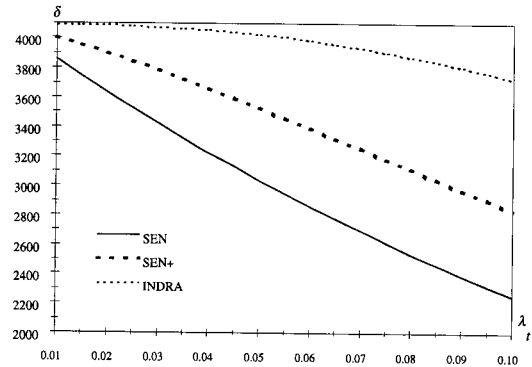


그림 8. 64×64 서플스위치망의 δ 값 비교

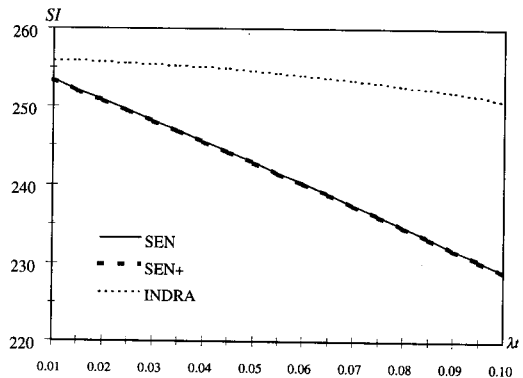


그림 9. 256×256 서플스위치망의 SI 값 비교

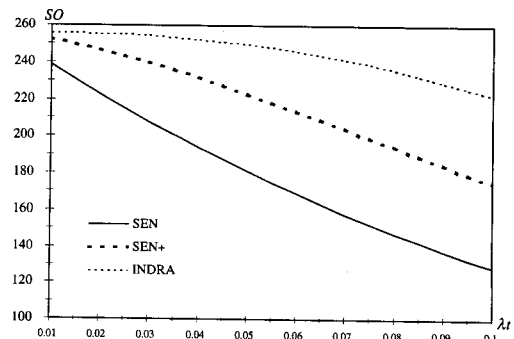


그림 10. 256×256 서플스위치망의 SO 값 비교

V. 결론

본 논문에서는 고장감내형 서플스위치망에서 단위 스위치의 고장에 따른 망의 성능저하를 특성화 하기 위한 연결성 관련 신뢰성 척도를 다루었다. 이는 단일경로망이나 근사적인 망구조를 고려한 기존의 연구를 확장한 것이며 신뢰성척도를 부품고장에 따른 성능저하의 척도로 확장한 것이다.

본 논문에서 사용한 연결성 도출을 위한 경로그래프와 확률계산은 복잡한 연결구조를 가지는 다른 고장 감내형 다단계상호연결망의 신뢰도성능분석에도 효과적으로 적용 가능하다.

참고 문헌

[1] G. Adams, D.P. Agrawal, H.J. Siegel, "A Survey and Comparison of Fault-tolerant Multistage Interconnection Networks," *IEEE Computer*, 20, pp. 14-27, June 1987.

[2] J.T. Blake, K.S. Trivedi, "Reliability Analysis of Interconnection Networks Using Hierarchical Composition," *IEEE Trans. Rel.*, 38, pp. 111-120, April 1989.

[3] X. Cheng, O.C. Ibe, "Reliability of a Class of Multistage Interconnection Networks," *IEEE Trans. Parallel and Dist. Sys.*, 3, pp. 241-245, 1992.

[4] V. Cherkassky, M. Malek, "A Measure of Graceful Degradation in Parallel-computer Systems," *IEEE Trans. Rel.*, 38, pp. 76-81, April 1989.

[5] I. Koren, Z. Koren, "On Gracefully Degrading Multiprocessors with Multistage Interconnection Networks," *IEEE Trans. Comput.*, 38, pp. 82-88, April 1989.

[6] B.L. Menezes, U. Bakhru, "New Bounds on the Reliability of Augmented Shuffle-exchange Networks," *IEEE Trans. Comput.*, 44, pp. 123-129, 1995.

[7] J.H. Patel, "Performance of Processor-memory Interconnection for Multiprocessors," *IEEE Trans. Comput.*, 30, pp. 771-780, Oct. 1981.

[8] C.S. Raghavendra, A. Varma, "INDRA: A Class of Interconnection Networks with Redundant Paths," *Real-Time Systems Symp.*, pp. 153-164, 1984.

[9] C.S. Raghavendra, A. Varma, "Fault-tolerant Multiprocessors with Redundant-path Interconnection Networks," *IEEE Trans. Comput.*, 35, pp. 307-316, April 1986.

[10] C.R. Tripathy, S. Patra, R.B. Misra, R.N. Mahapatra, "Reliability Evaluation of Multistage Interconnection Networks with Multistate Elements," *Microelect. Rel.*, 36, pp. 423-428, 1996.

[11] A. Varma, C.S. Raghavendra, "Reliability Analysis of Redundant-path Interconnection networks," *IEEE Trans. Rel.*, 38, pp. 130-137, April 1989.

[12] C.L. Wu, T.Y. Feng, "On a Class of Multistage Interconnection Networks," *IEEE Trans. Comput.*, 29, pp. 694-702, 1980.

윤 상 흠(Sang-Hum Yoon)

정회원



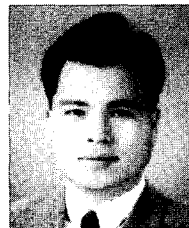
1990년 : 성균관대학교 산업공학과 졸업
 1992년 : 한국과학기술원 산업공학과 석사
 1997년 : 한국과학기술원 산업공학과 박사

1999년 7월~현재 : 한국전자통신연구원 기술경제 연구부 선임연구원

<주관심 분야> 경영과학(optimization), 이동통신

고 재 상(Jai-Sang Koh)

정회원



1980년 : 고려대학교 산업공학과 졸업
 1985년 : 전남대학교 경영대학원 석사
 1997년 : 전남대학교 산업공학과 박사

1982년 3월~현재 : 한국전자통신연구원 교환전송 기술연구소 책임연구원

<주관심 분야> 네트워크복구 알고리즘, 통신망신뢰성 최적화 기술, 통신 시스템 신뢰성 기술