

메모리 크기를 최소화한 인터리버 및 길쌈부호기의 설계

정희원 임인기*, 김경수*, 조한진*

A design of convolutional encoder and interleaver with minimized memory size

In-Gi Lim*, Kyung-Soo Kim*, Han-Jin Cho* *Regular Members*

요 약

본 논문은 길쌈 부호화 (convolutional encoding) 및 인터리빙(interleaving) 기법을 사용하는 채널 부호기에 있어서 메모리 크기를 최소화한 설계 방법에 관한 것이다. 기존의 구현방식에서는 프레임 데이터를 보관하는 입력버퍼 RAM과 인터리빙을 위한 인터리버 RAM을 별도로 사용해야 한다. 본 논문에서는 메모리 크기가 큰 인터리버 RAM을 사용하는 대신 입력버퍼 RAM 1개를 추가로 사용하여 길쌈 부호화 및 인터리빙을 동시에 처리할 수 있는 새로운 채널 부호기 설계 방법을 제안하였다. 이 설계 방법을 여러 디지털 이동통신 모델의 채널 부호기에 적용한 결과 기존 설계 방식에 비해 33 % ~ 60 %의 메모리 크기 감소 효과가 있었으며, 프레임 데이터 수신 시 처리 질차가 간편해지고 타이밍 마진을 늘릴 수 있는 장점이 있었다.

ABSTRACT

In this paper, we present a memory efficient implementation method of channel encoder using convolutional encoding and interleaving. In conventional method, two separate RAMs must be used for the channel encoder: one RAM for storing frame data and another RAM for interleaving. In our method, without using interleaving RAM, we only use two small RAMs for buffering input frame data. We can process convolutional encoding and interleaving concurrently by using the two RAMs. There are several advantages when applying channel encoder designed using this method to several digital mobile telecommunications : the reduction of memory size ranging 33 % ~ 60 %, simplified procedure of receiving frame data, and resultant timing margin gained by the simplified procedure.

I. 서 론

디지털 이동 통신 기술 중 ^[1] CDMA (Code Division Multiple Access) 방식은 TDMA (Time Division Multiple Access) 방식에 비해 음질 및 가입자 수용능력 등에서 큰 장점을 가지고 있다. 국내에서는 1990년대 초기부터 CDMA 이동통신 시스템에

대한 연구를 수행하여 시스템 개발에 성공하였으며, 1996년부터 상용 서비스를 시작하고 있다.

CDMA 디지털 이동 통신 모델 설계에 있어서 핵심 기술은 확산대역 (spread spectrum)을 이용한 변복조 기술, 채널 부호화 및 복호화 기술이다. CDMA 셀룰러, PCS, WLL, IMT-2000으로 발전되어 온 CDMA 디지털 이동 통신용 모델은 물리 채널수의 증가와 데이터 속도의 증가로 이를 구현하기 위한

* 한국전자통신연구원 회로소자기술연구소 집적회로설계연구부 (iglim@etri.re.kr)
 논문번호 : 99368-0908, 접수일자 : 1999년 9월 8일

모뎀 ASIC의 하드웨어가 방대해졌으며, 따라서 이의 최적화 필요성이 점차 대두되고 있다. 본 논문은 디지털 이동 통신용 모뎀의 변조 기술에서 필수적인 길쌈 부호화 (convolutional encoding)와 인터리빙 (interleaving) 기법을 사용하는 채널 부호기 구현에 있어서 메모리 크기를 최소화한 설계 방법에 관한 것이다. II 장에서는 기존 방식에 의한 채널 부호기의 설계에 대해 기술하며, III 장에서는 본 논문에서 제안한 새로운 방법의 채널 부호기 설계에 대해 기술하며, IV 장에서는 여러 디지털 이동 통신 모뎀 ASIC에 본 논문의 채널 부호기를 적용한 결과와 기존 채널 부호기 설계방법의 결과에 대해 비교 평가한다.

II. 기존 방식에 의한 채널 부호기 설계

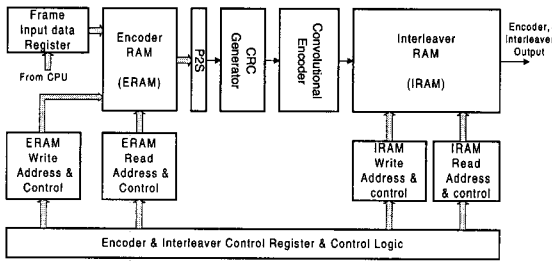


그림 1. 기존 방식에 따른 채널 부호기의 블록도

기존 방식에 의한 채널 부호기 설계 방법^[3, 4]을 그림 1의 기존 방식에 의한 채널 부호기의 블록도를 가지고 알아보면 다음과 같다. 채널 부호화를 위해서 마이크로 컨트롤러의 제어를 받아 프레임 입력 데이터 레지스터를 통하여 입력되는 한 프레임 데이터를 입력버퍼 RAM (ERAM) write 어드레스 제어 회로의 제어로 Encoder RAM(ERAM)에 순차적으로 저장한다. 다음 프레임의 경계에서부터 계산되어진 시간만큼 앞서 ERAM을 순차적으로 읽어내어 병렬 직렬 변환기를 거쳐 CRC 생성기로 입력되어 원하는 CRC를 생성하고, 동시에 길쌈 부호기에 입력되어 코드심벌을 생성한다. 생성된 코드심벌을 IRAM write 어드레스 제어 회로의 제어로 순차적으로 Interleaver RAM (IRAM)에 저장한 후 프레임의 경계에서부터 IRAM read 어드레스 제어 회로의 제어로 정규화 된 시간에 정해진 열(row)로 읽어 냄으로써 채널 부호화를 완성한다.

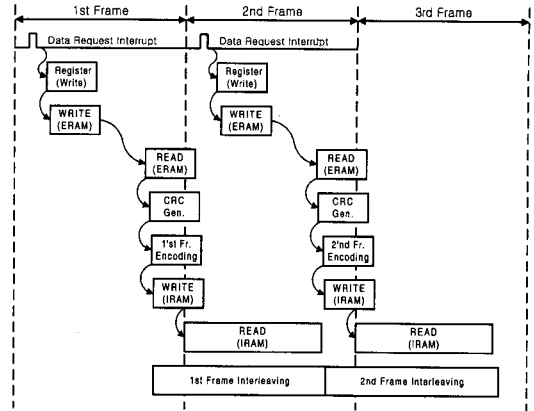


그림 2. 기존 방식에 따른 채널 부호기의 타이밍 흐름 구성도

그림 2의 기존 방식에 따른 채널 부호기의 타이밍도를 살펴보면 마이크로 컨트롤러는 데이터 요청 인터럽트를 받아 입력 데이터를 프레임 입력 데이터 레지스터에 write 한다. 프레임 입력 데이터 레지스터에 저장된 입력 데이터를 ERAM에 순차적으로 저장한다. 이를 반복하여 필요한 한 프레임의 데이터가 모두 입력되면 길쌈 부호화를 위한 준비가 완료된 것으로 ERAM read 시기를 기다린다.

프레임의 경계에서부터 계산되어진 시간만큼 앞서 ERAM을 순차적으로 읽어내고, CRC 생성기에 입력되어 원하는 비트 수만큼의 CRC를 생성한다.

ERAM에서 읽혀진 입력 데이터와 생성된 CRC가 길쌈부호기에 입력되어 첫번째 프레임의 길쌈 부호화를 수행한다. 길쌈 부호기로부터 출력되는 코드심벌은 인터리빙을 위하여 IRAM에 1번지부터 순차적으로 저장된다. 프레임 경계에서부터 정규화 된 시간에 정해진 열(row)로 IRAM을 읽어내어 출력함으로써 처음 프레임의 길쌈부호화와 인터리빙을 포함한 채널 부호화를 완성하고, 동시에 두 번째 프레임의 입력 데이터를 수신하여 같은 방법으로 두 번째 프레임의 채널 부호화를 수행한다.

이와 같은 구성에서 입력되는 한 프레임의 입력 데이터를 ERAM에 버퍼링하고 이를 읽어내어 길쌈 부호화를 수행하는 것은 간단하다. 그러나 인터리빙을 수행하기 위해 한 프레임 만큼의 시간 내에서 IRAM에 write 하고, 한 프레임의 정규화 된 시간에 IRAM을 read 하여야 하는 타이밍 제어가 어렵다. 이의 타이밍 제어로는 앞 프레임의 마지막 IRAM read 시간과 이번 프레임의 처음 IRAM read 시간 사이의

간격에 모든 IRAM을 write하거나, 위의 시간 간격과 함께 IRAM에서 열로써 read 되어야 시점까지 필요한 데이터만을 IRAM에 write 함으로써 IRAM write와 read가 중첩되는 방법을 사용할 수 있다. 그러나 이러한 두 가지 방법 모두 ERAM을 read 하면서 길쌈 부호화를 수행하는 시간 동안을 피하여 마이크로 컨트롤러가 프레임 입력 데이터를 레지스터에 저장하여야 하는 제한을 가진다.

기존의 구현 방법을 정리하면 길쌈 부호화와 인터리빙을 사용하는 채널 부호기를 구현하기 위해서는 프레임 입력 데이터를 저장하기 위한 ERAM과 ERAM에 비해 부호화율(R)의 역수배 만큼 큰 IRAM이 필요하다. 또한 한 프레임 시간 내에서 IRAM의 write, read를 수행하기 위해서 어드레스 생성을 위한 회로 및 타이밍 제어 회로가 필요하다. 그리고 마이크로 컨트롤러가 ERAM을 read 하면서 길쌈 부호화를 수행하고 있는 동안에는 프레임 입력 데이터를 프레임 입력 데이터 레지스터에 write 할 수 없는 등의 제한을 가지며 이의 해결을 위하여 데이터 요청 인터럽트의 위치를 읍셋을 주어 조정하여야 하는 등의 제어가 추가로 필요하다.

III. 새로운 방법의 채널 부호기 설계 방법

본 논문에서 제안한 길쌈 부호화 및 인터리빙을 한번에 처리하는 새로운 구조의 채널 부호기의 구성 및 동작에 대하여 아래의 그림 3, 그림 4, 그림 5, 그림 6을 참조하면서 상세히 설명한다.

먼저 본 방법의 구성과 동작의 이해를 쉽게 위한 프레임을 20 msec, CRC 생성기는 8 비트로 생성 다항식은 $g(x) = x^8 + x^7 + x^3 + x + 1$ 를 가지며, 길쌈 부호기의 구속장(constraint length, K)은 9, 부호화율(R)을 1/2, 프레임 입력 레지스터는 8 비트로 최상위 비트가 먼저 처리하여야 할 데이터이고, 한 프레임의 입력 데이터는 288 비트로 가정한다. 이 경우 36 x 8 비트 ERAM0과 ERAM1이 필요하다. 또한 인터리버의 동작은 1번지부터 순차적으로 Write하고, 정해진 열로써 read 하는 알고리즘을 채택하여 설명한다.

그림 3에 본 논문에서 제안한 새로운 방법의 채널 부호기 블록도를 나타내었다. 마이크로 컨트롤러의 제어를 받아 프레임 입력 데이터 레지스터를 통하여 입력되는 한 프레임 데이터를 병렬 CRC 생성기에 병렬로 입력시켜 CRC를 생성시킨다. 이와 동시에 write 어드레스 제어 회로의 제어에 따라 프레임을 주기로 선택되어지는 DEMUX를 통하여 ERAM0에 1

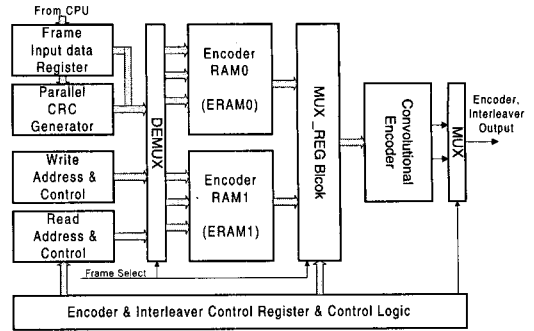


그림 3. 새로운 방법의 채널 부호기 블록도

번지부터 순차적으로 저장한다. 한 프레임의 입력 데이터가 모두 ERAM0에 저장된 후, 두 번째 프레임의 경계에서부터 인터리빙 알고리즘에 근거하여 읽혀져야 하는 코드십별을 생성시키는 입력 데이터를 ERAM0에서부터 읽어내기 위해 어드레스를 계산하고 입력 데이터를 선택하는 MUX_REG 블록을 거쳐 9개의 길쌈 부호기 입력이 결정된다. 결정된 입력은 병렬 길쌈 부호기에 입력되어 길쌈 부호화를 수행하며 생성된 2개의 코드십별은 MUX에 의해 선택되어져 최종 출력인 길쌈 부호기와 인터리빙을 한번에 수행한 채널 부호기 출력을 생성한다.

그림 4에 MUX_REG 블록의 상세도를 나타내었다. MUX_REG 블록은 프레임의 경계에서부터 인터리빙 알고리즘에 근거하여 읽혀져야 하는 코드십별을 생성시키는 입력 데이터를 ERAM0에서부터 읽어내기 위해 어드레스를 계산하고, ERAM0에서 읽혀진 입력 데이터를 선택하는 역할을 수행한다. 두 번째 프레임의 경계에서부터 계산된 어드레스 값으로 ERAM0, ERAM1을 어드레싱하고 읽혀진 데이터는 프레임 선택신호에 의해 제어 받는 2x1 MUX를 거쳐 8 비트 레지스터에 저장된다. 읽어야 하는 입력 데이터의 앞에 입력된 8개의 입력 데이터를 추출하기 위해 앞에서 계산한 어드레스보다 하나 작은 어드레스로 ERAM0, ERAM1을 어드레싱하고 2x1 MUX를 거쳐 bit15 ~ bit8의 8 비트 레지스터에 저장된다. 이때 전에 저장되었던 8비트 레지스터의 내용은 시프트(shift) 되어 bit7~bit0의 8비트 레지스터로 이동된다.

두 개의 8비트 레지스터 중에서 bit15는 가장 먼저 입력된 데이터이고, bit0는 가장 나중 입력된 데이터인데, 필요한 입력 데이터는 bit7 ~ bit0 중에서 하나이다. 예를 들어 bit3이 필요한 입력 데이터이면 bit3을 포함하여 bit4 ~ bit11의 9비트를 선택하여야

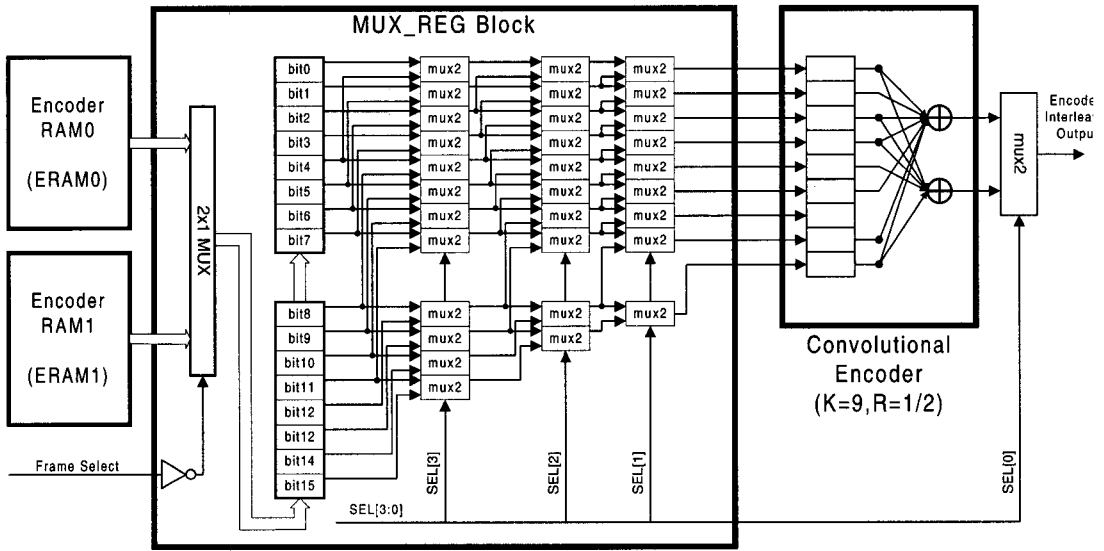


그림 4. MUX_REG 블록의 상세도

한다. SEL[3]의 제어와 첫단 mux2 12개에 의해 전체 16 비트 중에서 12비트가 선택되고, SEL[2]의 제어와 둘째단 mux2 10개에 의해 전체 12비트 중에서 10비트가 선택되며, SEL[1]의 제어와 셋째단 mux2 9개에 의해 10 비트 중 최종 9 비트가 선택되어진다.

선택되어진 9 비트의 데이터는 필요한 입력 데이터와 그 앞에 입력된 8 개의 입력 데이터로써 길쌈 부호기의 레지스터에 병렬로 입력되고 두 개의 XOR 게이트에 의해 코드 심벌 2개를 생성한다. 이들 중 필요한 하나의 코드 심벌을 mux2로 선택하면 인터리빙 RAM을 사용하지 않고 길쌈 부호화와 인터리빙이 완료된 채널 부호기의 출력을 얻을 수 있다.

같은 방법으로 두 번째 프레임의 입력 데이터는 DEMUX를 통하여 ERAM1에 순차적으로 저장되고 다음 프레임의 경계에서 ERAM1에서 read 되어 길쌈 부호화와 인터리빙이 한꺼번에 수행된다.

그림 5에 병렬 CRC 생성기의 상세도를 나타내었다. D7~ D0의 레지스터의 초기값은 1로 세트된다. 마이크로 컨트롤러가 프레임 입력 데이터 레지스터를 write하면 입력 데이터 8 비트는 병렬 CRC 생성기에 입력됨과 동시에 ERAM0나 ERAM1에 저장된다. 입력된 8 비트는 이전 상태를 나타내는 D7_T ~ D0_T의 값과 병렬 CRC 입력 값인 IN7~IN0의 XOR로 구성된 XOR stage의 수식에 의해 현재의 CRC 상태를 생성하여 D7~ D0의 레지스터에 저장한다. 위의 동작을 35번 반복하면 280개의 모든 데이터가 입력이 완료되며, 최종 D7~ D0의 값이 원하는 CRC의

결과 8비트가 된다. 이 값은 입력 데이터 280 비트에 뒤이어 ERAM0나 ERAM1에 저장된다.

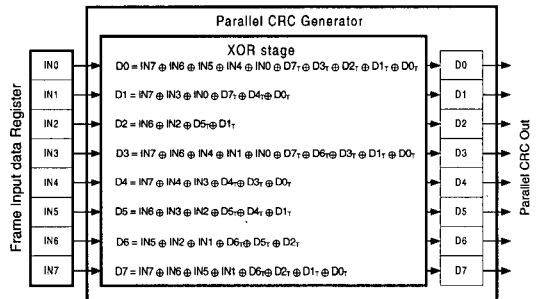


그림 5. 병렬 CRC 생성기의 상세도

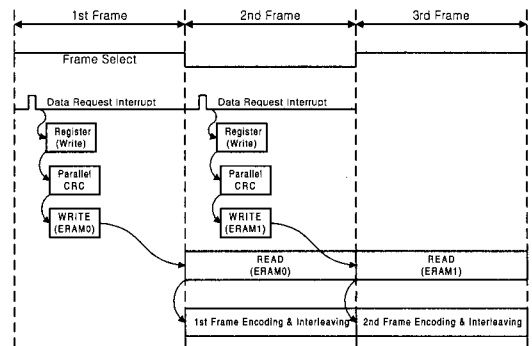


그림 6. 새로운 방법에 따른 채널 부호기의 타이밍 흐름 구성도

그림 6에 새로운 방법에 따른 채널 부호기의 타이밍 흐름 구성도를 나타내었다.

첫 번째 프레임에서 데이터 요청 인터럽트를 받아 마이크로 컨트롤러는 입력 데이터를 프레임 입력 데이터 레지스터에 Write 한다. 프레임 입력 데이터 레지스터를 기록하면 입력 데이터 8 비트는 병렬 CRC 생성기에 입력되어 CRC를 생성함과 동시에 프레임 단위로 번갈아 선택되어지는 제어를 받아 ERAMO에 순차적으로 저장한다. 두 번째 프레임의 경계에서 ERAMO는 인터리빙 알고리즘과 더불어 계산되어진 어드레스에 의해 정규화 된 시간마다 읽혀져 첫번째 프레임의 길쌈 부호화와 인터리빙이 동시에 수행 완료된다. 첫번째 프레임의 길쌈 부호화와 인터리빙이 두번째 프레임에서 동시에 수행되는 동안 데이터 요청 인터럽트를 받아 마이크로 컨트롤러는 두번째 프레임 입력 데이터를 프레임 입력 데이터 레지스터에 Write 한다. 프레임 입력 데이터 레지스터를 기록하면 입력 데이터 8 비트는 병렬 CRC 생성기에 입력되어 CRC를 생성함과 동시에 프레임 단위로 번갈아 선택되어지는 제어를 받아 ERAMI에 순차적으로 저장한다. 세 번째 프레임의 경계에서 ERAMI는 인터리빙 알고리즘과 더불어 계산되어진 어드레스에 의해 정규화 된 시간마다 읽혀져 두번째 프레임의 길쌈 부호화와 인터리빙이 동시에 수행 완료된다.

이 타이밍도에서 보는 바와 같이 ERAM을 두개 사용하여 프레임 단위로 번갈아 write 함으로써 기존의 구현 방법에서 제한 요소로 작용되었던 ERAM을 read 하면서 길쌈 부호화를 수행하고 있는 동안에는 마이크로 컨트롤러가 프레임 입력 데이터 레지스터에 입력 데이터를 저장할 수 없는 제한이 해결되었다. 따라서 데이터 요청 인터럽트의 위치를 움직여 주어 조정하여야 하는 등의 추가적인 제어가 불필요해졌으며, 마이크로 컨트롤러가 마진을 가지고 충분한 시간에 프레임 입력 데이터 레지스터의 액세스가 가능해졌다.

IV. 디지털 이동통신 모뎀 ASIC에 제안된 채널 부호기 적용 결과

CDMA 셀룰러, PCS, WLL, IMT-2000의 변조기 내에서 길쌈부호기와 인터리버를 포함하는 채널 부호기는 채널수의 증가와 데이터 속도의 증가로 더욱 커진 ERAM과 IRAM이 필요하게 되었다. 이들 RAM의 면적과 소비전력은 변조기 블록의 상당 부분을

차지하고 있으며, 이들의 RAM의 제어 또한 더욱 복잡해지고 있다.

본 논문에서 제안한 새로운 설계 방법의 채널 부호기는 기존의 설계 방식과 비교하여 길쌈 부호기 부호화율(R)의 함수로 아래 식 (1)과 같은 메모리 크기 감소율을 갖는다.

$$\text{메모리 크기 감소율} = \frac{R^{-1}-1}{R^{-1}+1} \times 100 \quad (1)$$

여러 디지털 이동통신 모뎀의 채널 부호기에 기존의 방식과 본 논문에서 제안한 새로운 설계 방식을 적용한 경우의 필요한 RAM 크기 비교 및 메모리 크기 감소율을 표 1에 나타내었다.

표 1. 모뎀 ASIC 내 채널 부호기에서 필요한 RAM 크기 비교 결과

적용한 디지털 이동통신 시스템	최대 Data Rate (kbps)	프레임당 최대 입력비트수 [비트]	길쌈부호기 부호화율 (R)	기존방식의 사용 RAM (ERAM, IRAM) [bit]	제안한 방식의 사용 RAM (ERAM 2개) [bit]	사용 RAM 크기 감소율
CDMA IS-97A [5] (단말기)	9.6	192	1/3	768	384	-50%
CDMA IS-97A [5] (기지국)	9.6	192	1/2	576	384	-33%
CDMA PCS [5] (단말기)	14.4	288	1/3	1,152	576	-50%
CDMA PCS [5] (기지국)	14.4	288	1/2	864	576	-33%
CDMA WLL [6] (단말기)	144	2,880	1/2	8,640	5760	-33%
CDMA WLL [6] (기지국)	144	2,880	1/2	8,640	5760	-33%
IMT-2000 동기식 [7] (단말기)	450.8	9,216	1/4	46,080	18,432	-60%
IMT-2000 동기식 [7] (기지국)	450.8	9,216	1/4	46,080	18,432	-60%

V. 결 론

디지털 이동 통신용 모뎀의 변조기 내에서 필수적인 길쌈 부호화 및 인터리빙 기법을 사용하는 채널 부호기 구현에 있어서 메모리 크기를 최소화한 새로운 설계 방법을 제안하였다. 이 설계 방법은 프레임 데이터를 보관하는 입력버퍼 RAM과 인터리빙을 위한 인터리버 RAM을 별도로 사용해야 하는 기존의 구현 방식과는 달리 메모리 크기가 큰 인터리버 RAM을 사용하는 대신에 입력버퍼 RAM 1개를 추가로 사용하여 길쌈 부호화 및 인터리빙을 동시에 처리할 수 있는 새로운 채널 부호기 설계 방법이다. 이 설계 방법을 여러 디지털 이동 통신 모뎀의 채널 부호기에 적용한 결과 기존 설계 방식에 비해 33% ~ 60%의 메모리 크기 감소 효과가 있었으며, 프레임 데이터 수신 시 처리 절차가 간편해지고 타이밍 마진을 늘릴 수 있는 장점이 있었다.

참고 문헌

- [1] Bernard Sklar, *Digital Communications Fundamentals and Applications*, Prentice Hall, pp.493, 1988.
- [2] Theodore S. Rappaport, *Wireless Communications Principles and Practice*, Prentice Hall, pp. 519-533, 1996.
- [3] Kwang Il Yeon, In Gi Lim, et al, Implementation of 3.3 V Modem IC for CDMA/FM Cellular Portable Phone, *IIC-CSSC 97*, Vol.II, pp.657-659, 1997.
- [4] K. Yeon, et al., Design of Chip Set for CDMA Mobile System, *ETRI Journal*, v19, n.3, pp.228-241. October, 1997
- [5] TIA and ATIS, *Proposed CDMA PCS Standard*, TIA, pp.2-7~2-19, pp.3-1~ 3-13, October 31 1994.
- [6] 한국전자통신연구원, *Wireless Local Loop을 위한 무선 접속 규격안*, 한국전자통신연구원, pp.2-3 ~ 2-18, pp.3-1~3-11, March 1997.
- [7] TIA, *Interim V&V Text for cdma2000 Physical Layer(Revision 8.3)*, TIA, pp.2-20-2-61, pp.3-3 ~ 3-69, March 16 1999.

조 한 진(Han-Jin Cho)

정회원



1960년 7월 8일생.
 1982년 2월 : 한양대학교
 전자공학과 졸업.
 1987년 : 미국 New Jersey
 Institute of
 Technology
 전자공학과 석사.

1992년 : 미국 University of Florida

전자공학과 박사.

1992년 11월~현재 : 한국전자통신연구원 근무

현재 집적회로설계연구부 부장.

<주관심분야> VLSI design, 시스템 설계, TCAD 분야 등임.

임 인 기(In-Gi Lim)

정회원



1965년 1월 18일생
 1987년 2월 : 한양대학교
 전자공학과 졸업
 1989년 2월 : 한양대학교
 전자공학과 석사
 1989년 2월~현재 :
 한국전자통신연구원 근무

<주관심분야> CDMA Cellular, PCS, WLL, IMT-2000 ASIC 설계

김 경 수(Kyung-Soo Kim)

정회원

한국전자통신연구원 책임연구원

한국통신학회 논문집 제 23 권 제 7 호 참조