

## 유리-유리 정전접합을 이용한 FED 스페이서 기술 개발

김민수 · 박세광 · 문권진\* · 김관수\* · 우광제\* · 정성재\*\* · 이남양\*\*

경북대학교 전기공학과, \*오리온 전기(주), \*\*고등기술연구원  
(1999년 6월 4일 접수)

## Development of spacer technology using glass to glass anodic bonding for FED

Minsoo Kim, Sekwang Park, Kwonjin Moon,\* Kwansoo Kim,\*  
Kwange Woo,\* Sungjae Jung,\*\* and Namyang Lee\*\*

Department of Electrical Engineering, Kyungpook National University, \*Orion Electric Co., LTD.,  
\*\*Institute for Advanced Engineering  
(Received June 4, 1999)

**요약** – 본 논문에서는 Al 박막을 중간층으로 이용한 유리-유리 정전접합기술로서 FED(Field Emission Dispaly)의 스페이서 공정을 개발하였다. Al 박막의 두께가 1000 Å, 2000 Å, 3000 Å, 4000 Å과 5000 Å인 접합 조건에서 유리-유리 정전접합의 특성과 전류 밀도-시간 곡선 그리고 접합력을 측정하였으며, 감광성 유리와 (110) 실리콘웨이퍼를 벌크 마이크로머시닝 기술을 이용하여 스페이서의 고정틀로 제작하였다. 스페이서 유리-유리 정전접합으로 맨 유리기판에 스페이서를 형성하였으며, 또한 이를 진공 패널로 제작하여 FED에서의 응용 가능성을 확인하였다.

**Abstract** – In this paper, spacer process for FED (Field Emission Display) was developed with the glass to glass anodic bonding technology using Al film as an interlayer. Characteristics, current density-time curves and force of the anodic bonding were measured on various thickness of Al film; 1000 Å, 2000 Å, 3000 Å, 4000 Å and 5000 Å. Holders for spacer were fabricated with photosensitive glass and (110) Si wafer by bulk micromachining. Spacers was formed on glass substrate by spacer glass to glass anodic bonding and an evacuated panel was fabricated to prove the potential of application for FED.

### 1. 서 론

FED(field emission display)는 수많은 에미터로 구성된 캐소드기판과 형광체로 구성된 아노드기판 사이를 고진공으로 하여 동작시키는 진공 소자로서, 두 기판간의 간격을 일정히 유지시켜주는 스페이서가 반드시 필요하게 된다. 따라서 현재 여러 FED 연구팀에서는 이러한 스페이서를 형성하기 위한 여러 가지의 방법들을 개발하고 있다. 특히, 저전압용 형광체의 개발이 어렵기 때문에 따라 기존의 CRT(Cathode Ray Tube)에서 사용하는 형광체를 FED의 아노드기판에 사용하여 보다 고휘도와 장수명을 가진 상품화가 가능한 FED소자를 제작하고자 노력하고 있으며, 이를 위해서는 눈에 보이지

않으며 높은 종횡비를 가지는 스페이서의 형성기술이 절대적으로 요구되고 있는 실정이다 [1-3]. 따라서 이러한 스페이서 공정개발의 일환으로 본 논문에서는 유리-유리 정전접합기술을 이용한 스페이서 형성기술개발을 수행하였다.

스페이서 형성기술로서의 정전접합기술은 기존의 프릿유리(frit glass)를 사용한 방법보다 접합온도가 낮고, 두 기판간의 매우 깨끗한 환경아래에서 균일한 접합을 형성할 수 있으며 같은 열팽창계수를 가지는 유리기판을 접합함으로써 벌크기판간의 열팽창계수차에 의한 잔류응력에 대한 문제점을 해결할 수 있다. 또한 스페이서를 아노드기판에 고정시키기 위해서 별도의 고정틀을 형성하지 않고 직접적으로 접합하여 형성을 할 수 있음

으로 FED소자의 개구율을 높일 수 있는 장점을 가지고 있다.

본 논문에서는 이러한 유리-유리간의 정전접합기술을 연구하여 스페이서 형성기술을 개발하였으며, 또한, 맨 유리기판을 이용한 FED 기초 패널을 제작하여 그 응용 가능성을 살펴보았다.

## 2. 본 론

### 2.1. 유리-유리 정전접합

정전접합은 기본적으로 열과 전압을 이용하여 유리와 금속박막을 접합하는 기술이다 [4, 5]. 즉, 유리-유리 정전접합기술은 유리와 Al간의 정전접합의 원리를 바탕으로 하여 그림 1과 같이 유리기판과 Al 박막이 코팅된 유리기판을 서로 마주 보도록 구성하여 상승된 온도에서 유리에 음극전압을 금속박막에 양극전압을 인가하여 접합할 수 행한다. 사용한 유리기판은 Corning #0080 소다회 유리로서  $1 \times 1 \text{ cm}^2$ 의 크기로 준비하였으며, 이를 Al 박막이  $1.5 \times 10^{-5}$  Torr,  $200^\circ\text{C}$  기판온도에서  $5 \text{ \AA/sec}$ 의 증착률로 증착된  $2 \times 2 \text{ cm}^2$ 의 소다회 유리 위에 그림 1과 같이 구성하여 정전접합을 수행하였다.

$300^\circ\text{C}$ , DC 650V의 접합조건에서 아래의 유리기판에 증착된 Al 박막의 두께를  $1000 \text{ \AA}$ ,  $2000 \text{ \AA}$ ,  $3000 \text{ \AA}$ ,  $4000 \text{ \AA}$ ,  $5000 \text{ \AA}$ 의 순으로 변화시켜가면서 정전접합을 수행하였다. 접합결과는 AI 박막의 두께에 따른 접합계면의 투명성 변화가 그림 2에서 보여진 바와 같이 관측되었다.

그림 2는 계면의 투명성의 변화를 보이기 위해 접합시료 밑부분에 영문자 "a"를 두어 사진을 인화한 것으로 AI 박막의 두께가 두꺼워질수록 밑부분에 있는 "a" 문자가 보이지 않게 되었다. 이는 정전접합시 AI 박막의 전체가  $\text{Al}_2\text{O}_3$ 로 변화되는 것이 아니라 일정 깊이의 AI 박막과 반응하여  $\text{Al}_2\text{O}_3$ 로 변환하고 나머지는 유리기판

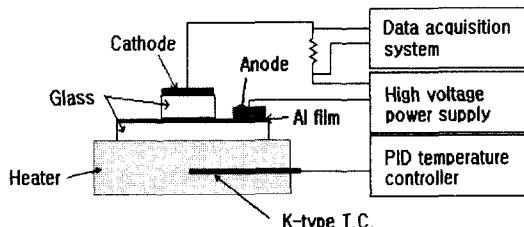


그림 1. 유리-유리 정전접합장치의 개략도.

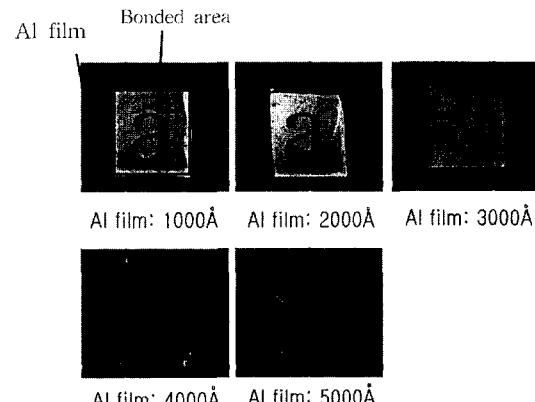


그림 2. 접합시료의 밑부분에 영문자 "a"를 위치시킨 후 AI 박막의 두께에 따른 접합시료의 계면의 투명도변화.

에 그대로 남아서 계면의 불투명함을 야기하기 때문이다. 또한 이는 접합시료의 계면을 differentiated auger spectrum으로 분석한 결과에서  $2000 \text{ \AA}$  이하의 경우에는 표면에 Al, Si 와 O 성분이 검출되었으며,  $3000 \text{ \AA}$  이상의 경우는 AI 과 O 성분만이 검출됨으로 확인하였다.

그림 3은 AI 박막의 두께에 따른 접합전류의 특성변화를 측정한 결과로써 접합된 모든 시료에서의 정전접합전류는 거의 유사한 형태를 가졌다. 특성곡선의 결과에서 약 2분내에 모든 접합공정이 완료되고, 접합에 있어서 AI 박막 두께는 접합전류에 크게 영향을 미치지 않으며, 각 시료에 대한 측정된 전하량은 두께별로 각각  $0.141\text{C}$ ,  $0.135\text{C}$ ,  $0.131\text{C}$ ,  $0.147\text{C}$ ,  $0.143\text{C}$ 로 거의 유사한 전하량 값을 가짐을 알 수 있었다. 각 시료의 접합력은 약  $10\sim30 \text{ kg/cm}^2$ 의 범위에 있었다.

이러한 유리-유리 정전접합기술은 중간층으로 AI 박막 뿐만 아니라, Si 박막을 사용할 수도 있으며, 이와 같은 중간층의 박막재료 아래에 투명전극(ITO: Indium Tin

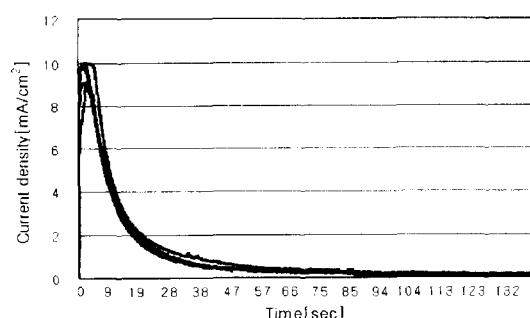


그림 3. AI 박막의 두께에 따른 접합전류의 특성곡선.

Oxide)이나 다른 금속층(Cr 등)이 유리기판위에 증착되어 있어도 그 접합은 이루어질 수 있음을 확인하였다.

## 2.2. 정전접합을 이용한 스페이서 형성방법

본 논문에서는 그림 4에서 보여진 바와 같은 폭 100  $\mu\text{m}$ , 높이 300  $\mu\text{m}$ , 길이 5 mm인 소다회 유리 스페이서와 폭 100  $\mu\text{m}$ , 높이 1000  $\mu\text{m}$ , 길이 70 mm인 소다회 유리 스페이서 두가지 형태를 사용하였다.

이러한 스페이서를 FED 아노드기판에 형성하기 위해서는 이것을 일정한 위치에 고정시킬 수 있도록 하는 고정틀의 제작이 요구된다. 이러한 스페이서 고정틀의 요건으로는 첫째, 수직으로 식각이 가능하여야 하며, 둘째, 정전접합의 온도에서 열적으로 흡과 같은 변형이 발생하지 않고, 셋째, 전기적으로 절연성을 가진 재료이어야 한다.

따라서, 본 논문에서 스페이서 고정틀로 사용하기 위하여 두가지로 감광성 유리기판과 n(110) 실리콘웨이퍼

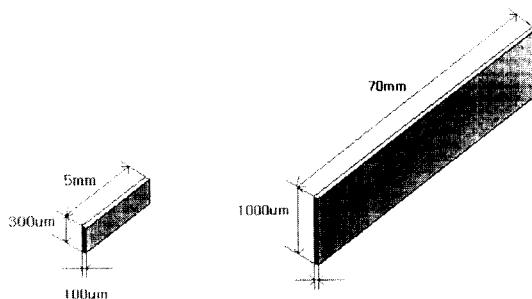


그림 4. 사용된 스페이서의 모양.

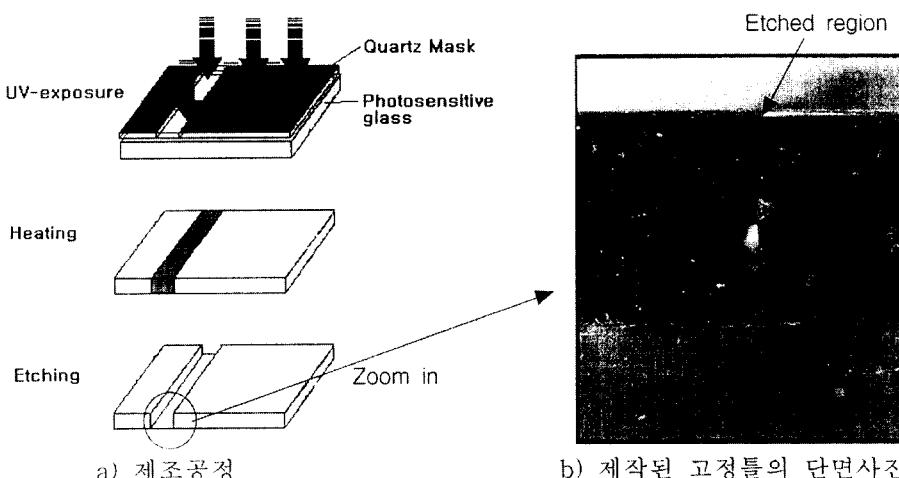


그림 5. 감광성 유리를 이용한 스페이서 고정틀.

를 이용하였다. 감광성 유리기판을 이용한 고정틀의 제작공정은 그림 5에서 보여진 바와 같다. 먼저, 감광성 유리기판위에 석영마스크를 정렬한 후 312 nm의 자외선을  $2 \text{ J/cm}^2$ 의 에너지로 조사한 후, 빛이 조사된 부분의 결정화를 위하여  $3^\circ\text{C}/\text{min}$ 의 속도로  $500^\circ\text{C}$ 까지 승온하여  $500^\circ\text{C}$ 에서 1시간 유지한다. 그 다음, 다시  $3^\circ\text{C}/\text{min}$ 의 승온속도로  $600^\circ\text{C}$ 까지 승온하여  $600^\circ\text{C}$ 에서 1시간 유지한 후 냉각한다. 열처리 후의 유리에 빛이 조사된 부분은 갈색으로 변색하게 되고, 이를 10% HF 용액에서 초음파 장치에서 식각하게 되면  $10 \mu\text{m}/\text{min}$ 의 식각속도로 식각되어 그림 5(b)에서 보여진 바와 같은 높은 종횡비를 가지는 고정틀을 제작할 수 있다 [6].

(110) 실리콘웨이퍼를 이용한 스페이서 고정틀의 제작공정은 그림 6에서와 같이 웨이퍼에 열산화막을 형성하고, 이를 웨이퍼의 결정방향과 마스크의 방향을 정렬한 후 패터닝하여 약  $80^\circ\text{C}$ 의 TMAH(TetraMethyl Ammonium Hydroxide)용액에서 습식식각하여 제작하였다.

이상의 공정으로 제작된 고정틀은 식각용액의 온도와 식각시간을 제어함으로써 다양한 깊이로 제작이 가능하다. 특히, 본 연구에서는 300  $\mu\text{m}$  높이의 스페이서를 위해서 약 200  $\mu\text{m}$ 의 식각깊이로 제작하였으며, 1000  $\mu\text{m}$ 의 스페이서를 위해서는 500  $\mu\text{m}$ 의 웨이퍼를 관통시켜 제작하였다.

이렇게 제작된 고정틀과 스페이서를 그림 7과 같이 정렬하여 위치시킨 후 고정틀에 스페이서를 삽입하여 250~300  $^\circ\text{C}$ 의 온도와 DC 550~650V의 접합조건에서 정

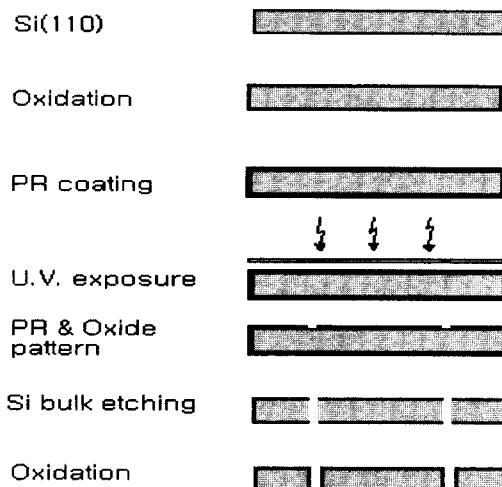


그림 6. (110) 실리콘 웨이퍼를 이용한 스페이서 고정틀.

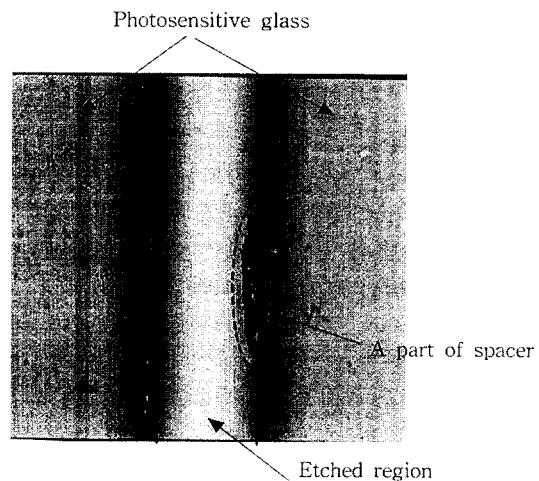


그림 8. 고정틀 분리시 스페이서 일부분이 떨어져 감광성 유리 고정틀에 붙어있는 사진.

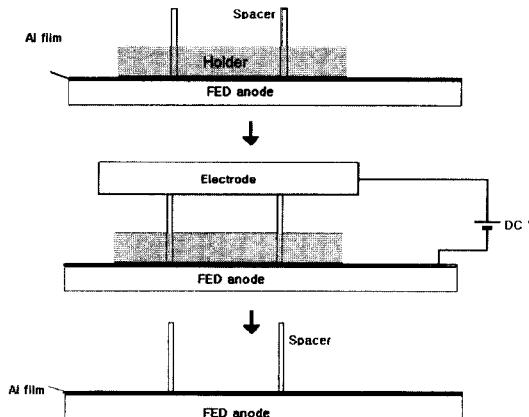


그림 7. 정전접합을 이용한 스페이서 공정.

전접합을 수행하였다. 그 후 고정틀을 아노드기판과 분리시켜서 아노드기판에 스페이서를 형성할 수 있었다.

실험결과, 감광성 유리로 제작된 고정틀은 정전접합을 이용한 스페이서 형성공정에 사용하기에 다소 어려움이 있었다. 즉 감광성 유리는 전기적으로 절연체이지만 그 저항값이 접합온도에서 스페이서의 저항값보다 약 100배 정도로 낮은 값을 가짐으로써 정전접합시 전류가 스페이서로만 흐르는 것이 아니라 스페이서와 감광성 유리 고정틀로 통과함으로써 그림 8에서 보여진 것과 같이 스페이서가 감광성 유리에 붙어서 떨어지게 되었다[6]. 그러나, 실리콘웨이퍼를 사용한 경우에는 식각 후 열산화막을 형성함으로써 이와 같은 문제는 일어나지 않았으며, 정전접합에서의 적용이 가능하였다. 이

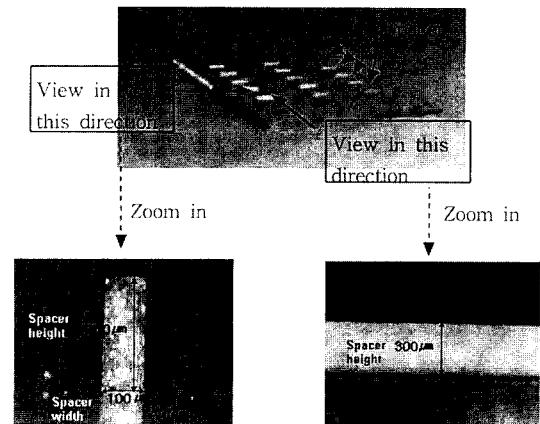


그림 9. AI 박막이 코팅된 유리기판위에 폭 100 μm 높이 300 μm인 스페이서를 정전접합으로 형성한 사진.

렇게 제작된 고정틀과 아노드기판에 형성된 AI 박막의 패턴을 정렬시킨 후, 고정틀에 스페이서를 삽입하고 이를 정전접합하였다.

그림 9는 실리콘웨이퍼로 제작된 고정틀을 사용하여 300 μm 높이의 스페이서를 AI 박막이 증착된 유리기판에 정전접합한 사진을 보인 것이다. 그리고 그림 10은 AI 박막이 코팅된 유리기판에 1000 μm 높이의 스페이서를 형성하여 진공 고온 배기를 통하여 패널을 제작한 사진을 보인 것으로 정전접합으로 형성된 스페이서가 패널 내부를  $10^{-6}$  Torr로 배기하여도 적용이 가능함을 확인한 것이다.

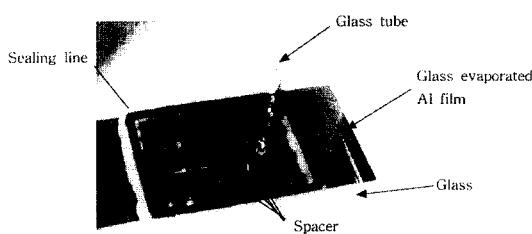


그림 10. 높이  $1000 \mu\text{m}$ 의 스페이서를 정전접합으로 형성된 진공 패널.

이와같은 유리-유리 정전접합을 이용한 스페이서 형성방법은 본 연구에서 사용한 스페이서 형태뿐 만 아니라 다양한 형태와 종횡비를 가지는 스페이서를 비교적 간단하게 형성할 수 있다.

### 3. 결 론

중간층으로 Al 박막을 이용하여 유리와 유리를 본딩하는 기술을 개발하였으며 이를 FED용 스페이서를 형성하는 기술에 적용하였다. 종횡비가 3:1, 10:1인 스페이서를 유리기판에 세워서 형성하였으며 또한 이상과 같이 제작된 스페이서가 FED용 스페이서로 적용 가능한지를 확인하기 위하여 맨유리판을 이용하여 FED 제작 프로세스와 마찬가지로 패널을 제작하였고 고온배기를 하여 패널내부를  $10^{-6}$  Torr의 고진공으로 배기 하였다. 그 결과 장시간이 경과하여도 패널이 깨어지지 않고 스페이서가 잘 버팀을 할 수 있었다.

중간층으로 사용된 Al의 두께를 각각  $1000 \text{ \AA}$ ,  $2000 \text{ \AA}$ ,

$\text{\AA}$ ,  $3000 \text{ \AA}$ ,  $4000 \text{ \AA}$ ,  $5000 \text{ \AA}$ 으로 각각 다르게 하여 정전접합을 하였다. 그 결과 접합과정에서 시료를 통하여 흐른 전하량은 모두  $0.13\sim0.14\text{C}$ 의 유사한 값을 보였으며 접합 강도는  $10\sim30 \text{ kg/cm}^2$ 의 값을 가졌다. 접합 계면의 색깔에 있어서는 Al의 두께가 두꺼울수록 Al의 색깔이 진하게 나타남을 알 수 있었으며 이를 통하여 중간층의 Al 전부가 본딩에 기여하는 게 아니라 그 중 약  $2000 \text{ \AA}$  정도가 유리판과 반응하여  $\text{Al}_2\text{O}_3$ 를 형성하는 것을 확인하였다.

이상과 같이 개발된 유리-유리 정전접합을 이용한 스페이서 형성기술은 다양한 형상의 유리 스페이서를 FED에 적용할 수 있는 것으로서 소자의 오염과 손상을 줄일 수 있으며 정교한 프로세스가 가능한 기술로 사료된다.

### 참고문헌

- [1] A. C. Fox and B. Id, U.S. Patent, Micron Technology, 5,492,234, 1996.
- [2] Cufford L. Anderson *et al.*, U.S. patent, Motorola, 5,708,325, 1998.
- [3] Duane A. Haven *et al.*, U.S. patent, Silicon Video Corporation, 5,534,683, 1996.
- [4] G. Wallis and D.I. Pomerantz, *J. Appl. Phys.* **40**, 3946 (1969).
- [5] M. A. Morsy, K. Ieuchi, M. Ushio, and H. Abe, *JIM* **37**, 1511 (1996).
- [6] T. R. Dietrich, W. Ehrfeld, M. Lacher, M. Kramer, and B. Speit, *Microelectronic Engineering* **30**, 497 (1996).