

# PCPS용 반도체 연면방전 특성 연구

(A Study on the Characteristics of Surface Flashover for PCPS)

김정달\* · 정장근\*\*

(Jung-dal Kim · Jang-gun Jung)

## 요 약

새로운 종류의 고체상태 대전력, 고속전자장치 즉 광전도전력스위치(PCPS)의 가장 큰 문제점은 평균전계하의 표면에서 스위치 섬락의 대부분이 반도체의 벌크파괴보다 낮다는 것이다. 이러한 문제를 극복하고 고밀도 고체 전력 스위치에 사용할 수 있는 유일한 방법이 고체 절연물로 표면을 패시베이션(Passivation)하는 것이다.

본 실험에서 Silicon의 절연내력은 진공 중에서 10[kV/cm]에서 심하게 열화 되어졌고, 기중에서 30[kV/cm], SF6에서 80~90[kV/cm]으로 개선되지만, 스위치의 주 응용이 진공 또는 우주에서 사용되기 때문에 이러한 현상은 매우 심각한 문제이다. 패시베이션후 소자들은 진공과 기중에서 언패시베이션된 소자가 SF6내에서 얻을 수 있는 만큼의 높은 파괴값을 가졌다. 이러한 결과로 볼 때 패시베이션된 소자들이 매우 우수한 파괴값을 가진다는 것을 알 수 있다. 본 논문은 고전계 하에서 패시베이션 전·후의 실리콘 파괴의 주 특성과 메커니즘에 대해 밝혔다.

## Abstract

A primary limitation of the application of New class of solid state high power, high speed electronic device, namely, the Photo-Conductive Power Switch(PCPS) is that the switches flashover at the surface under average applied fields much less than the bulk breakdown field of the semiconductor in most cases. The only way overcome those problem and has a workable compact solid state switch is to passivate the surface by a solid state dielectric material.

In this experimentation, The voltage withstands of Silicon is to be severely degraded when operated in vacuum(10[kV/cm]) and the performance is improved when operated in air(30[kV/cm]), in SF6(80~100[kV/cm]). After the passivation, the device had a breakdown field in vacuum and air at a field as high as the unpassivated device in SF6. A experiment results show passivated devices have excellent breakdown field.

In this paper, We improved the main properties and mechanism of the silicon breakdown before and after passivation under high field.

## 1. 서 론

메가와트급 이상의 펄스파워를 전송시키기 위한 스

위치의 특성은 매우 까다롭다. 펄스파워는 Pico second Jitter, 빠른 상승시간, 펄스 폭(Ps~Ms), 펄스 주기(단일펄스~1[GHz]), 고전압 대전류의 전송 등이 요구되므로 기존의 기체상태 스위치인 Spark-Gap 이나 Thyatron등은 이러한 요구를 충족시킬 수 없다. 고전계 반도체는 이러한 난점의 극복이 가능하며, 이들 소

\* 정회원 : 경남대학교 전기공학과 교수

\*\* 정회원 : 경남대학교 전기공학과 박사과정

접수일자 : 1999년 7월 24일

자를 이용하여 고전계 시스템에 적용되는 스위치가 바로 광전도전력스위치(Photo-Conductive Power Switch : PCPS)이다[1]. PCPS는 고속, 대전력 스위치 적용에 있어 매우 흥미를 끄는 새롭고 유용한 반도체 전력 소자이면서도 실용상 몇 가지 커다란 문제점을 안고 있다. 이것들 중 하나가 바로 연면방전(Surface Flashover)이다.

최근 많은 노력으로 새로운 종류의 고체상태 스위치인 광전도전력스위치(PCPS)의 대전력 및 고전압 상태 하에서의 작업 특성이 많이 개선되어졌다. 그러나, PCPS응용에서 일차적인 문제점은 평균자계 하에서 대부분의 연면방전이 반도체의 체적파괴(Bulk Breakdown)에 비해 너무도 낮다는 것이다. 현재, 연구진들은 실제 현실적인 고체상태 스위치를 만들기 위해 실험적이고도 이론적인 많은 연구를 하고 있다[2~4].

실리콘(Silicon)은 갈륨아세나이드(GaAs), 다이아몬드(Diamond), 카바이드(Carbide)등과 함께 이러한 응용에 가장 많이 사용되어지는 고체 소자로 대전력 및 고속 전자장치의 응용에 있어 유망한 결과를 보여주고 있다. 전형적인 실리콘(Silicon)의 이론상 체적파괴값(Bulk Breakdown)은 300 [kV/cm]의 범위에 있다[5]. 그러나, 실제 실리콘의 연면방전 임계값은 체적파괴(Bulk Breakdown)값에 비해 매우 낮다[6]. 이러한 연면방전 현상에 따른 문제점이 고속, 고압 스위칭 소자들의 실현화를 방해하고 있다.

실리콘-진공 계에서 연면방전의 최초 실험은 Thomas와 Nunally에 의해 연구되어졌으며 연면방전은 탈착가스층에 생기는 파센파괴에 기인된다고 추측했다[7]. 이들이 제안한 2가지 현상은 ① 2차 전자방출과 표면전하 및 전자도약에 의해 절연물 표면으로의 전도, 즉 파센파괴로부터 생기는 탈착가스가 표면에 입사한 전자에 의한 파괴, ② 파센파괴에서 발생된 열로 인해 표면에서 가스가 탈착 되고 그로 인한 가스 때문에 표면을 통해 전도된다고 주장하고 있다. William 과 Peterkin은 주변 절연물이 연면방전 전계에 영향을 미치지 않는다는 가정 하에 연면방전이 반도체 표면 영역에서 이루어진다고 제안했다[8]. 그들은 표면전하와 전계 유도대역에서 발생된 캐리어집적으로 인한 표면 도전을 증가의 모델을 제시했다. Sudarshan은 음극 접촉의 국부 점에서 전자충돌전리과정과 터널 전자주입(Tunneling Electron Injection)이 연면방전을 일으키는 원인이라고 제안하고, 고전계 반도체-유전체

시스템(High Field Semiconductor -Dielectric Systems : HFSDS)에서 전구파괴 및 파괴 현상의 물리적 모델을 소개했다[9~11]. 이처럼 연면방전으로 인한 파괴전압의 감소는 매우 심각한 문제이며 특히 펄스파워의 주 응용 분야가 진공상태이므로 이러한 문제는 더욱 심각하다. 또한 이는 고전계에서 소자들의 확실하고 효과적인 고속스위칭 실현을 방해하고 있다. 이러한 문제를 극복하고 밀집된 고체상태 전력 스위치를 사용하기 위한 유일한 방법 중 하나는 고체절연물질(SiO<sub>2</sub>나 Si<sub>3</sub>N<sub>4</sub>등)로 표면을 Passivation하는 것으로, Passivation된 소자들은 Unpassivation된 소자가 주위의 매질 SF<sub>6</sub>와 액체 유전체에서의 파괴전압값 정도의 매우 높은 값으로 개선되어 기중이나 진공에서 적용할 수 있다. 고전계 반도체 소자를 Passivation하면 표면 누설전류를 최소화하고 연면방전을 억제시킬 수 있어, 일반 저전계 반도체 산업에서는 널리 사용되고 있는 반면 고전계 PCPS로 사용할 때의 정보는 아직 잘 알려지지 않고 있다[12].

본 논문에서는 고전계 하에서 실리콘 연면방전 특성을 개선시키기 위한 Passivation에서의 연면방전 메커니즘을 파악하고 그에 대한 중요한 정보를 얻는데 목적을 둔다.

## 2. 실험장치 및 실험방법

### 2.1 실험장치

본 논문에서의 실험장치는 그림 1과 같으며 공급전압은 0.39/3.0[μs]의 임펄스 전압을 사용하였다.

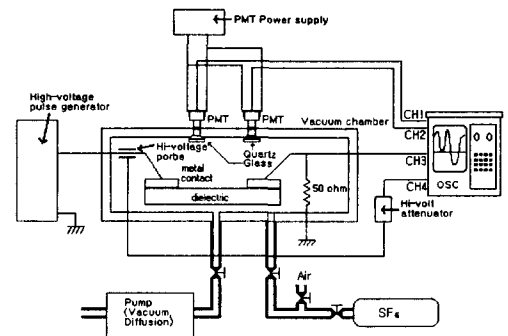


그림 1. 실험장치 개략도  
Fig. 1. Schematic diagram of the experimental setup

광방출 현상은 PMT (Photo Multiplier Tube) Hamamatu R928 (185[nm]~900[nm]) 감도 0.4[V/lm]를 사용하여 고전계 여기 상태에서 샘플에 나타나는 광활동을 모니터 하였다. 전압, 전류, 광방사 파형은 고속 디지털 오실로스코프 Lecroy LC 334A System ( $\pm 250V$ , 2GS/s, 4 Channel)로 측정한다. 소자전류는 50[ $\Omega$ ] 무유도저항에 의해 측정되며, 실험 챔버는  $\sim 10^{-6}$ [Torr] 까지 배기 되고  $2.26 \times 10^3$ [torr]까지 가스압축도 가능하다. 시험 샘플은 P형 실리콘(100타입, 5-10[Ohm], 4")을 사용하였다.

## 2.2 전극구성

### 2.2.1 실리콘위 금속전극의 모양

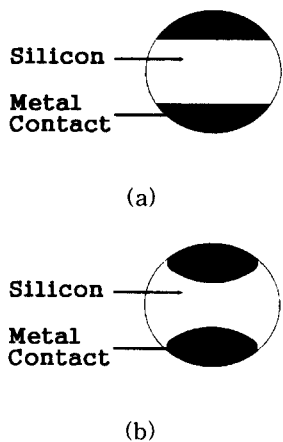


그림 2. 접촉모양  
Fig. 2. Contact shapes

실리콘위에 올린 금속전극의 모양은 아래 그림 2와 같은 모양을 가진다. 2(a)의 모양은 금속 접촉부의 날카로운 모서리에서 극히 높은 전계상승 요인을 가진다. 그래서 본 실험에서는 2(b)와 같은 모양으로 마스크를 제작하여 실리콘위에 증착 하였다.

### 2.2.2 Passivation된 소자의 구조

실험 시료의 고전계 하에서의 표면효과를 얻기 위해 실리콘위에 SiO<sub>2</sub>로 Passivation하였는데 그 구조는 그림 3과 같다. Passivation층 L의 길이는 Unpassivation된 금속전극간의 연면방전을 피하기 위

해 d에 비해 3배 이상의 거리를 두었다.

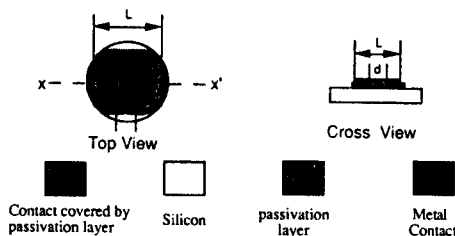


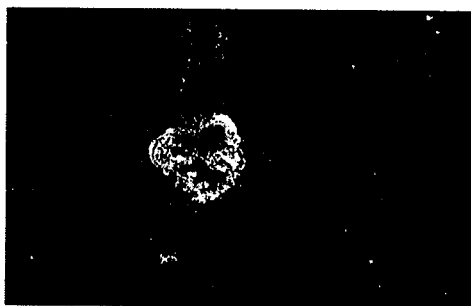
그림 3. 전극구성  
Fig. 3. Electrode configuration

### 2.2.3 부분방전을 줄이기 위한 봉전극 구조

전극 구성시 문제점은 두 개의 전극에 각각 다른 대비된 전압을 받을 때 전극과 시편 사이에 존재하는 미소공간에서의 부분방전이다. 이러한 부분방전은 인가전압의 손실을 발생시킬 뿐 아니라 소자표면을 파괴시킬 수도 있으므로 이것의 제거는 반드시 필요하다.



(a)



(b)

그림 4. 부분방전 발생후 전극파괴  
Fig. 4. Electrode failure after partial discharge

그림 4는 부분방전시 발생된 전극과피 흔적으로, (a)는 전압인가축이며 (b)는 접지축의 전극과피 모습이다. 본 실험에서는 이를 방지하기 위해 봉전극과 실리콘위 금속전극 사이를 그림 5와 같이 실버페이스트(Silver Paster)로 봉합했다. 그후 부분방전의 발생은 거의 없어졌다.

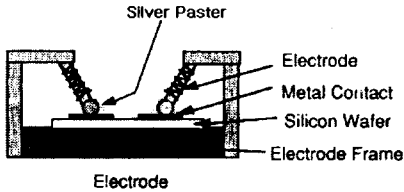


그림 5. 제안된 전극 구성  
Fig. 5. Composition of proposed electrode

### 3. 실험결과 및 고찰

#### 3.1 Unpassivation 소자들의 파괴

전계세기에 따른 전류응답은 Pure-Ohmic, Quasi-Ohmic, Non-Ohmic상태로 간략히 구분할 수 있다.

##### 3.1.1 Pure-Ohmic

대부분 아주 낮은 전계에서 볼 수 있는 파형으로 약 15[kV/cm]이하에서 발생한다.

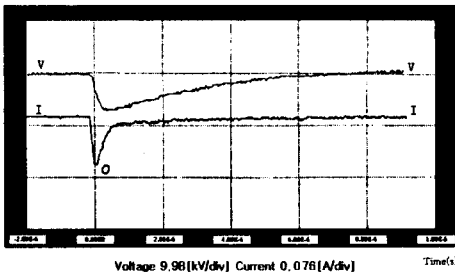


그림 6. 옴의 파형  
Fig. 6. Ohmic waveform

전류 최고치는 입력 전압 최고치와 거의 동상으로 이러한 형태의 파형을 Ohmic 파형이라 한다. 이러한 경우 시편은 아무런 손상을 받지 않으므로 시편의 재사용이 가능하다.

##### 3.1.2 Quasi-Ohmic

이것 역시 전류파형의 최고값은 전압펄스와 거의 동상을 가지지만 수백 나노초(Nano-second)의 지연시간을 가지며, 약 15[kV/cm]에서 35[kV/cm]사이에서 발생하는데 이것은 소자의 누설전류이며, 소자의 누설전류 최고값(포인트 O) 이전에 나타나는 포인트 O'는 변위전류로 여겨지는데, 이러한 변위전류의 크기는 장치를 바꾸어 실험하면 그 값이 달라지므로 주위 장치 때문인 것으로 사료된다. 과시오믹 형태의 응답을 얻었을 경우에도 오믹 응답과 마찬가지로 시편의 손상이 없기 때문에 재사용이 가능하다.

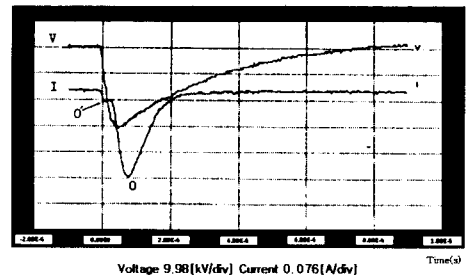


그림 7. 과시오믹 파형  
Fig. 7. Quasi-Ohmic waveform

##### 3.1.3 Non-Ohmic

전류 최고값 후에 다시 나타나는 전류파형(포인트 N)은 전압파형에 비해 수 마이크로초(Micro-second)의 지연시간을 가진다.

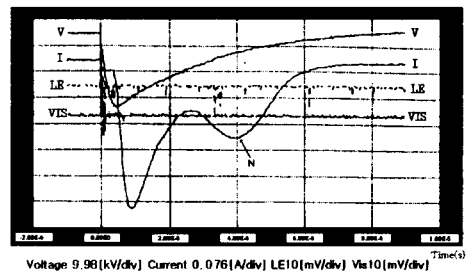


그림 8. 논옴의 파형  
Fig. 8. Non-Ohmic waveform

이것은 입력파의 위상 범위를 벗어나므로 이를 Non-Ohmic 전류라 하며, 입력 파형의 반주기를 전후해서 파형이 왜곡을 일으키는데 이러한 왜곡된 전류

파가 시편의 손상을 발생시키므로 Non-Ohmic 이전에 실험을 멈추어야만 시편 손상 없이 연속적인 실험을 할 수 있다. Non-Ohmic 파형은 약 35[kV/cm]이상에서 발생된다.

### 3.1.4 Unpassivation된 소자의 I-E 특성곡선

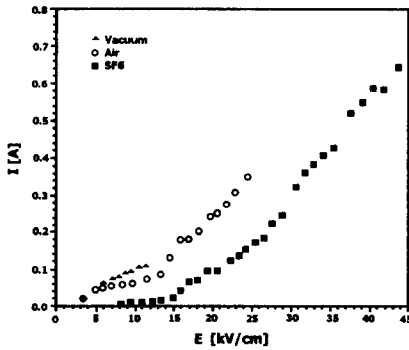


그림 9. Unpassivation 소자의 I-E 특성  
Fig. 9. I-E Characteristics of Unpassivated Device

그림 9는 진공(10<sup>-5</sup>torr), 기중 그리고 SF6(1.13×103torr) 내에서 Unpassivation된 소자들의 Quasi-ohmic 응답 이전까지의 I-E특성 곡선이다.

$E(E = V/d)$ 는 인가전압(V)의 평균전계이며 d는 두 전극간 갭 거리이다. 만약 실험 중에 절연파괴가 있었다면 시편상부의 손상에 의한 트랙에서의 전계집중 때문에 파괴값은 떨어질 것이며, 파괴강도에 따라 그 값은 일관성을 가지지 못했다. 다시 말해서, Non-Ohmic상태가 시편을 손상시키므로 반복된 실험을 위해서는 Non-Ohmic이전 즉, Quasi-Ohmic상태에서 멈춰져야만 한다.

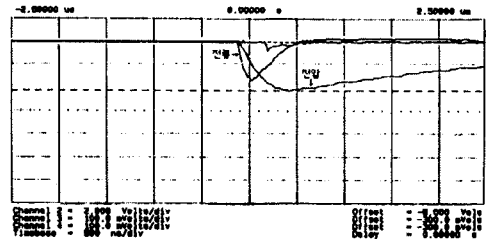
그림 9에서 보여지듯 진공에서 약 12[kV/cm], 기중에서 약 25[kV/cm], SF6에서는 약 45[kV/cm]까지도 절연파괴 없이 선형적인 값을 나타내었다. 이는 시편이 진공보다 기중에서 그리고 기중보다는 SF6내에서 더 나은 절연내력을 가진다는 것을 알 수 있다. 결국, 시편 주위의 유전체 환경이 절연 매커니즘에서 중요한 역할을 한다는 것을 알 수 있다.

## 3.2 SiO2 Passivation된 소자들의 파괴

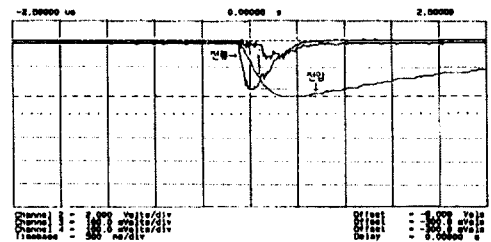
SiO2는 소자 표면을 Passivation하는데 사용된다. SiO2는 10[MV/cm]의 높은 파괴 값을 가지는 것으로 표면을 SiO2로 Passivation한 후 진공, 기중, SF6내에서 실험을 했다.

### 3.2.1 전계세기에 따른 전류응답의 분류

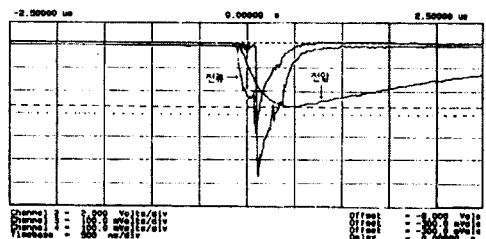
SiO2로 두께 4[μm]로 Passivation후 소자의 응답파형을 그림 10에 나타내었다. Passivation후의 응답 파형은 Pure-Ohmic, Quasi-Ohmic, Non-Ohmic(개시), Non-Ohmic의 4가지 상태로 구분할 수 있다.



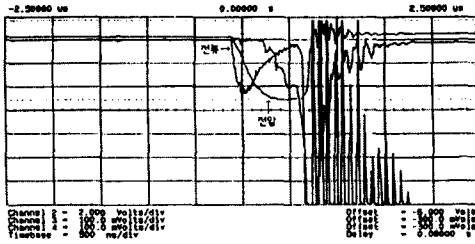
(a) Pure-Ohmic



(b) Quasi-Ohmic



(c) Non-Ohmic(개시)



(d) Non-Ohmic

그림 10. Passivation 된 소자의 전류응답  
Fig. 10. Current response of Passivated Device

그림 10(a)는 60[kV/cm]의 인가전계에 의한 전압(Vt), 전류(It), 광방사(LET) 파형을 보여주며 전류피크(I<sub>max</sub>)가 전압(V<sub>max</sub>)보다 다소 뒤진 시간에 나타나는 것이 Unpassivation에서와 다른 가장 큰 특징이라 볼 수 있으며, 약 300[ns]부근에서 미세한 광신호가 나타남을 볼 수 있다. 그림 10(b)는 70[kV/cm]인가 전계에 의한 Vt, It, LET를 보여주는 것으로 250[ns]부근에서 증가된 LET신호를 볼 수 있다. 그림 10(c)는 80[kV/cm] 인가전계에서 이상 Non-Ohmic 전류의 강한 증가와 더불어 최대 전류 200[ns]부근에서 LET의 강한 광신호가 발생하여 800[ns]범위까지 분포된 그림을 보여준다. 그림 10(d)는 인가전계 90[kV/cm]인 경우로 LET는 600[ns]부근에서부터 발생하기 시작하여 I(Max)인 750[ns]부근에서 최대 신호강도가 발생한다. 여기서는 매우 첨예한 최대전류가 발생하는 현상을 볼 수 있어 Passivation으로 인해 소자의 고전계 수행능력이 매우 우수해 지지만 Non-Ohmic 상태 이상의 강전계에서는 강한 전류상승을 나타내어 소자 손상의 위험이 더욱 증가 될 것임을 알 수 있다. 또한 LET의 신호는 전도전류에 관계된다는 것도 알 수 있다.

### 3.2.2 SiO<sub>2</sub> 경계면 파괴 메커니즘

표 1과 표 2는 진공과 기중에서의 Passivation 소자들의 전계값을 나타낸 것이다.

2.5[ $\mu$ m]의 SiO<sub>2</sub>로 Passivation된 소자는 진공중 33.5[kV/cm]에서 손상되며, 4[ $\mu$ m]의 Passivation층에서는 60[kV/cm]보다 높은 전계값을 가진다. 4[ $\mu$ m]의 SiO<sub>2</sub> Passivation층을 가진 소자는 기중에서 78[kV/cm]보다 높은 값을 가지는데 이것은 이제까지 우리가 얻은 데이터 중에서 매우 높은 종류의 값으로, 기중에서 Passivation 된 소자들의 전계강도가  $1.13 \times 10^3$ [torr],

SF6에서 Unpassivation된 소자만큼의 높은 전계값을 가짐을 의미한다.

표 1. 진공에서의 절연파괴값  
Table 1. Breakdown field in Vacuum

SiO <sub>2</sub> film thickness	2.5[ $\mu$ m]	4[ $\mu$ m]
Contact Gap(d)	5[mm]	2.5[mm]
Breakdown field	33.5[kV/cm]	>62.2[kV/cm]

표 2. 기중에서의 절연파괴값  
Table 2. Breakdown field in Air

SiO <sub>2</sub> film thickness	2.5[ $\mu$ m]	4[ $\mu$ m]
Contact Gap(d)	5[mm]	2.5[mm]
Breakdown field	45.6[kV/cm]	>78.8[kV/cm]

여기서 절연 파괴강도는 SiO<sub>2</sub>박막 두께와 SiO<sub>2</sub>주위 유전체에 의해 좌우된다는 것과, Silicon-SiO<sub>2</sub> 경계면 파괴는 SiO<sub>2</sub>박막두께에 의존하는 것이 아니라 Non-Ohmic 상태에서 발생하는 누설전류에 의한 것임을 알 수 있다. 다시 말해서, 실리콘과 SiO<sub>2</sub> 경계면에서의 절연파괴는 SiO<sub>2</sub>막두께와는 별 상관없이 없다는 것이다. 이제까지의 실험에서 얻은 데이터를 분석해보면 절연파괴는 그림 11과 같이 전계침투가 SiO<sub>2</sub>박막을 통과하여 주위 경계면에서 파괴가 발생함을 짐작할 수 있다.

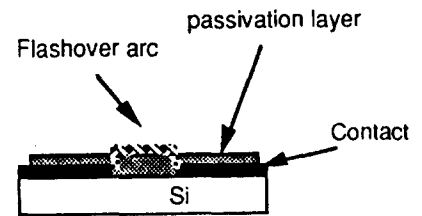


그림 11. 기중과 진공에서의 절연파괴 메커니즘  
Fig. 11. Breakdown mechanism in Air and Vacuum

Passivation된 소자가 기중에서 절연파괴가 일어난 후, 그것을 다시 측정하였다(SiO<sub>2</sub> 박막두께=2.5 [ $\mu$ m], 갭 간격=5[mm]). 기중에서 샘플의 절연파괴 강도가 45.6[kV/cm]이었음에도 불구하고, 소자는 약 30[kV/cm]

에서 절연파괴가 일어났다. 이것은 실리콘 소자 자체의 열화에 의한 Silicon-SiO<sub>2</sub>경계면 손상 때문이며, 이러한 현상은 어떠한 유전체 환경에서도 거의 같이 일어날 것이다. 그러나, 만약 절연파괴가 SiO<sub>2</sub>-Air 경계면에서 발생되고, Silicon-SiO<sub>2</sub>경계면이 절연파괴에 의해 열화 되지 않으면서 SF<sub>6</sub>내에서 시험된다면 그 소자의 절연파괴 강도는 더욱더 높아질 것이다. 왜냐하면 SiO<sub>2</sub>-SF<sub>6</sub> 또는 Silicon-SF<sub>6</sub>의 경계면의 절연파괴강도가 SiO<sub>2</sub>-Air 또는 SiO<sub>2</sub>-Vacuum보다 훨씬 높기 때문이다.

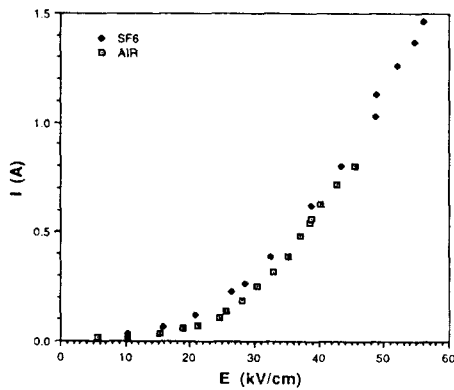


그림 12. 소자의 I-E 특성  
Fig. 12. I-E Characteristics of Device

그림 12는 SiO<sub>2</sub> 막두께 2.5[ $\mu$ m], 갭간격 5[mm]을 가지는 시편을 기중과 1.13 $\times$ 10<sup>3</sup>[torr] SF<sub>6</sub>에서 실험한 결과로, 기중에서 45.6[kV/cm]에서 파괴가 발생했으며, 이렇게 손상된 시편을 다시 SF<sub>6</sub>내에서 실험하였다니 연면방전 없이 55[kV/cm]까지 인가가 가능했다. 만약 소자가 손상을 입었다면 그림 9처럼 약 45[kV/cm]에서 파괴가 일어났을 것이다. 결국, 이러한 파괴는 Silicon-SiO<sub>2</sub>경계면에서의 파괴가 아닌 SiO<sub>2</sub>-Air 경계면에서의 파괴임을 알 수 있다.

### 3.3 Si-SiO<sub>2</sub> 경계면 파괴

표면 Passivation 이후, 샘플들은 SF<sub>6</sub> 1.13 $\times$ 10<sup>3</sup>[torr], SiO<sub>2</sub> 막 두께 2.5[ $\mu$ m], 갭 간격 5[mm]이며 이 샘플들의 I-E특성을 그림 13에 나타내었다.

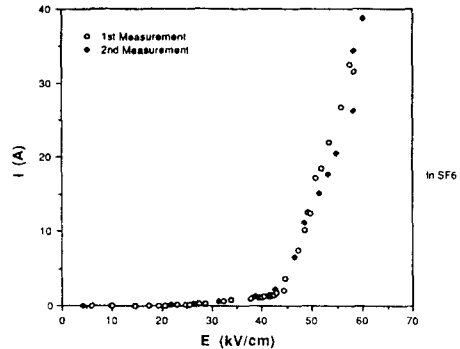


그림 13. SF<sub>6</sub>에서의 소자의 I-E 특성  
Fig. 13. I-E Characteristics of device in SF<sub>6</sub>

그림 13에서 볼 수 있듯이, Non-Ohmic 전류는 매우 빨리 증가함을 볼 수 있다.

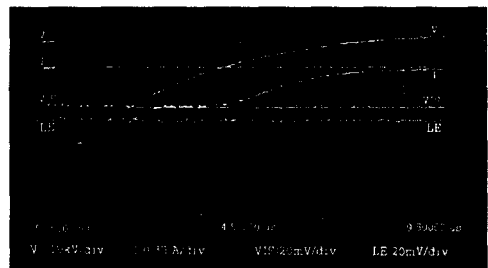


그림 14. Non-Ohmic (개시) 전류파형  
Fig. 14. Non-Ohmic (start) Current Waveform

SF<sub>6</sub>에서 첫 번째 Non-Ohmic (개시) 전류는 약 40 [kV/cm]에서 나타났으며 그 파형은 그림 14에 나타내었다.

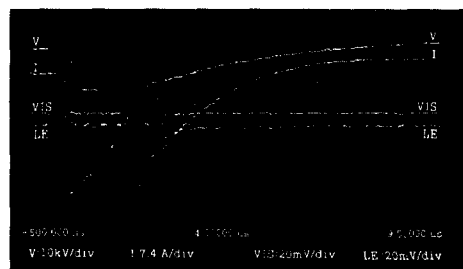


그림 15. PMT시그널과 전압, 전류파형  
Fig. 15. PMT signal and corresponding current, voltage waveform

약 50[kV/cm]시에는 전류가 약 12.5[A]정도로 나타났으며, 광방사 활동은 PMT로 모니터 한 것으로 전압, 전류, PMT 시그널의 파형은 그림 15에 나타내었다.

이 그림에서 가시선과 적외선 신호는 Non- Ohmic 전류 최고값과 같은 상에서 얻어지며, 커다란 전류로 인해 전압파형은 부분붕괴를 가진다. 실험은 샘플 내를 미세 관찰하기 위해 58[kV/cm]에서 중단하고 표면을 관찰했더니 Si-SiO<sub>2</sub> 경계면에서 약간의 필라멘트가 발견되었다. 이 샘플을 다시 SF<sub>6</sub>에서 전압을 인가했더니, 절연파괴가 60[kV/cm]에서 발생이 되었고, 그림 16에서 보여지는 최대의 필라멘트를 동반하며 완전히 파괴되었다.

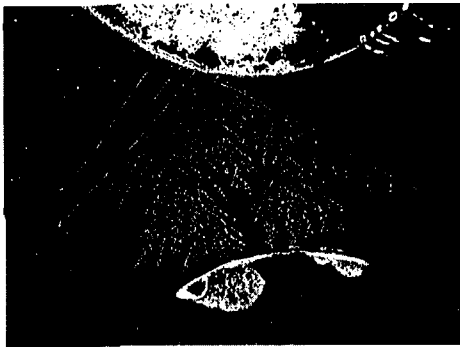


그림 16. 소자파괴시 표면 필라멘트  
Fig. 16. Surface filament on device failure

결국 Non-Ohmic 전류가 Si-SiO<sub>2</sub> 경계면에서 필라멘트와 시편손상을 일으키는 원인이며, 절연파괴는 필라멘트를 동반하는 경계면에서 발생한다는 것을 알 수 있다. 즉, Non-Ohmic 전류 발생 직전이 소자 이용의 한계값임을 알 수 있다.

### 3.4 소자들의 I-E 특성

SiO<sub>2</sub> 4[μm]두께로 Passivation한 후, 소자들의 I-E 특성을 진공, 기중, SF<sub>6</sub>와 같이 여러 가지의 주위 유전체 환경에서 실험하여, 그 대표적인 결과들을 그림 17에 나타내었다.

Passivation된 소자들의 I-E특성은 다른 모든 유전체 환경에서 거의 같은 곡선을 그렸다. 3.1절에서처럼 Unpassivation된 소자일 경우 소자의 I-E특성은 실리콘 주위 유전체가 중요한 역할을 한다는 것을 알 수 있다.

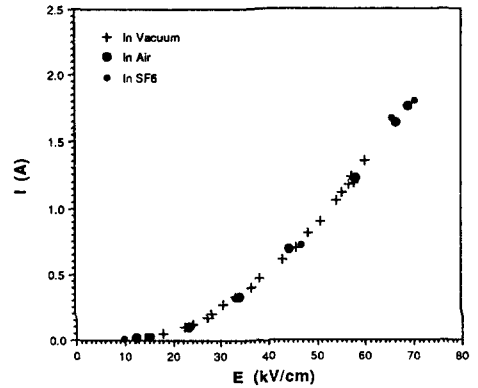


그림 17. 다른 유전체 환경에서 Passivation된 소자의 I-E 특성  
Fig. 17. I-E Characteristics of Passivated Device in Different ambient

그러나 Passivation된 소자일 경우 주위 유전체 환경의 변화는 단지 SiO<sub>2</sub>-dielectric 경계면의 특성만 바꾼다는 것이다. 즉, 실리콘과 SiO<sub>2</sub>경계면에서의 변화는 없다는 것이다. 그러나 이러한 현상은 Non-ohmic 상태 이전의 현상으로 만약 Non-ohmic 상태에서 소자가 손상을 입었을 경우에는 예외이다. 만약, Passivation층이 엄청나게 두껍다면 어떠한 다른 환경 내의 소자라 할지라도 그 소자의 특성은 주위 유전체의 영향을 받지 않을 것이다. 결국, SiO<sub>2</sub>박막의 우량성이 소자의 I-E특성을 개선시키는데 있어 매우 중요하다는 것을 알 수 있으며 차후 많은 발전이 요구된다.

## 4. 결 론

본 논문에서는 실리콘을 주위매질(진공, 기중, SF<sub>6</sub>)에 따라 Unpassivation상태와 Passivation상태에서의 연면방전 특성 및 SiO<sub>2</sub>-dielectric경계면 파괴 메커니즘에 대해 분석, 규명해 보았다. 그 결과는 다음과 같다.

- 1) 기중과 진공에서의 절연파괴는 SiO<sub>2</sub>로 Passivation한 것이 Si-Air 와 Si-Vacuum 경계면 환경보다 훨씬 우수하다.
- SiO<sub>2</sub>박막의 특성이 개선되면 더 나은 절연파괴



값을 가질 수 있다.

2) 소자의 파괴는 SiO<sub>2</sub> 박막을 통과한 전계침투로 인해 주위 유전체와 계면에서 발생하는 연면방전 때문이다.

- SiO<sub>2</sub>박막을 두껍게 함으로서 이러한 문제는 해결할 수 있다.

3) Passivation된 소자들은 다른 모든 유전체 환경에서도 거의 같은 I-E특성값을 나타낸다.

- 만약 SiO<sub>2</sub>박막이 이상적으로 두껍다면 어떠한 유전체 환경에서도 주위 유전체 환경에 영향을 받지 않을 것이며 항상 같은 I-E특성 값을 나타낼 수 있을 것이다.

이상의 실험 결과로 Passivation의 우수한 특성이 검증되었다. 본 논문에선 단일 물질만을 이용해 그 특성을 연구하였지만, 앞으로 다양한 고체 유전체들을 이용한 Multi Passivation의 절연 특성을 연구해 볼 필요가 있다고 사료된다.

본 연구는 한국학술진흥재단의 공동연구과제 연구비에 의하여 수행되었음.

**참 고 문 헌**

[1] W. C. Nunnally, "Photoconductive Pulsed Power Switches: A Review", Proceedings of the 5th IEEE Pulsed Power Conference, pp. 235-241, Arlington, VA, 1985.  
 [2] G. M. Loubriel, M. W. O'Mally, and F.J.Zutavern, "Toward Pulsed Power Uses for Photoconductive Semiconductor Switches: Closing Switches," in Digest of Technical Papers, 6th IEEE Pulsed Power Conference, P. H. Turchi and B. H. Bernstein eds.(IEEE, New York, 1987), pp.145-148.  
 [3] G. Mourou and W. Knox, Appl. Phys. Lett. 35, 492(1979).  
 [4] K. H. S. Dhoerbach, B. K. Lakdawala, K. B. J. Schmitt, and T. J. Powers, in Proceedings of SPIE, Los Angeles, CA(SPIE, Bellingham, WA, 1988), Vol. 871.  
 [5] S. K. Chandhi, VLSI Fabrication Principles, New York, John Wiley & Sons, Inc., 1983.  
 [6] R. J. Feuerstein, B. Senitzky, J. Appl. Phys. 70(1), 1 July 1991.  
 [7] B. L. Thomas and W. C. Nunnally, "Investigation of Surface Flashover in Silicon Photoconductive Power Switched", Processings of the 6th IEEE Pulsed Power Conference Arlington, VA, pp. 149-52, 1987.  
 [8] P. F. Williams and F. E. Peterkin, "A mechanism for Surface Flashover of Semiconductors", Proceedings of the 7th IEEE Pulsed Power Conference, Monterey, CA, pp. 890-896, 1989.  
 [9] G. Gradinaru and T. S. Surdarshan, "Prebreakdown and Breakdown Phenomena in High Field Semiconductor-

dielectric Systems", J. Apple. Phys., Jun. 1, 1993.  
 [10] G. Gradinaru and T. S. Surdarshan, "A Physical Model of the Electrical breakdown in High Field Semiconductor-dielectric Systems", Conf, Record of the 20th IEEE Power Modulator Symposium, Myrtle Beach, SC, pp. 331-335, 1992.  
 [11] G. Gradinaru, V. P. Madangarli and T. S. Surdarshan, "Some Particularities of the Surface Flashover in Silicon-vacuum Systems", Proceedings of the 15th Int. Symp. on Discharges and Electrical Insulation in Vacuum, Darmstadt, Germany, pp. 208- 212, 1992.  
 [12] W. R. Runyan, K. E. Bean, Addison-Wesley Publishing Company Semiconductor Integrated Circuit Processing Technology, 1990.

**◇ 저자소개 ◇**

**김 정 달 (金正達)**

1947년 1월 6일생. 1970년 영남대 공대 전기공학과 졸업. 1987년 중앙대학교 대학원 졸업(박사). 1995~1996년 미국 South Carolina대 방문교수. 현재 경남대학교 공과대 전기전자공학부 교수.

**정 장 근 (鄭章根)**

1969년 10월 28일생. 1997년 경남대학교 전기공학과 졸업. 1999년 경남대학교 대학원 전자공학과 졸업(석사). 1999년 현재 경남대학교 대학원 박사과정.