

SOI RF 소자 기술의 동향



이종호

원광대학교 전기전자공학부 조교수

1. 서 론

무선 통신 시대의 도래로 RF IC의 수요가 늘어가고 있다. 현재 무선 통신용 소자로 사용되는 대다수는 전통적으로 고주파 특성이 좋은 GaAs나 Si 바이폴라 기술이다. 실리콘 CMOS 소자 기술이 계속적으로 발전하면서 높은 차단 주파수(f_T)를 갖게되었고, f_T 가 100GHz 이상 되는 [1], [2] 그리고 최소 noise figure가 0.5 dB 이하인 소자가 발표되었다 [2]. 최근 RF front-end 회로를 위해 실리콘을 기반으로 하는 기술이 개발되고 있으며, 고도로 집적된 휴대용 RF 통신용 터미널을 생산하려고 하고 있다. 여기서 중요한 것은 실리콘을 기반으로 하는 RF 회로가 낮은 가격으로 VLSI 형태로 구현되어 져야 하는 것이다. 이에 적합한 기술은 CMOS 기술 [3], [4]이라 볼 수 있다. 고주파 IC는 수 μm 에서 cut-off 주파수(f_T)나 최대 진동 주파수(f_{\max})와 같은 특성이 우수해야 하고, 이를 위한 기술로 SOI 기술을 이용하는 것이 효과적이라 할 수 있다. 일반적으로 SOI 소자는 벌크 소자에 비해 작은 기생 용량 성분을 가지고 있어 낮은 공급전압에서 고속 (또는 고주파) 동작에 유리하며, latch-up이 전혀 발생하지 않

는 장점이 있다 [5]. 또한 FD SOI 소자는 벌크 소자에 비해 우수한 subthreshold swing (SS), 낮은 바디 factor와 상대적으로 큰 전류 구동능력 및 transconductance로 인해 디지털 회로는 물론이고 아날로그 회로에의 용용이 가능하다 [6]. 물론 SOI 소자는 기존의 벌크 소자에 비해 기판의 낮은 열 전도율 및 CMOS의 경우 바디와 관련된 문제가 있으나 지속적인 연구에 의해 개선되어지고 있다. SOI 기술의 고속/고주파 특성 및 낮은 전압 동작(낮은 전력 소모) 그리고 높은 집적도 등을 감안하여, 벌크 CMOS와 더불어 휴대용 단일칩 CMOS 라디오 구현에 대한 가능성이 긍정적으로 논의되고 있다.

본 논고에서는 RF 용 소자에 대한 CMOS(벌크 및 SOI) 소자기술의 요구 조건 및 기판의 특성을 살펴보고, 현재 RF 용 SOI CMOS와 관련된 연구 결과 및 동향을 벌크 CMOS와 함께 주로 고찰한다. 끝으로 SOI 기술을 이용한 RF power amp에 대한 언급과 SOI 바이폴라 기술에 대한 고찰을 한다.

2. RF 용 CMOS 소자 기술의 요구 조건

실리콘 벌크 CMOS 소자의 RF 특성은 많은 부분이 SOI CMOS 소자 기술과 같기 때문에 벌크 소자

에 대한 내용을 기본으로 해서 설명하도록 한다. RF 응용을 위해서 어떤 소자 기술이 적합한가는 성능, 가격, 집적도 및 시장에의 빠른 대응으로 결정할 수 있다. RF 용 소자의 성능은 아주 다차원적으로 고려해야 하는데, 이는 여러 가지 front-end 구성요소가 각각 다른 필요조건을 요구하기 있기 때문이다. 최근까지는 대체로 GaAs 기술이 고속 동작 특성과 반절연성 기판 때문에 RF 영역에 주로 많이 사용되고 있다. 최근의 RF 기술은 거의 휴대용 단말기를 염두에 두고 있기 때문에, 낮은 전압, 낮은 전력, 고집적의 기술을 필요로 하며, 이는 실리콘을 기반으로 하는 기술로의 이전을 필요로 한다. 현재 BiCMOS 기술이 가장 편리한 해결책으로 보여지지만 CMOS에 비해 공정 단자가 높은 편이다. CMOS 기술은 낮은 가격, 높은 집적도, 혼합된 아날로그/디지털 회로의 양립성, 생산 기술의 성숙도로 인해, RF 영역에서 주목을 받고 있다. 그러면 RF 기술을 위한 벌크 및 SOI CMOS 소자 기술은 어떤 특성을 갖추어야 하는지 알아본다.

먼저 기생 성분과 cross-talk, 그리고 thermal coupling을 줄이기 위해 기판을 전기적으로나 열적으로 절연시키는 것이 필요하다. 전력 증폭기가 하나의 칩에 LNA나 VCO와 같이 집적화되었을 때 열적 절연은 중요하다. 이를 위해 SOI 기판을 사용하는 것이 적합할 수 있으나 소자 자체의 열이 잘 빠져나가지 않는 self-heating 문제가 있다[7]. 낮은 바이어스 전류에서 능동소자의 주파수 이득이 충분히 보장되어야 한다. 이는 높은 fT나 fmax를 의미하며, 통상, 이들 주파수는 최대 시스템 동작 주파수에 비해 적어도 10 배 이상은 되어야 한다[8]. 낮은 바이어스 전류에서 능동 소자의 높은 선형성과 낮은 잡음 특성이 필요하다. 전원 공급선과 ground 사이에 하나 이상의 트랜지스터가 직렬로 연결되어 증폭기를 구성하는 경우를 stack design이라 하며, 이러한 회로를 구성하기 위해서는 트랜지스터의 문턱전압이 낮아야 한다. 그러나 바이어스 전류의 누설 성분을 작게 하기 위해서는 문턱전압을 높여야 하기 때문에 trade-off가 필요하다. 낮은 순설의 전송선 구현이 가능해야 한다. 이는 인덕터와 같은 수동 소자에서 Q factor를 높이는데 필수 적이라 할 수 있다. 능동 및 수동 소자의 정밀도가 요구되며, 개선된 반도체 공정에 의해 정밀도에 대한 허용오차를 낮추도록 해야한다. 대구경의 실리콘 웨이퍼를 사용하여 단위 면적당 공정가격을 낮출 필요가 있다. 칩의 die 크기를 줄여 가격을 낮추기 위해서는 높은 집적도를 요구한다.

3. RF 벌크/SOI 웨이퍼 기판

주어진 기판에 형성된 CMOS 소자는 전기적으로나 열적으로 기판의 영향을 많이 받게 된다. GaAs 기판은 기본적으로 반 전연층으로 되어 있기 때문에 소자 사이나 회로 사이에서 cross-talking이 거의 일어나지 않아 우수한 RF 특성을 갖는다고 할 수 있다. 그러나 기존의 CMOS 기술용 기판은 디지털용 CMOS 소자의 latch-up을 방지하기 위해 비교적 낮은 저항을 갖는 기판을 사용하고 있다[9]. 저항이 낮은 기판은 cross-talking 또는 coupling에 매우 취약하며, 잡음 전류도 낮은 저항을 갖는 기판에서는 쉽게 전파되어 회로의 성능을 저하시킨다. 아날로그 회로와 디지털 회로가 같은 기판 칩에 존재하는 mixed-mode 회로에서는 디지털 회로에서 많은 기판 잡음을 발생시킬 수 있어 이 문제는 심각하다. 아날로그 RF front-end가 같은 칩 상에 구현될 경우는 RF 신호의 크기 100 dB 만큼 크기에 있어 다르기 때문에, 즉 RF 신호가 매우 작기 때문에, 이 문제는 위험한 수준이라 할 수 있다. 또한 기판 저항이 낮으면 인덕터에서의 고주파 신호의 손실이 기판을 통해 쉽게 일어나게 된다. 이와 같은 기판을 통한 문제를 해결하기 위해 guard ring[10]을 사용하거나 SOI[11] 또는 SOS[12] 기판을 사용하는 방법도 제안되고 있다. 최근의 RF 용 CMOS 기술에서는 벌크 실리콘 기판의 불순물 농도를 낮추어서 저항을 크게 만들어 coupling을 억제하려는 시도가 있다. 그러나 벌크 실리콘 기판에서 CMOS 소자의 변수를 적절하게 유지하면서 기판 농도를 낮추기는 어려움이 있다. SOI 기판에서는 절연막에 의해 기본적으로 1 Ω 이하에서 coupling을 많이 차단할 수 있다. 1 Ω 이상에서 coupling을 차단하기 위해 소자에 아무런 영향 없이 SOI 기판의 매몰 절연막(BOX) 아래의 기판 저항을 낮출 수 있는 장점이 있다[13]. SOI 기판을 이용하여 RF 능동 및 수동 소자를 만들 경우 벌크 실리콘 기판에 비해 소자가 있는 매몰 산화막 아래의 실리콘 기판을 삭각하여 고주파 특성을 개선한 연구 결과가 발표되었으며[14], 벌크 CMOS 기술에서 인덕터와 긴 RF interconnect 아래 영역을 삭각하여 고주파 특성을 개선하려고 시도한 경우도 있다[15].

4. 능동소자

CMOS 소자의 크기가 스케일링 다운됨에 따라

MOS 소자의 이득-효율의 측도가 되는 드레인 전류당 transconductance(g_m/I_D)가 개선되고 있다. 특히, 그림 1[16]에 보여진 것과 같이 측정된 NMOS의 f_T 와 f_{max} 특성이 게이트 길이가 $0.5 \mu\text{m}$ 이하부터 20 GHz 를 넘고 있어 2 μm 에서 동작하는 RF 회로에는 적용할 수 있음을 알 수 있다. 게이트 길이가 $0.1 \mu\text{m}$ 보다 작아지면서 f_T 가 150 GHz 가 되는 SOI NMOS 소자가 발표되었다[1]. 통상 RF 용 NMOS는 VGS-VTh 값이 0.2~0.4 V 정도에서 동작하기 때문에 hot electron에 의한 열화가 크게 일어날 수 있다[17].

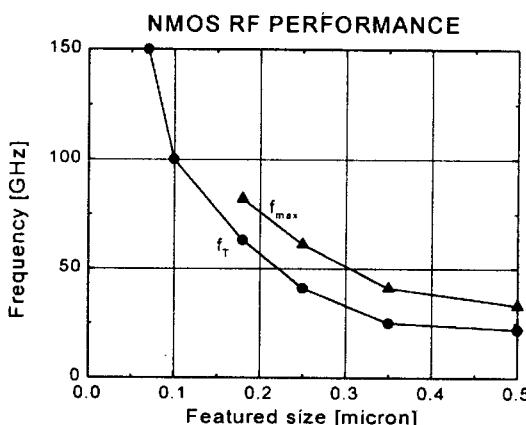


그림 1. NMOS 소자의 채널 길이에 따른 f_T 및 f_{max} 특성[16].

소자의 스케일링 다운에 따라 MOS 소자의 잡음 특성을 개선된다[18]. 이는 채널 길이의 감소에 따라 소자내 전계가 증가하고 결국 잡음원을 증가시키는 결과를 가져오지만 채널 길이 감소에 따른 f_T 의 증가가 이를 보상하기 때문이다. NMOS의 주된 잡음 소스는 채널 열 잡음과 flicker ($1/f$) 잡음이다. RF 주파수 대역에서 영향을 주는 것은 열잡음이지만, $1/f$ 잡음은 VCO의 위상 잡음에 영향을 주기 때문에 반드시 고려되어야 한다.

SOI MOS 소자는 바디의 조건에 $1/f$ 잡음 특성에서 noise overshoot 현상을 보이고 있으며, 이는 벌크 실리콘 MOS 소자에서는 관찰되지 않는다. SOI 소자의 바디가 floating되거나 ground되는 것에 상관없이 AC kink 효과와 Lorentzien-like $1/f$ noise overshoot 사이에는 보편적인 관계가 있는 것으로 알려져 있다[19], [20]. SOI 소자에서 noise overshoot는 RF 회로에 나쁜 영향을 주기 때문에, 이를 해결하기

위해서는 그림 2의 (III)과 같은 소자 설계를 할 필요가 있다. 즉, 바디 저항을 줄이는 방법이 필요하며, 더 많은 연구를 필요로 한다. Floating body의 경우 PD보다 FD 모드가 더 좋은 $1/f$ 잡음 특성을 보인다.

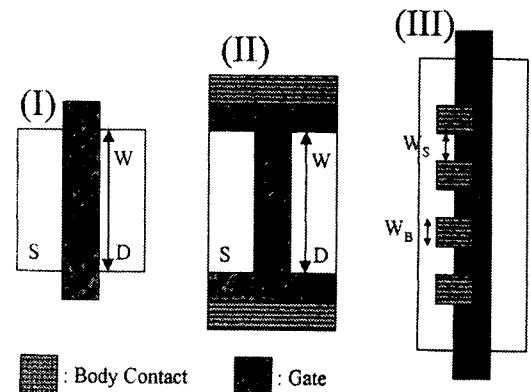


그림 2. 여러 가지 SOI 소자에 대한 도식적인 레이아웃. (III)의 경우는 면적은 많이 차지하지만 바디 저항은 제일 작다[19].

소자의 선형성은 RF 회로에서 매우 중요하다. 소자의 채널 길이 감소에 따라 선형성은 개선되거나 거의 변하지 않는 것으로 알려져 있다[21].

소자의 크기 감소에 따라 게이트 저항이 증가하기 때문에 여분의 게이트 잡음을 유발 할 수 있다. 저항을 줄이기 위해 반드시 실리사이드 공정을 적용할 필요가 있고 게이트를 multi-finger 형태로 레이아웃 할 필요가 있다. 또한 T 게이트 구조를 사용하면 게이트 저항을 줄일 수 있다[22].

현재 이용 가능한 RF CMOS 소자를 위한 모델은 잡음 지수나 power gain을 최적화하는데 불충분하기 때문에 RF CMOS 발전을 위해서는 CAD 툴의 개발이 시급하다[23].

능동 소자가 아닌 interconnects, 인덕터와 커패시터에 대한 내용은 벌크 CMOS와 다를 것이 없으므로 표 1의[7] 내용을 참고하면 될 것으로 생각된다. 표 1에는 RF 기술을 위한 능동 및 수동 소자의 주요 성능과 그러한 성능에 관계되는 기술적인 해결책이 요약되어 있다.

5. RF SOI 바이폴라 및 전력 증폭기

SOI 기판을 이용한 RF 회로용 바이폴라 소자나

표 1. RF CMOS 기술에서 주요 소자의 구분, 주요 항목 및 기술 발전을 위한 가능한 미래의 기술적인 해결 방향[7].

Device	Desired feature	Possible/future technology solutions
NFET	<ul style="list-style-type: none"> - Higher RF gain - Smaller delay - Lower noise - Higher linearity 	<ul style="list-style-type: none"> - Smaller feature size - Smaller feature size, T-gate structures - Smaller feature size, T-gate structures - Smaller feature size
Interconnect	<ul style="list-style-type: none"> - Lower resistivity - Lower parasitics - Higher reliability 	<ul style="list-style-type: none"> - Copper metalization - Micromachined etching, interlayer insulators, more metal layers - Copper metalization
Inductor	<ul style="list-style-type: none"> - Higher Q - Higher inductance - Higher self-resonance 	<ul style="list-style-type: none"> - Copper metalization, more metal layers, improved bonding technology, micromachined etching, interlayer insulators - More metal layers, micromachined etching, interlayer insulators, copper metalization - More metal layers, micromachined etching, interlayer insulators, copper metalization, improved bonding technology
Capacitor	<ul style="list-style-type: none"> - Higher Q - Higher self-resonance - Higher accuracy 	<ul style="list-style-type: none"> - Smaller feature size, micromachined etching, interlayer insulators, more metal layers, copper metalization - More metal layers, micromachined etching, interlayer insulators, copper metalization - More metal layers, smaller feature size, micromachined etching, interlayer insulators

RF 전력 증폭기에 대한 연구는 RF CMOS 소자에 비해 활발 적기 때문에 간단히 살펴본다. SOI 기판에서 고속 바이폴라 소자를 제작한 예는 매년 발표되고 있으나, 본 논고에서는 최근에 발표된 대표적인 2 가지 구조만을 소개한다[24], [25]. 기존의 벌크 바이폴라 소자는 대부분 수직형이지만 SOI 기판에서는 성능이 우수한 수평형과 수평형을 모두 제작할 수 있다.

그림 3은 간단히 구현될 수 있는 수평형 SOI 바이폴라 소자를 보여준다. 자기정렬형 외부 베이스 구조에 의해 베이스 저항이 작고 따라서 f_{max} 가 31 GHz로 크게 측정되었다. 그림 4는 bonded SOI 기판에 만들어진 수직형 바이폴라 소자를 보여준다. 그림 3에 비해 두꺼운 Si 필름을 사용하고 있으며, 공정도 상대적으로 복잡하며 기존의 벌크 소자와 유사하다. 특히 베이스 영역을 SiGe으로 형성하였기 때문에 높은 전류이득을 유지하면서 베이스 저항을 낮출 수 있기 때문에 성능이 매우 우수하다. 측정된 f_T 및 f_{max} 가 각각 60 GHz와 51 GHz이며[25], 일반적으로 SiGe 베이스 BJT는 1/f 잡음 특성이 매우 우수하기 때문

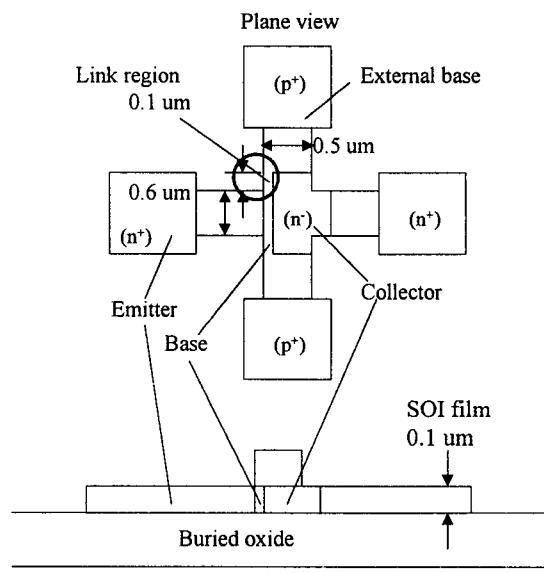


그림 3. 수평형 SOI BJT의 레이아웃 및 단면도 [24].

에 RF 통신회로에 매우 적합하다.

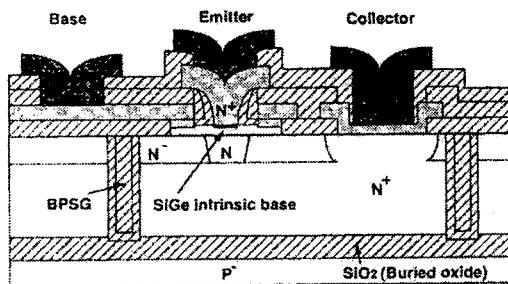


그림 4. SOI 기판에 만들어진 초 자기정렬형 SiGe 베이스 BJT의 도식적인 단면도[25].

최근 SOI 기판에서 제조되는 전력증폭기는 작은 기생성분, 작은 on 저항 (R_{on}), 우수한 잡음 특성 등과 같은 이점으로 인해 급속히 연구되고 있다. 여기서는 cellular 베이스 기지를 위한 50 V SOI LDMOSFET[26]과 handset 단말기를 위한 3.6 V SOI 전력증폭기에[27] 대해 소개한다.

그림 5는 두꺼운 실리콘 필름에 형성된 50 V SOI LDMOSFET의 단면을 보여준다. 벌크 실리콘에 형성된 같은 소자에 비해 더 좋은 g_m 과 R_{on} 을 가지며, self-heating이 RF 성능에 크게 영향을 주지 않는 것으로 보고되고 있다[26].

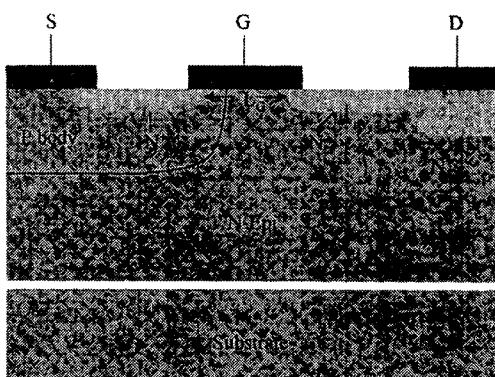


그림 5. SOI LDMOSFET의 도식적인 단면도[26].

그림 6은 고효율 RF 용 SOI 전력 증폭기를 보여준다. 특이한 점은 소자가 기판의 아래에 형성되어

있는 점이며, 이해를 돋기 위해 간단히 공정순서를 살펴보자. 먼저 기존의 방법으로 Si 기판에 LDMOSFET을 만들고 이 기판을 그림에서 표시된 치지 기판(supporting substrate)에 bonding 한다. 소자가 만들어진 Si 기판을 제거하되 소자가 있는 영역 바로 근처까지 한다. 소자가 형성되어 있는 얇은 Si 필름을 CMP 공정으로 연마하면 그림 6의 소자 있는 Si 필름 영역 바로 아래쪽과 같이 편평하게 된다. 여기에 산화막을 덮고 그림에서 검은 실선으로 표시된 것과 같이 바디와 소스 영역에 금속 전극을 형성한다. 기존의 공정에 비해 약간의 추가 공정이 필요함을 알 수 있다. 이렇게 제조된 전력 증폭기는 항복전압이 기존의 SOI 전력 증폭기에 비해 기생 바이폴라 소자의 억제로 2배 향상되었고, f_{max} 는 11 GHz로 나타났으며, power added efficiency (PAE)는 3.6 V의 동작전압에서 그리고 2 GHz에서 68%로 얻어졌다[27].

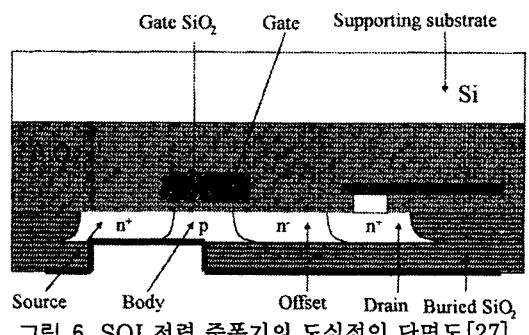


그림 6. SOI 전력 증폭기의 도식적인 단면도[27].

참 고 문 헌

- [1] C. Wann et al., "High-performance 0.07- μm CMOS with 9.5-ps gate delay and 150 GHz f_T ", IEEE Electron Device Lett., vol. 18, no. 12, pp. 625-627, Dec. 1997.
- [2] H. S. Momose et al., "High frequency AC characteristics of 1.5 nm gate oxide MOSFET", in IEDM Tech. Dig., 1996.
- [3] D. K. Shaeffer and T. H. Lee, "A 1.5-V, 1.5-GHz CMOS low noise amplifier", IEEE J. Solid-State Circuits, vol. 32, no. 5, pp. 745-759, May 1997.
- [4] A. Rofougaran et al., "A 1 GHz CMOS RF

- front-end IC for a direct-conversion wireless receiver", IEEE J. Solid-State Circuits, vol. 31, pp. 880-889, July 1996.
- [5] J.-P. Colinge, Silicon-On-Insulator technology : Materials to VLSI, 1991, Kluwer academic publishers.
- [6] J.-P. Colinge, "Fully-depleted SOI CMOS for analog applications", IEEE Trans. on Electron Devices, vol. 45, no. 5, pp. 1010-1016, May 1998.
- [7] T. E. Kolding, "Review of RF CMOS performance and future process innovations", Technical Report R98-1014, ISSN 0908-1224,
- [8] S. Sheng et al., "A low power CMOS chipset for spread spectrum communications", In Tech. Dig. of ISSCC, San Francisco, Feb. 1996, pp. 346-347.
- [9] D. A. Johns and K. Martin, Analog integrated circuits design, John Wiley & Sons, Inc., 1997.
- [10] Y. Chih and M. Chen, "Design model and guidelines for n-well guard ring in epitaxial CMOS", IEEE Trans. Electron Devices, vol. 41, no. 10, pp. 1806-1810, Oct. 1994.
- [11] K. Joardar, "Comparison of SOI and junction isolation for substrate cross-talk suppression in mixed-mode integrated circuits", Electron. Lett., vol. 31, no. 15, pp. 1230-1231, July 1995.
- [12] R. Johnson et al., "Silicon-on-saphire MOSFET transmit/receive switch for L- and S-band transceiver applications", Electron. Lett., vol. 33, no. 15, pp. 1324-1326, July 1997.
- [13] D. Eggert et al., "A SOI-RF-CMOS technology on high resistivity SIMOX substrates for microwave applications to 5 GHz", IEEE Trans. on Electron Devices, vol. 44, no. 11, pp. 1981-1989, Nov. 1997.
- [14] D. Hisamoto et al., "Suspended SOI structure for advanced 0.1- μ m CMOS RF devices", IEEE Trans. on Electron Devices, vol. 45, no. 5, pp. 1039-1046, May 1998.
- [15] A. Rofougaran et al., "A single-chip 900-MHz spread-spectrum wireless transceiver in 1- μ m CMOS - Part I : Receiver design", IEEE J. of Solid-State Circuits, vol. 33, no. 4, pp. 535-547, April 1998.
- [16] C. Wann et al., "RF perspective of sub-tenth-micron CMOS", in Tech. Dig. of IEEE ISSCC, San Fransisco, 1998, pp. 254-255.
- [17] Q. Huang et al., "The impact of scaling down to deep-submicron on RF CMOS circuits", IEEE J. of Solid-State Circuits, vol. 33, no. 7, pp. 1023-1036, July 1998.
- [18] M. Saito et al., "0.15- μ m RF CMOS technology compatible with logic CMOS for low-voltage operation", IEEE Trans. on Electron Devices, vol. 45, no. 3, pp. 737-742, March 1998.
- [19] Y.-C. Tseng et al., "AC floating body effects and the resultant analog circuit issues in submicron floating body and body-grounded SOI MOSFET's", IEEE Trans. on Electron Devices, vol. 46, no. 8, pp. 1685-1692, August 1999.
- [20] Y.-C. Tseng et al., "Phase noise characteristics associated with low-frequency noise in submicron SOI MOSFET feedback oscillator for RF IC's", IEEE Electron Device Lett., vol. 20, no. 1, pp. 54-56, Jan. 1999.
- [21] T. H. Lee, "CMOS RF : No longer an oxymoron", in Proc. of IEEE Gallium Arsenide Integrated Circuits Symposium, Anaheim, 1997, pp. 244-247.
- [22] D. Hisamoto et al., "A low-resistance self-aligned T-shaped gate for high-performance sub-0.1- μ m CMOS", IEEE Trans. on Electron Devices, vol. 44, no. 6, pp. 951-956, June 1997.
- [23] T. Manku, "Microwave CMOS - Devices and Circuits", in IEDM Tech. Dig., 1998, pp. 59-66.
- [24] T. Shino et al., "A 31 GHz fmax lateral BJT on SOI using self-aligned external base formation technology", in Tech. Dig. IEDM, 1998, pp. 953-956.

- [25] F. Sato et al., "A 60- Ω f_T super self-aligned selectively grown SiGe-base (SSSB) bipolar transistor with trench isolation fabricated on SOI substrate and its application to 20-Gb/s optical transmitter IC's", IEEE Trans. on Electron Devices, vol. 46, no. 7, pp. 1332-1338, July 1999.
- [26] P. Perupalli et al., "Performance evaluation of bulk Si and SOI RF LDMOSFTs for emerging RFIC applications", in Tech. Dig. of IEEE SOI Conf., 1997, pp. 108-109.
- [27] S. Matsumoto et al., "A novel high-frequency quasi-SOI power MOSFET for multi-gigahertz applications", in Tech. Dig. of IEDM, 1998, pp. 945-948.