

반도체 후공정 라인의 페트리 넷 모델링과 동적 스케줄링

Petri Nets Modeling and Dynamic Scheduling for the Back-end Line in Semiconductor Manufacturing

장 석 호, 황 우 국, 박 승 규, 고 택 범, 구 영 모, 우 광 방

(Seok Ho Jang, Woo Kug Whang, Seung Kyu Park, Taek Beom Koh, Young Mo Koo, and Kwang Bang Woo)

Abstract : An effective method of system modeling and dynamic scheduling for the back-end line of semiconductor manufacturing is proposed. The virtual factory, describing semiconductor manufacturing line, is designed in detail, and then a Petri net model simulator is developed for operation and control of the modular cells of the virtual factory. The Petri net model is a colored timed Petri nets (CTPNs). The simulator will be utilized to analyze and evaluate various dynamic status and operations of manufacturing environments. The dynamic scheduler has a hierarchical structure with the higher for planning level and the lower for dynamic scheduling level. The genetic algorithm is applied to extract optimal conditions of the scheduling algorithm. The proposed dynamic scheduling is able to realize the semiconductor manufacturing environments for the diversity of products, the variety of orders by many customers, the flexibility of order change by changing market conditions, the complexity of manufacturing processes, and the uncertainty of manufacturing resources. The proposed method of dynamic scheduling is more effective and useful in dealing with such recent pressing requirements including on-time delivery, quick response, and flexibility.

Keywords : back-end line in semiconductor manufacturing, colored timed Petri nets (CTPNs), genetic algorithm, dynamic scheduling system

I. 서론

본 논문에서는 반도체 생산의 조립 및 최종검사공정 라인을 구체적인 대상으로 설정하며, 시스템을 구성하는 수행 작업, 생산 자원, 그리고 스케줄링 목적은 다음과 같다.

수행 작업이 갖는 특징으로는 배워 형태로 작업이 진행되고, 공정간의 선행관계(precedence relation)가 결정되어 있으며, 작업수행시간이 생산제품과 장비에 따라 유동적이다. 그리고, 수주생산과 계획생산이 혼합되어 있어 납기일(due date)의 중요도가 제품별 또는 주문 고객별로 차별적일 뿐 아니라, 생산제품과 원자재가 다양하여 장비설치와 관련된 시간적 문제가 존재한다.

생산 자원이 갖는 특징으로는 단일공정수행장비와 복수공정수행장비가 혼합되어 병렬작업이 진행되며, 단위공정의 경우에도 복수개의 장비종류가 존재하여 장비 종류에 따라 기능과 특성이 다르다. 그리고, 공정 특성과 형태에 따라 모듈러 셀 구성이 가능하나, 모듈러 셀간의 연계성을 고려하면 이에 대한 통합관리가 요구된다.

스케줄링 목적에 대한 정의를 위해서는 생산현장의 상황과 시장의 추세에 대한 분석이 요구된다. 반도체 생산제품은 메모리 디바이스(DRAM, SRAM, ROM 등)와 비메모리 디바이스(ASIC, microprocessor, 통신기기용 반도체, 가전제품용 반도체 등)로 크게 구별되는데, 이에 따라 생산전략이 다를 수 있다. 그리고, 최근 반도체 시장 환경이 공급과잉에 따른 가격하락과 공급업체간의 경쟁과열로 인하여 생산전략 수립의 최대 관건은 고객만족에 있다. 이를 위하여 납기 준수, 주문변동과 같은 고객 요구에 대한 신속한 대응, 재공 및 재고 감소를 통한 비용 절감, 생산소요시간(lead time) 감소, 생산량 증대 등의 요소들을 고려해야 한다.

반도체 생산시스템을 구체적인 대상으로 하는 스케줄링 문제의 접근에 있어서 중요한 고려사항으로는 공정의 복잡성, 생산제품의 다양성, 실시간 요구기능 등이 존재한다. 그러나, 방대한 정보의 신속한 처리와 목적하는 스케줄링 목표에 대한 근사최적해 도출 사이에는 trade-off 관계가 존재하며 이에 대한 적절한 타협이 요구된다. 반도체 생산라인은 웨이퍼 가공을 통해 IC 칩을 생성하는 전공정(front-end)과 웨이퍼 상의 IC 칩들을 분류하여 개별적 패키지를 생성하고 이를 검사하는 후공정(back-end)으로 구분된다. 전공정을 대상으로 하여 다양한 작업할당규칙에 따른 특성분석 연구[1]와 정수계획법, 선형 계획법에 의한 최적해 도출 연구[2][3], 특정한 목적 수행을 위한 휴리스틱 기법 연구[4][5] 등의 사례를 볼 수 있으며, 후공정을 대상으로 해서는 일부 배워공정에 대

접수일자 : 1998. 8. 14., 수정완료 : 1999. 6. 22.

장석호 : (주)LG-EDS 시스템

황우국 : 대우고등기술연구원

박승규 : (주)삼성SDS 책임연구원

고택범 : 경주대학교 컴퓨터전자공학부

구영모 : 유한대학 전자과

우광방 : 연세대학교 기계전자공학부

· 본 논문은 (1997)년 한국학술진흥재단의 학술연구비에 의해 지원되었습니다

한 스케줄링[6][7], 검사공정라인의 스케줄링[8][9] 연구를 찾아 볼 수 있다. Liu 등[10]이 제시하는 CASS (computerized scheduling system)은 후공정 라인의 스케줄링을 위한 계층적 업무흐름과 이에 따른 작업절차, 그리고 단계별로 도출되어야 하는 산출물에 대하여 구체적으로 정의하고 연관된 정보에 대한 입력, 출력, 제약조건 모델을 매우 명쾌하게 기술하고 있다. 이는 향상된 스케줄링 알고리즘 개발의 의미보다는 스케줄링 시스템이 갖추어야 하는 기능 설정과 컴퓨터에 의한 시스템화로써의 의미를 갖는다고 볼 수 있다.

본 논문에서는 반도체 후공정 생산라인에 대하여 페트리네트 모델의 시뮬레이터를 개발하고 이를 기반으로 동적 스케줄링 시스템을 개발한다. Liu 등[10]이 언급하였듯이 최근까지의 연구가 반도체 전공정에 집중되어 있는 것이 사실이며, 이는 전공정이 갖고 있는 공정의 복잡성과 과도한 투자비용에 기인하는 것이다. 그런데, 최근의 반도체 시장환경은 납기준수와 수요자 요구사항(긴급 주문, 주문 변동 등)에 대한 신속한 대응에 따라 경쟁력이 결정되고 있으며, 이와 같은 상황변화에 대응할 수 있는 시간적 여유도 매우 짧기 때문에 후공정 라인의 생산기간 내에 대응할 수 있어야 한다. 그러므로, 후공정 라인의 신속하고 유연한 스케줄링 문제가 중요한 의미를 갖게된다. 뿐만 아니라 스케줄링 목적의 변화와 생산 환경변화에 따른 근사 최적해 도출과정이 유전알고리즘에 의한 진화과정을 따르므로, 학습을 위한 방대한 학습정보를 생성하는 난해한 과정을 필요치 않는다. 한편, 페트리네트를 이용한 대상시스템 모델링 과정은 복잡한 대상시스템에 대한 이해와 개발이 용이할 뿐 아니라 시스템 해석이 용이하다. 그리고 모델 변화에 대한 수정, 보완을 신속히 수행할 수 있는 장점이 있다.

따라서, 반도체 후공정 라인을 모듈러 셀 방식에 의해 상세히 설계하고, 설계된 대상시스템의 모델링을 위하여 페트리네트 기법을 도입한다. 개발된 페트리네트 모델의 시뮬레이터를 활용한 다양한 생산운영을 통하여 효율적인 스케줄링을 위한 동적 스케줄링 알고리즘을 개발한다. 여기서, 스케줄링 시스템은 계층적 구조를 갖게되는데, 상위의 계획수립 단계에서는 성능지표의 조정, 의사결정함수의 조정, 이에 따른 유전알고리즘에 의한 최적화 작업 등 스케줄링을 위한 기본적인 전략수립의 역할을 수행하며, 하위의 동적 스케줄링 단계에서는 동적 스케줄링 알고리즘에 의해 공정별, 모듈러 셀별 작업투입에 대한 지시가 이루어진다. 그리고, 설계된 스케줄링 시스템의 모델을 기반으로 향후 1주일(또는 1개월)에 예상되는 단기 생산계획을 수립한다. 단계 생산계획은 1일 또는 1shift단위의 계획수립주기에 따라 갱신된다. 이는 동적 스케줄링으로 기대하기 어려운 예측기반의 계획적 작업활동 수립에 대한 보완을 목적으로 하고 있다. 하위 계층의 동적 스케줄링 단계에서는 각각의 모듈러 셀에 대하여 개별적 특성에 따라 독립적으로 최적화된 셀 스케줄러(CS)와 개별적 모듈러 셀의 통합을 통하여 전체 라인을 제어할 수 있도록 통합된 라인 스케줄러(LS)를

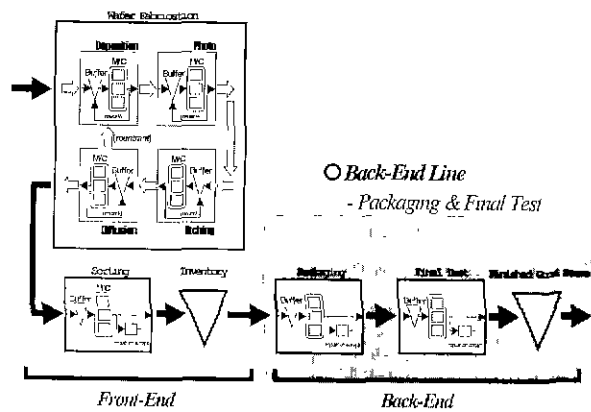


그림 1. 반도체 생산 공정흐름도.
Fig. 1. Process flow for semiconductor manufacturing.

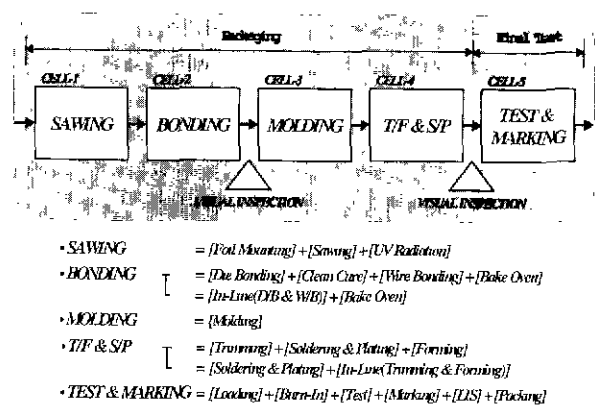


그림 2. 후공정 라인 모듈러셀 구성.
Fig. 2. Modular cells for the back-end line.

포함한다.

제안된 동적 스케줄링 시스템의 성능평가를 위하여, 우선 시뮬레이터의 기능에 대하여 살펴보았다. 생산환경 변화에 따른 공장 운영상의 정책수립과정에 있어 판단기준을 마련하기 위해 시뮬레이터를 활용할 수 있다. 즉, 병목현상 분석, 초기장비의 set-up 상태 결정. 그리고 신규장비 도입 등의 정책결정에 앞서 분석도구로써 활용가치가 있다. 한편, 동적 스케줄링 기법의 효율성은 기존의 휴리스틱 기법과 비교하여 몇 가지 성능평가 항목에 있어 매우 우수한 효과를 나타냄을 살펴볼 수 있었다.

II. 대상 시스템

반도체 산업은 복잡한 제조공정과 다양한 제조장비를 통하여 수많은 제품종류를 생산하는 매우 복잡한 생산구조를 갖고 있다. 반도체 제조공정은 그림 1과 같이 공정내용과 성격에 따라 FAB(fabrication), EDS(Electronic Die Sort), 조립, 최종검사의 4단계로 크게 구분할 수 있으며, 본 논문에서는 조립 및 최종검사 라인을 대상으로 하고 있다.

조립 라인은 웨이퍼 상의 칩들을 분리시켜 리드프레임(lead frame) 상에 접합시키고 외부 단자와 전기적 신호를 주고받을 수 있도록 가는 금선으로 연결하는 등 일

련의 조립공정을 포함한다. 이 과정에서 기계적 또는 전기적 문제들로 인해 수율의 감소가 발생하게 된다. 최종 검사 라인은 완성된 IC 칩의 전기적 특성 및 기능성을 검사하고 최종적으로 제품코드를 표시(marking)하여 완제품 창고에 입고시키는 과정이다

1. 조립라인

조립라인 구성공정들은 그림 2와 같이 공정 내용과 특성에 따라 네 가지의 셀로 구분하여 생산라인 모델을 구성할 수 있다. 각 셀 내부에서는 제품을 처리하는 단위가 웨이퍼 단위 또는 칩 단위로써 일치하여야 하며, 지역적으로도 근접한 공간 내에서 긴밀한 공정간의 연계성을 갖도록 해야 한다.

한편, 공정 장비의 특성상 두 가지 또는 그 이상의 공정을 하나의 장비가 연속적으로 수행하는 경우가 있는데, 이러한 장비를 인라인(in-line) 장비라 하며 두 가지 종류의 인라인 장비가 존재한다. 여기에는, die bonding 공정과 clean curing 공정, 그리고 wire bonding 공정을 연속적으로 수행하는 인라인 장비와 trimming 공정과 forming 공정을 연속적으로 수행하는 인라인 장비가 있다. 한편, 작업 수행을 위한 기본 단위는 die bonding 공정에 투입되기까지는 웨이퍼 단위로 진행되며, die bonding 공정이 완료되면서부터 칩 단위로 분리된다. 웨이퍼 단위로 진행되는 과정에서는 1 카세트(cassette)에 25개의 웨이퍼가 적체되어 운반 및 장비에 작업 투입되는 단위(batch unit)가 되며, 칩 단위로 분할된 이후에는 각각의 칩이 8개 또는 12개의 패키지가 한 줄로 연결된 리드프레임 상에 부착된 상태로 공정이 진행된다. 이

표 1. 조립라인 공정.

Table 1. Processes in the packaging line.

공정명	내용
Foil Mounting	Sawing, Die Bonding 수행시 웨이퍼의 고정을 위해 고정착력의 필름이 부착된 frame 위에 웨이퍼를 부착시키는 공정
Sawing	웨이퍼 상의 die를 개별적으로 선별 분리하는 공정
UV Radiation	자외선 조사를 통해 반도체 표면을 건식세정하는 공정
Die Bonding	분리된 die를 리드프레임 상에 부착시키는 공정(Clean Curing 공정 동반)
Wire Bonding	미세 금선 또는 알루미늄선에 의해 die와 외부단자를 연결하는 공정
Molding	Wire Bonding 완료된 디바이스를 캡슐화(encapsulation)하는 공정
Trimming	Molding 후 패키지 주변의 불필요한 부분이나 이물질들을 기계적으로 제거하여 다듬는 공정
Forming	패키지 형식에 따라 리드 모양을 형성시켜 주고 각 패키지를 단재품화하는 공정
Soldering & Plating	실장에 용이하도록 리드에 도금하는 공정
Visual Inspection	중요공정 사이에서 제품의 외관상 품질과 문제점 등 물리적인 결함을 육안으로 감별하여 검사하는 공정

표 2. 최종검사라인 공정

Table 2. Processes in the final test line

공정명	내용
Loading	조립완료된 칩들을 Burn-In 공정수행을 위한 기본단위로 적체하는 공정
Burn-In	칩 내구성 향상을 위한 aging 공정
Test	제품사양에 따라 규정된 특성을 검사하는 공정 (검사방법 및 횟수는 제품 또는 수요자 요구에 따라 다양한 방법으로 수행)
Marking	검사결과에 따라 칩 표면에 최종제품코드를 인쇄하는 공정
Lead Inspection	최종 마무리 검사를 수행하는 공정
Packing	완제품창고 입고 전에 포장하는 공정

경우 작업 배치 단위는 제품에 따라 차이를 나타내며, 보통 수천 개의 칩이 하나의 작업 투입 단위가 된다. 표 1은 조립라인 구성공정에 대한 설명이다.

2. 최종검사라인

최종검사 라인은 loading 공정, burn-in 공정, test 공정, marking 공정, lead inspection 공정, packing 공정으로 구별할 수 있다. 최종검사 라인의 공정들은 하나의 셀로 구성하여 모델링하도록 한다. 실제로 테스트 공정을 통해 검사하는 항목은 제품별로 다소 차이는 있으나 최소한 1개 항목이상을 검사한다. 따라서 제품에 따라 loading 공정, burn-in 공정, test 공정을 몇 차례 반복적으로 수행하기도 한다. 표 2는 최종검사라인 구성공정에 대한 설명이다.

III. 페트리네트 모델링

본 논문에서 사용되는 페트리네트는 트랜지션에 시간 지연 없이 즉각 발화하는 비시간지연(immediate) 트랜지션과 지정된 시간지연 후 발화하는 시간지연(timed) 트랜지션을 모두 포함하고 하나의 플레이스 안에 서로 다른 종류의 조건을 나타내는 다른 종류의 토큰들이 같이 존재하는 CTPNs(Colored Timed Petri Nets)를 사용할 것이다.

시간의 개념은 각 기계들에 작업이 할당되면 그러한 작업들이 수행되는 시간과 작업들이 기계들간을 이동하는 시간을 모델링하기 위해 사용되며, 색은 여러 가지 작업들을 모델링하기 위해 사용된다. CTPNs를 도입하게 되면 매우 복잡하게 표현할 수밖에 없는 표현들을 상당히 간단히 나타낼 수 있다. 즉, 서로 다른 경로로 이동해야 하는 토큰에 색을 부과함으로써 같은 경로를 이동하면서도 서로 다른 정보로 이동이 가능하게 된다. 이는 비슷한 역할을 하는 플레이스들과 트랜지션들을 하나의 플레이스와 트랜지션으로 나타냄으로서 가능하다.

1. CTPNs 정의

시간지연 트랜지션을 갖는 시간 트랜지션과 서로 다른 종류의 토큰들을 나타낼 수 있는 칼라 페트리네트를 혼합한 CTPNs 모델은 다음과 같이 정의된다.

정의 : CSPNs는 다음과 같은 8개의 구성요소(tuple)로 이루어진다.

$$(P, T, C, IN, OUT, M_0, F, S)$$

- 1) $P = \{p_1, p_2, \dots, p_n\}$, $n > 0$ 는 플레이스 집합이다.
- 2) $T = \{t_1, t_2, \dots, t_m\}$, $m > 0$ 는 트랜지션들 집합으로 이 집합에는 시간지연 및 비시간지연 트랜지션들이 모두 포함되어 있으며 플레이스와 트랜지션 사이에는 기본적으로 $P \cup T \neq \emptyset$, $P \cap T = \emptyset$ 의 관계가 성립한다.
- 3) $C(p_i)$, $C(t_j)$ 는 플레이스 ($p_i \in P$)와 트랜지션 ($t_j \in T$)에 관련된 색들의 집합이며 다음과 같이 정의된다.

$$C(p_i) = \{a_{i1}, a_{i2}, \dots, a_{in}\}; u_i = |C(p_i)|; i = 1, 2, \dots, n$$

$$C(t_j) = \{b_{j1}, b_{j2}, \dots, b_{jm}\}; v_j = |C(t_j)|; j = 1, 2, \dots, m$$

- 4) $IN(p, t) : C(p) \times C(t) \rightarrow N$ 은 입력함수이고 플레이스에서 트랜지션으로 이어진 선(arc)으로 표시된다.
- 5) $OUT(p, t) : C(p) \times C(t) \rightarrow N$ 은 출력함수이고 트랜지션에서 플레이스로 이어진 선(arc)으로 표시된다.
- 6) M_0 는 초기 마킹상태로 각 플레이스들에 있는 토큰의 초기상태를 나타낸다.
- 7) F 는 발화함수이고 $F(M, t)$ 는 $M \in R[M_0]$ 와 $t \in T$ 에 대해 마킹 M 인 상태에서 트랜지션 t 의 발화시간에 대한 랜덤변수이다.

8) S 는 충돌(conflict)이 있는 비시간지연 트랜지션들의 집합에 대한 랜덤 스위치로 각 작업그룹에 대한 배당(allocation)문제가 발생하는 부분이다.

비시간지연 트랜지션에서는 발화가능한 트랜지션은 바로 발화하는 트랜지션을 나타내고 시간지연 트랜지션에서는 일단 그 트랜지션이 발화가능한 조건이 되더라도 지정된 시간만큼 기다린 후 발화되는 트랜지션을 나타낸다. 그런데 CTPNs에서는 이렇게 지정된 시간 지연의 크기가 토큰의 색에 따라 각기 다르게 된다. 또한 플레이스에서 토큰의 색은 충돌현상이 있는 플레이스에서 발화시킬 수 있는 트랜지션을 구별하는데 사용되기도 한다.

현재의 상태 M 로부터 하나의 트랜지션이 발화하여 다음 상태 M' 을 구하기 위해 우선 (1)의 발화 벡터를 정의하자.

$$M = [M(p_1)(a_{1h}), M(p_2)(a_{2h}), \dots, M(p_n)(a_{nh})]$$

$$M' = [M'(p_1)(a_{1h}), M'(p_2)(a_{1h}), \dots, M'(p_n)(a_{1h})] \quad (1)$$

$$U = [0, 0, \dots, 0, 1, 0, \dots, 0]$$

여기서, 벡터 U 안에 1은 j ($j = 1, \dots, m$)번째에 단 한 번 나타나 있고 이는 현재 j 번째 트랜지션이 발화하고 있다는 것을 나타낸다. 그리고 (j, i) 번째 요소가 (2)와 같이 구해지는 $m \times n$ incidence 행렬을 A 라 하자.

$$a_{ji} = IN(p_i, t_j)(a_{ih}, b_{ij}) - OUT(p_i, t_j)(a_{ih}, b_{ij}) \quad (2)$$

이 incidence 행렬을 이용하여 페트리네트의 상태방정식을 다음과 같이 쓸 수 있다.

$$M' = M + UA \quad (3)$$

시간지연은 어떤 순간에 발화가능한 트랜지션이 두

개 이상일 경우 단지 그 발화순서와 발화시점을 결정해 준다. CTPNs의 $p \in P$ 인 P 에서 마킹 벡터 M 은 다음과 같이 정의된다.

$$M(p_i) \cdot C(p_i) \rightarrow N \quad (4)$$

여기서, $M(p_i)$ 는 플레이스 p_i 에 대한 마킹을 나타내고 다음 식과 같이 표현된다.

$$M(p_i) = \sum_{h=1}^{u_i} n_{ih} a_{ih} \quad (5)$$

여기서, n_{ih} 는 플레이스 p_i 에 있는 색 a_{ih} 의 토큰 수를 나타낸다. 따라서, $M(p_i)(a_{ih}) = n_{ih}$ 은 현재 마킹상태에서 플레이스 p_i 안에 있는 색 a_{ih} 토큰의 수를 나타낸다. CTPNs의 트랜지션 t_j 은 만약 다음 식과 같은 조건이 만족할 때, 색 b_{jk} 에 대해 발화가능하다.

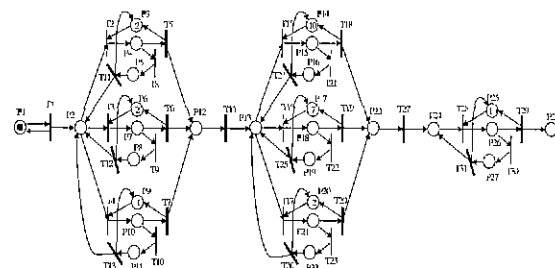
$$M(p_i)(a_{ih}) \geq IN(p_i, t_j)(a_{ih}, b_{jk}) \quad \forall p_i \in P, a_{ih} \in C(p_i) \quad (6)$$

트랜지션 t_j 이 발화가능하면 지정된 시간지연 후 발화하는데 색 b_{jk} 에 대해 발화하면 새로운 상태 M' 은 다음 식에 의해 구해진다.

$$M'(p_i)(a_{ih}) = M(p_i)(a_{ih}) + OUT(p_i, t_j)(a_{ih}) - IN(p_i, t_j)(a_{ih})$$

$$\forall a_{ih} \in C(p_i), p_i \in P \quad (7)$$

정의된 페트리네트 모델을 이용하여, 가상공장의 반도체 조립 및 최종검사라인에 대하여 각 모듈러 셀 단위로 모델을 구성한다. 페트리네트의 플레이스 집합이 나타내는 것은 장비의 상태(busy, idle, fail), 버퍼, 작업할당기(allocator)로써 작업할당기는 스케줄링 알고리즘과 연계되어 스케줄링 결과에 따라 작업을 할당한다. 한편, 비시간지연 트랜지션 집합은 공정의 시작과 고장의 발생을 나타내고, 시간지연 트랜지션은 lot 투입, 공정간 lot 전송, 공정의 완료, 고장수리 완료를 나타낸다. 각 모듈러 셀 단위로 개발된 단위 모델은 셀 스케줄러 개발을 위해 활용되고, 통합 구성된 전체라인 모델은 라인 스케줄러 개발을 위한 시뮬레이션 도구로 활용된다. 그림 3은 CELL-1에 대한 모델 예를 나타내고 있다.



EPCS		Immediate Transitions	
P1	Lot Release	T2, 3, 4, 15, 16, 17, 28	Processing Start
P2, 13, 24	Input Buffer & Allocator	T8, 9, 10, 21, 22, 23, 30	Equipment Failure Occurrence
P12, 23, 26	Output Buffer		
P3, 6, 9, 14, 17, 20, 25	Idle Status of Equipment Group		Exponential Transitions
P4, 7, 10, 15, 18, 21, 26	Busy Status of Equipment Group	T1	Lot Arrival
P5, 8, 11, 16, 19, 22, 27	Busy Status of Equipment Group	T14, 27	Lot Transfer
		T5, 6, 7, 14, 19, 20, 29	Processing Completion
		T11, 12, 13, 24, 25, 26, 31	Failure Repair Completion

그림 3 CELL-1에 대한 페트리네트 모델
Fig. 3. Petri net model for the CELL-1.

IV. 동적 스케줄링

동적 스케줄링을 위한 작업할당이란 작업대기중인 lot들에 대하여 작업진행순서를 결정하고 이에 따라 작업을 진행시키는 것이므로, 결국 동적 상황변화에 대응하여 작업투입 순간에 있어 최적의 작업순서를 결정할 수만 있다면 전자의 경우에 비하여 손쉽게 스케줄링을 구현할 수 있다. 동적 스케줄링에서의 동적 상황은 어느 한 공정에서 공정장비 중의 하나가 작업을 완료하고 다음 작업의 투입을 대기하는 시점으로 정의할 수 있으며, 이 순간 버퍼에서 대기 중인 lot들에 대하여 시스템 상황과 lot의 상태에 따라, 그리고 기대하는 스케줄링 목적에 최적적인 작업투입순서를 결정하여야 한다.

이를 위하여, 1) 스케줄링 목적을 정의하고 이에 따른 성능지표(performance indices) 정의, 2) 동적 상황과 스케줄링 목적을 반영하는 의사결정인자(decision factors) 정의와 이를 독립변수로 하는 의사결정함수 정의, 3) 의사결정함수의 최적조건 도출을 위한 적합도 평가함수(fitness function) 정의, 4) 유전알고리즘을 이용한 최적조건 도출, 5) 성능평가 등의 과제수행이 요구된다.

1. 스케줄링 함수 정의

스케줄링을 통하여 기대하는 효과로는 납기준수를 향상, 생산량 증가, WIP 감소, lead time 단축, 장비가동률 향상 등을 들 수 있다. 이와 같은 기대목적들이 상호 충돌적인 특성을 갖고 있기 때문에 적절한 trade-off에 의해 기대목적들을 조율해야 한다. 본 논문에서는 각각의 기대효과에 대하여 가중치를 부여하여 생산계획 수립전략에 따라 유동적으로 대응할 수 있도록 한다.

스케줄링 목적을 납기만족(due-date atisfaction, DS), 생산 극대화(throughput rates maximization, TR), WIP 최소화(WIP level minimization, WL) 의 세 가지를 정의하고, 이에 따른 성능지표로 가중치를 갖는 총납기지연시간(total weighted delay time), 생산시간(throughput time), 총버퍼대기시간(total buffer staying time)을 각각 정의한다. 각각의 목적을 반영하는 의사결정인자 집합을 $DF = \{DFDS, DFTR, DFWL\} = \{df1, df2, \dots, dfm\}$ 로 정의하고, 각각의 의사결정인자에 대하여 작업우선순위에 영향을 미치는 정도를 나타내는 가중치의 집합을 $W = \{wdf1, wdf2, \dots, wdfm\}$ 로 정의한다. 결국, 의사결정인자와 가중치에 의해 표현되는 작업우선순위 결정인자(priority factor) PF에 따라 작업순서가 결정되며, PF의 값이 작을수록 우선권을 갖도록 한다.

$$PF = \sum_{i=1}^m (w_{dfi} * df_i) \tag{8}$$

정의된 목적으로 PF의 출력을 얻기 위해서는 가중치에 대한 최적해를 도출해야 하며, 이를 위하여 유전 알고리즘 기법을 도입한다. 유전 알고리즘 기법에 의해 Pareto 최적해를 도출하기 위해 적합도 평가함수를 (9)와 같이 정의한다.

$$f(w_{df1}, w_{df2}, \dots, w_{dfm}) = w_{DS} * f_{DS}(w_{df1}, w_{df2}, \dots, w_{dfm}) + w_{TR} * f_{TR}(w_{df1}, w_{df2}, \dots, w_{dfm}) + w_{WL} * f_{WL}(w_{df1}, w_{df2}, \dots, w_{dfm}) \tag{9}$$

여기서, wDS, wTR, wWL은 각각 스케줄링 목적 DS, TR, WL에 대한 가중치로써 생산전략에 의해 결정되는 값이며, fDS(), fTR(), fWL()은 각각 납기지연, 생산 시간, 버퍼대기시간에 대한 평가치이다. 이 평가치들은 시뮬레이션을 통하여 얻어지는 값들이다.

2. 의사결정 인자

위에서 정의된 의사결정 인자 집합 DF는 각각의 스케줄링 목적을 반영하도록 고안되었다. 따라서, 이와 같은 의사결정 인자들은 주문 조건에 따른 긴급정도, 투입 대기중인 lot의 상태, 공정 장비의 특성 및 기능, 작업 시간, 현재 시간 등의 변수들에 의해 동적으로 결정되는 값이다.

- 납기만족 : DFDS = {df1, df2, df3}

주문은 수주시의 고객, 협상가격, 마진(margin), 수량, 납기시기 등에 따라 긴급정도(urgency degree) UD가 결정되며, 이는 생산제품에도 연관이 있다. 그 외에도 계획 생산, OEM(Original Equipment Manufacturing) 생산 등에 따라 생산제품의 UD가 결정될 수 있다. UD는 주문의 내용에 따라 담당자의 직관에 의해 결정하도록 하며, 낮은 수치일수록 긴급한 주문으로 한다. 긴급의 정도, 납기여유, 작업진척 정도를 반영하는 3가지의 의사결정 인자 df1, df2, df3를 정의하면 각각 다음과 같다.

$$df_1 = \frac{UD(od)}{UD_{max}} \tag{10}$$

$$df_2 = \frac{SLACK(pg)}{TAT(pg)} \tag{11}$$

$$df_3 = \frac{PQ_{now}(od)}{TQ(od)} \tag{12}$$

여기서, od는 주문코드, pg는 제품그룹코드를 나타내며, 각 lot은 주문과 생산제품의 종류에 대한 정보를 갖고 있다. UD(od)는 주문 od의 긴급정도, UDmax는 UD의 최대치, SLACK(pg)=(due date)-(current time), TAT(pg)는 제품그룹 pg의 평균 lead time(또는 turn around time), 주문 PQnow(od)는 주문 od의 현재까지 총생산량, TQ(od)는 주문 od의 생산 목표량이다.

- 생산극대화 : DFTR = {df4, df5}

생산 흐름을 원활하게 제어하기 위해서는 라인을 구성하는 모든 공정들이 균등한 생산수준을 유지하는 것이 바람직하다. 그리고 진행 중인 제품 종류별, 주문별로도 모든 공정에서 비슷한 생산수준을 유지하도록 하는 것이 WIP의 분포 면에서 효과가 있을 것으로 기대된다. 따라서, 현재 버퍼의 투입대기 중인 각각의 lot들에 대하여 자신과 동일한 종류의 제품이 전 공정을 통하여 생산되는 비율에 비하여 현 투입예정인 공정에서의 생산비율을 상대적으로 반영하는 인자(df4), 그리고 자신의 lot이 포함되는 주문제품 전체가 전 공정을 통하여 생산되는 비율에 비하여 현 투입예정 공정에서의 상대적 생산비율을

반영하는 인자(df5)에 대하여 다음과 같이 각각 정의한다.

$$df_4 = \frac{FPG_i(pg)}{\sum_i FPG_i(pg)} \quad (13)$$

$$df_5 = \frac{FPG_i(od)}{\sum_i FPG_i(od)} \quad (14)$$

여기서, FPG_i(pg)는 공정 i에서 처리된 제품그룹 pg의 누적량, FPG_i(od)는 공정 i에서 처리된 주문 od의 누적량이다. 그리고, ∑은 전체라인을 구성하는 모든 공정들에 대한 합산을 의미한다.

- WIP 최소화 : DF_{WL} = {df6, df7}

현재 버퍼에 작업대기 중인 lot들의 버퍼 체류시간을 반영하는 의사결정 인자(df6)를 (15)와 같이 정의한다. 한편, 현재 버퍼에서 작업대기 중인 lot에 대하여 바로 다음 단계의 미래를 예측해 볼 필요가 있다. 즉, 이 lot이 투입되어 공정이 진행된 후 다음 버퍼에서의 작업대기 상황 미리 예측해 볼 때, 그 대기 기간이 장시간 소요될 것으로 예상된다면 현재의 작업 투입을 다소 지연시키는 것이 WIP수준 관리에 있어 효과적이다. 따라서, 이와 관련된 의사결정인자(df7)를 (16)과 같이 정의한다.

$$df_6 = \frac{WT - ST_i(l)}{WT} \quad (15)$$

$$df_7 = \frac{WT - ST_{i+1}(l)}{WT} \quad (16)$$

여기서, ST_i(l)은 공정 i의 투입대기 lot l의 체류시간, WT는 작업시간(8 hour/ shift), ST_{i+1}(l)은 lot l의 다음 공정 (i+1)에서의 작업대기 예정시간이다.

3. 유전 알고리즘에 의한 스케줄링 함수 최적화

(9)에서 정의한 적합도 평가함수에 따라 (8)에 정의된 의사결정 함수의 가중치에 대한 최적해 도출을 위해 유전 알고리즘을 활용한다. 유전알고리즘은 코딩, 집단으로부터의 탐색, 보조 정보의 불필요성, 랜덤 연산자의 직접 사용 등의 특성으로 인하여 복잡한 최적화 문제나 탐색에 있어서 뛰어난 강인성을 보여주고 있다[11][12]. 초기 집단으로부터 시간이 경과함에 따라 개선된 집단을 발생시키는 유전 알고리즘은 유전 연산자로 구성되는데 재생(reproduction), 교배(crossover), 돌연변이(mutation) 연산자로 구성된다.

- 유전알고리즘

Step 1 : 진화 세대 수, 집단의 크기, 교배 및 돌연변이율로 이진 문자의 크기와 같은 파라미터를 설정한다.

Step 2 : 초기집단을 랜덤하게 발생시키고 문자열로 구성된 각 개체를 이용하여 (1)의 PF를 계산하고, 이에 따라 시뮬레이션 수행 후, (2)의 적합도 평가함수를 통하여 적합도를 평가한다.

Step 3 : 유전 연산자에 의해 새로운 개체 집단을 발

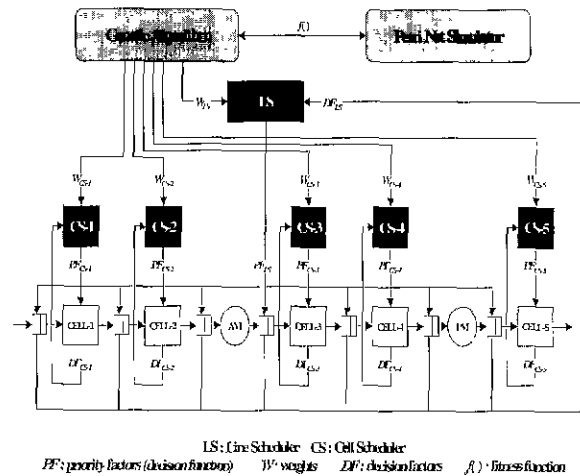


그림 4 셀 스케줄러와 라인 스케줄러의 통합.
Fig. 4. Integration of the cell schedulers and line scheduler.

생시킨다. 적합도에 비례하여 새로운 개체가 재생되어 교배 풀(mating pool)에서 랜덤하게 선정된 두 개의 개체가 교배되어 그 가운데 랜덤하게 선정된 개체가 돌연변이 된다.

Step 4 : 발생된 개체의 적합도를 평가하고 정해진 진화세대 수에 이를 때까지 Step 3의 과정을 반복한다. 이 과정에서 적합도가 가장 높은 개체의 문자열은 보존되며, W = {wdf1, wdf2, ..., wdfm}의 가중치는 이진 문자 개체를 디코딩함으로써 얻어진다.

V. 시뮬레이션 및 결과고찰

(8)과 같이 정의된 의사결정 함수에서 최적의 가중치를 결정하는 것이 스케줄러 성능의 지표가 된다. 전체 생산라인에 대하여 동일하게 적용되는 가중치의 도출은 모듈러 셀의 특성이 다르기 때문에 비효율적이라 판단되며, 따라서 각 모듈러 셀 단위의 독립적인 최적 가중치를 도출하고, 각 모듈러 셀을 단위 공정으로 간주하여 전체 라인에 스케줄링을 위한 최적 가중치를 도출하여 통합한다. 그림 4는 셀 스케줄러와 라인 스케줄러의 통합운영에 대한 구성도를 나타낸다.

유전 알고리즘의 적합도 평가는 (9)에 의하여 이루어지며, 이를 위한 의사결정 인자는 (10)-(16)에 따라 동적으로 변화되는 값을 취한다. 최적화를 통해 얻어진 가중치 집합 W가 결정되면, 실제 생산시스템의 스케줄링 제어를 수행하게 된다. 매 스케줄링 시점에서의 동적 의사결정 인자를 입력으로 받은 후 의사결정 함수에 따라 작업대기 중인 lot들에 대한 작업순서를 결정하는 PF를 산출하게 되며, 산출된 PF의 값이 작은 lot부터 작업할당이 결정된다.

설계된 가상공장은 43종의 장비그룹, 248 장비로 구성되며, 생산제품은 26제품그룹의 총 136제품이다. 장비별 생산 가능한 제품에 대한 제약이 표 3과 표 4의 예와 같이 존재한다. 그 외에도 binning rate 정보, 수율 정보, routing 정보 등이 제공된다.

표 3. CELL 장비 정보 예.

Table 3. Example of the information of CELL.

CELL	Processes	Equip. Group		Acceptable Product Group	Unit	
		Type	Qt'y			
1. SAWING	1) Foil Mounting	A	2	17 of 26	wafer	
		B	2	5 of 26		
		C	1	14 of 26		
	2) Sawing	A	10	17 of 26		
		B	7	21 of 26		
		C	2	14 of 26		
	3) UV Radiation	1	A	10		all

표 4. 제품정보 예.

Table 4. Example of the product information.

Equip Group	Product Group / Processing time[min/batch]																									
	01	02	03	04	05	06	07	08	09	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26
11-A	46	46	46	46	46	46	46	46	46	46	46	46	46	46	46	46	46	46	46	46	46	46	46	46	46	46
11-B																										
11-C																										
12-A	154	154	233	193	193	193	193	193	193	193	193	193	193	193	193	193	193	193	193	193	193	193	193	193	193	
12-B																										
12-C																										
13-A	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10	

주문정보는 제품코드, 납기일, 생산량, UD를 포함하며, 이에 따라 생산대기 중인 모든 lot은 주문 관련정보를 포함하게 된다. UD는 1~10 사이의 임의의 정수값을 가지며, 주문의 양은 각 주문당 1 lot로 가정하며, 각 주문의 납기일은 평균생산시간(시뮬레이션을 통하여 획득한 평균값)의 1.5배에서 2.5배 사이에서 랜덤하게 발생시킨 시간을 주문시점에 더한 시점으로 설정한다.

유전알고리즘에서 객체의 이진 문자열은 7비트로 설정하였다. 이는 (8)의 의사결정인자에 대한 가중치의 범위가 넓을수록 상대적 차별성은 커지기 때문에 개별적 의사결정인자의 영향을 뚜렷이 구별할 수 있겠지만 탐색 공간을 넓게 설정하며 탐색속도에 영향을 미치므로, 본 시뮬레이션에서는 제한된 탐색공간을 유지하면서 실제 적용되는 가중치의 분포공간을 확대시키는 의도에서 표 5와 같이 각각의 부이진문자열에 23배 하여 실제 가중치의 값으로 사용한다. 한편, 집단 크기는 20, 진화 세대수는 100, 교배율은 0.45, 돌연변이율 0.1로 설정하였다.

총납기지연시간 계산을 위해 가중치를 부여하는 방식은 지연시간에 UD-1를 곱하며, 납기지연(tardiness)과 조기생산(earliness)을 차별화하여 조기생산의 시간에는 0.1을 곱하여 합산한다. 한편, (9)의 fDS(), fTR(), fWL()의 상대적 평가를 위하여 각 진화 세대 내에서 집단 내의 최대치로 각각 나누어 주었으며, wDS, wTR, wWL은 생산전략에 따라 표 6과 같이 차등치를 부여할

표 5. 이진문자열과 의사결정 가중치 예.

Table 5. Example of bit string and corresponding weights for each decision factor.

내 용							
bit string	1011011010101111011100010101111011001011111000011						
decision factor	df_1	df_2	df_3	df_4	df_5	df_6	df_7
sub string	1011011	0101011	1101110	0010101	1110110	0101111	1000011
weight	91×2^5	43×2^5	110×2^5	21×2^5	118×2^5	47×2^5	67×2^5

표 6. 적합도 함수의 가중치 계수.

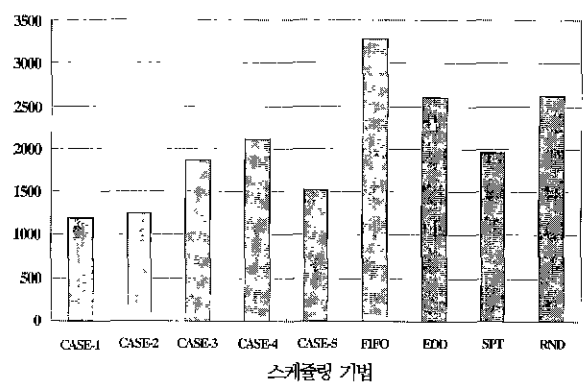
Table 6. Weight factors in fitness function.

	wDS	wTR	wWL
CASE-1	1.0	0.0	0.0
CASE-2	1.0	0.5	0.5
CASE-3	0.5	1.0	0.5
CASE-4	0.5	0.5	1.0
CASE-5	1.0	1.0	1.0

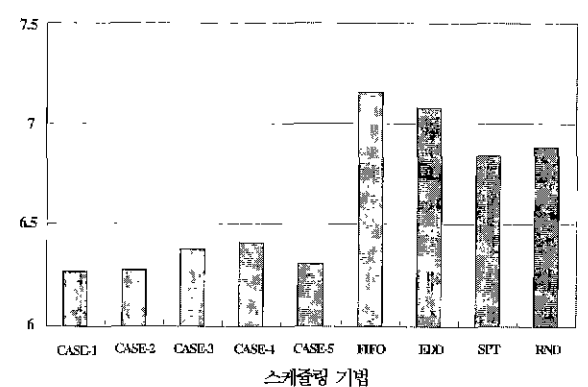
수 있다.

기존의 스케줄링 기법과 비교하기 위하여, FCFS, SPT, EDD, RND(random)에 대하여 시뮬레이션을 수행하여, 납기지연시간의 가중치 합, 평균 lead time, lead time의 표준편차, throughput, 평균 WIP에 대한 결과를 비교하였다. 이 결과는 그림 5와 같다.

Total Weighted Delay Time



Average Lead Time [days]



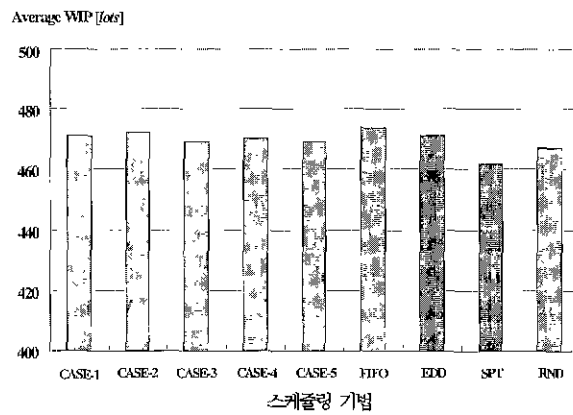
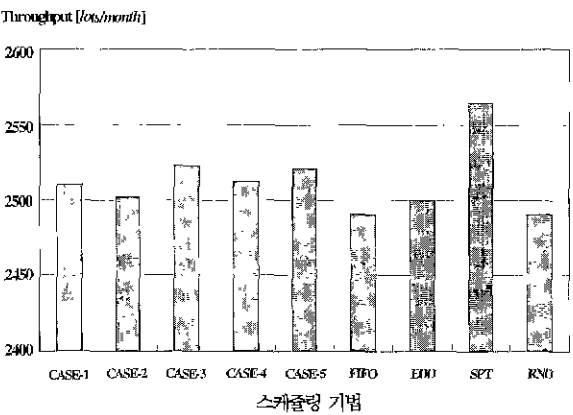
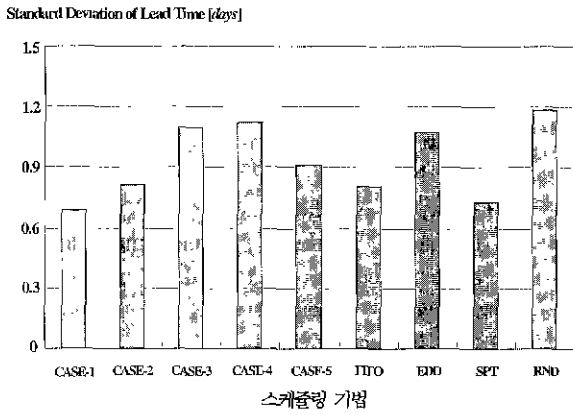


그림 5. 성능평가.
Fig. 5. Performance analysis.

표 7은 성능평가항목의 최대치 나타내는 기법을 기준 (100%)으로 하여 이에 대한 상대적 수치를 백분율로 보여주고 있으며, 제안된 기법이 전반적으로 우수한 결과를 보이고 있음을 확인할 수 있다. 이와 같은 성능의 향상과 함께 제안된 스케줄링 기법이 갖는 특징으로는 공정 상황의 동적 상황에 대하여 신속히 대응할 수 있다는 것이다. 뿐만 아니라, 시장환경의 변화와 경영전략의 변동에 따른 생산 전략의 변화를 스케줄링에 수용할 수 있다는 것이다. 즉, (9)의 파라미터를 간단히 조작하여 스케

표 7. 성능평가항목의 상대적 평가.

Table 7. Relative comparison between performance indices.

성능평가 항목	스케줄링 기법								
	CASE-1	CASE-2	CASE-3	CASE-4	CASE-5	FIFO	EDD	SPT	RND
WDT	362	381	568	639	461	100.0	790	394	796
Lead Time	875	877	691	696	881	100.0	98.9	65.5	66.1
STD(LT)	585	686	924	950	765	681	90.6	61.6	100.0
Throughput	978	975	983	979	983	971	974	100.0	971
WIP	99.4	99.6	98.9	99.2	98.9	100.0	98.4	97.5	98.5

Best Good Worst

줄링 목적을 다양하게 조율할 수 있다. 그러나, 제안된 동적 스케줄링 시스템이 효율적으로 활용되기 위해서는 생산 라인의 업무구조가 동적 상황에 대응할 수 있는 구조를 갖추어야 한다. 작업의 계획과 지시, 그리고 생산활동에 이르는 업무의 흐름이 통합 전산화되어야 가능하다고 볼 수 있다. 이를 뒷받침할 수 있는 시스템적 지원이 선행되어야 함은 물론, 또한 상위의 장기 및 중기 생산 계획의 수립과 스케줄링 및 작업할당이 상호 연계성을 갖고 통합 관리되어야 한다. 이와 같은 통합관리 시스템의 구축은 생산현장에서 이미 오래 전부터 갈망하는 과제이나, 아직 뚜렷한 결과를 나타내고 있지 못하는 실정이다. 이에 대한 국내외적으로 많은 연구와 개발이 이루어지고 있기 때문에 가까운 시일 안에 효과적인 해결방안이 도출될 것으로 기대한다

VI. 결론

본 논문에서는 반도체 생산 후공정 라인을 대상으로 동적 스케줄링 기법을 제안하였다. 본 논문의 연구 내용에 대하여 실험 및 실험고찰을 바탕으로 도출된 결과를 정리하면 다음과 같다. 1) 페트리네트 시뮬레이터는 명목 현상과 같은 생산라인 분석을 통한 장기적 관점의 신규 장비의 도입이나 장비의 초기 set-up 상태 결정 등과 같은 회사의 생산 전략적 결정을 위한 도구로 활용 가능하다. 2) 페트리네트 시뮬레이터는 생산라인의 생산용량 분석을 위한 도구로 활용 가능하다. 3) 상용 페트리네트 툴(tool)을 이용하면, 생산라인의 변화 또는 재구성에 따른 시뮬레이터의 수정, 보완이 용이할 뿐 아니라 다양한 성능평가 및 분석이 가능하다. 4) 동적 스케줄링 시스템은 생산전략에 따라 스케줄링 목적(납기 만족, 생산 극대화, 제공 최소화)을 가변적으로 조율할 수 있다. 5) 유전 알고리즘에 의한 최적화 도출 과정은 학습 방법 [13][14]에서 요구하는 방대한 학습 데이터가 요구되지 않는다. 6) 유전 알고리즘 최적화 과정은 오프라인으로 동작하며, 일단 최적해 도출 후에는 실시간으로 공정 운영에 적용될 수 있다. 7) 개발된 동적 스케줄링 시스템은 납기 만족과 생산소요시간 면에서 특별히 우수한 효과를 나타낸다.

이상과 같이 개발된 동적 스케줄링 시스템은 반도체 생산라인의 공정 운영 단계에서, 그리고 생산계획 수립 단계에서 효율적으로 활용될 수 있는 실용적인 도구이다. 그러나, 스케줄링 문제는 전체 생산계획 수립 문제와 밀접한 연계성을 갖기 때문에 이에 대한 추가적인 연구가 요구된다. 즉, 제안된 스케줄링 시스템은 짧은 시간주기와 시간축을 바탕으로 동적으로 설계되어 있다. 따라서, 반도체생산 전공정라인과의 연계를 통한 총괄 생산계획 수립과 같이 분기별, 월별, 또는 주별의 상대적으로 긴 시간축을 갖는 생산계획(long-term planning)의 수립 과정과 실시간 제환(feedback)을 통해 생산계획 및 스케줄링 결과를 실시간으로 수정, 보완할 수 있는 시스템적 지원이 요구된다. 향후 이와 관련하여 생산계획 및 스케줄링 문제의 지속적인 연구가 필요하다.

참고문헌

- [1] L. M. Wein, "Scheduling Semiconductor Wafer Fabrication," *IEEE Trans Semiconductor Manufacturing*, vol. 1, no. 3, pp. 115-130, August, 1988.
- [2] D.-Yi. Liao, S.-C. Chang, S.-R. Yen, and Cheng-Chung Chien, "Daily scheduling for R&D semiconductor fabrication," *Proc. Int'l Conf. Robotics and Automation*, vol. 3, pp. 77-82, 1993.
- [3] Y.-F. Hung and R. C. Leachman, "A Production Planning Methodology for Semiconductor Manufacturing Based on Iterative Simulation and Linear Programming Calculations," *IEEE Trans. Semiconductor Manufacturing*, vol. 9, no. 2, pp. 257-269, May, 1996.
- [4] G. R. Bitran, and Devanath Tirupati, "Development and implementation of a scheduling system for a wafer fabrication facility," *Operation Research*, vol. 36, no. 3, pp. 377-395, May-June, 1988.
- [5] S. X. C. Lou and P. W. Kager, "A robust production control policy for VLSI Wafer Fabrication," *IEEE Trans. Semiconductor Manufacturing*, vol. 2, no. 4, pp. 159-164, November, 1989.
- [6] C.-Y. Lee, R. Uzsoy, and L. A. Martin-Vega, "Efficient algorithms for sche Trans. Semiconductor Manufacturing, vol. 5, no. 4, pp. 319-327, November, 1992.
- [7] H. Gurnani, R. Anupindi, and R. Akella, "Control of batch processing systems in semiconductor wafer fabrication facilities," *IEEE Trans. Semiconductor Manufacturing*, vol. 5, no. 4, pp. 319-327, November, 1992.
- [8] R. Uzsoy, L. A. Martin-Vega, C.-Y. Lee, and P. A. Leonard, "Production scheduling algorithms for a semiconductor test facility," *IEEE Trans. Semiconductor Manufacturing*, vol. 4, no. 4, pp. 270-280, November, 1991.
- [9] H. H. Xiong and M. Zhou, "Scheduling of semiconductor test facility via petri nets and hybrid heuristic search," *IEEE Trans. Semiconductor Manufacturing*, vol. 11, no. 3, pp. 384-393, August, 1998.
- [10] T.-H. Liu, A. J. C. Trappey, and F.-W. Chan, "A scheduling system for IC packaging industry using STEP enabling technology," *IEEE Trans. Components, Packaging, and Manufacturing Technology*, vol. 20, no. 4, pp. 256-267, October, 1997.
- [11] D. E. Goldberg, *Genetic Algorithms in Search, Optimization, & Machine Learning*, Addison-Wesley Publishing Company, Inc., 1989.
- [12] J. J. Grefenstette, "Optimization of control parameters for genetic algorithms," *IEEE Trans. Systems, Man, and Cybernetics*, vol. 1, pp. 122-128, 1988.
- [13] M. J. Shaw, S. Park, and N. Raman, "Intelligent scheduling with machine learning capabilities : the induction of scheduling knowledge," *IIE Transactions*, vol. 24, no. 2, pp. 156-168, May, 1992.
- [14] S. Nakasuka and T. Yoshida, "Dynamic scheduling system utilizing machine learning as a knowledge acquisition tool," *Int'l Journal of Production Research*, vol. 30, no. 2, pp. 411-431, 1992.
- [15] C.-E. Lee and C.-W. Chen, "A dispatching scheme involving move control and weighted due date for wafer foundries," *IEEE Trans. Components, Packaging, and Manufacturing Technology*, vol. 20, no. 4, pp. 268-277, October, 1997.



장 석 호

1988년 연세대학교 전기공학과 졸업.
1990년 동 대학원 전기공학과 석사.
1999년 동대학원 전기공학과 박사.
1996년-현재 (주)LG-EDS시스템 선임연구원. 관심분야는 자동화 및 지능 제어, 전자제품 검사조정알고리즘, 생산계획 및 스케줄링, 반도체 생산시스템 모델링 및 시뮬레이션.

박 승 규

참조 : 제어·자동화·시스템공학회 논문지 제 4권, 제 5호, 1998. 10.

구 영 모

참조 : 제어·자동화·시스템공학회 논문지 제 4권, 제 4호, 1998. 8.



황 우 국

1997년 중앙대학교 전기공학과 졸업.
1997년-현재 연세대학교 대학원 전기공학과 석사. 현재 대우고등기술연구원. 관심분야는 생산계획 및 스케줄링, 모델링 및 시뮬레이션, 지능형제어.

고 택 범

참조 : 제어·자동화·시스템공학회 논문지 제 4권, 제 4호, 1998. 8.

우 광 방

참조 : 제어·자동화·시스템공학회 논문지 제 4권, 제 4호, 1998. 8.