

# Contact Image Sensor를 위한 고속 영상 처리 보드 구현

## An Implementation of the High Speed Image Processing Board for Contact Image Sensor

강 현 인, 주 용 완, 백 광 렬

(Hyun-Inn Kang, Yong-Wan Ju, and Kwang-Ryul Baek)

**Abstract** : This paper describes the implementation of a high speed image processing board. This image processing board is consist of a image acquisition part and a image processing part. The image acquisition part is digitizing the image input data from CIS and save it to the dual port RAM. By putting on the dual port memory between two parts, during acquisition of image, the image processing part can be effectively processing of large-volume image data. Most of all image preprocessing part are integrated in a large-scaled FPGA. We are using ADSP-2181 of the Analog Device Inc., Ltd. for a image processing part, and using the available all memory of DSP for the large-volume image data. Especially, using of IDMA exchanges the data with the external microprocessor or the external PC, and can watch the result of image processing and acquired image. Finally, we show that an implemented image processing board used for the simulation of image retrieval by the one of the typical application.

**Keywords** : image processing, image acquisition, CIS, image pre-processing.

### I. 서론

최근 OA기기의 발전과 자동화의 진전에 따라 많은 기기 내에는 영상 처리부가 내장되고 있다. 즉, 팩시밀리, 스캐너, 디지털 카메라, 디지털 캠코더, 디지털 복사기 등에는 다양한 크기와 밀도의 영상 데이터가 사용되고 있다. 이런 기기에는 대규모 영상 데이터를 실시간 처리하는 것과 영상획득 구조를 소형화하기 위한 노력이 요구되고 있다. 영상획득은 대상 영상의 영상 품질을 잘 나타낼 수 있도록 광학계와 기구 구동계의 구조를 취하는 것부터 시작된다. 본 논문에서는 안정된 기구 구동부를 활용하였다. 영상획득의 방식은 사용 목적에 따라서 1차원 구조와 2차원 구조로 나누어지는데 대상 영상의 거리나 성질에 따라서 사용 방법이 결정된다. 고속 급지가 요구될 경우 기구 구동계는 회전 롤러 사이로 원고를 끼워 밀어 내리는 방식이 일반적이다. 피사체의 영상은 종이에 인쇄되어 있어서 급지로를 따라서 쉽게 내려갈 수 있어야하고 원고와 이미지 센서의 거리가 일정하게 유지되어 인쇄물의 영상이 광학계의 초점위치에 일정하게 놓일 수 있어야한다 따라서 이미지 센서는 회전롤러 사이에 놓고 원고는 롤러에 끼어 있는 상태가 유지되므로 원고의 전면을 읽는 2차원 센서보다 회전 롤러 사이의 1라인을 읽는 1차원 센서가 사용된다[1]. 획득한 피사체의 영상이 컬러이거나 흑백이라도 다단계 레벨일 경우 조명의 밝기와 파장이 중요한 변수가 된다. 일반적으로 인간의 시각과 동일한 컬러의 표현이 많은 연구 대상이지만 경우에 따라서 특정한 파장에 대한 반응이 중요한 관심으로 부각되기도 한다. 또 조명은 시간 경과의

변화에 따른 보상이 필요하다. 모든 조명은 시간이 흐르면서 그 밝기와 파장이 변한다. 스캐너와 비디오 카메라는 영상 획득의 도구로서 광범위하게 사용된다. 이 중 비디오 카메라는 저가의 2차원 영상 획득 소자가 내장되어 있어서 경제적이고 빠른 영상획득을 할 수 있다. 스캐너는 1 라인 CCD(Charge Coupled Device)가 내장되어 고품질의 영상 획득이 가능하지만 빠른 영상 획득은 어렵다. CCD와 유사한 구성인 CIS(Contact Image Sensor)는 영상 획득 장치의 소형화를 위해 개발되었다. CIS는 일반적으로 픽셀 간격이  $50\mu\text{m}$ - $200\mu\text{m}$ 로 넓게 배치되어 있으며 픽셀 밀도가 곧 획득 영상의 해상도가 된다. 이 픽셀들은 원고의 크기대로 배치되며 센서의 전면 렌즈가 같이 부착되어 있다. 원고는 이 렌즈의 표면에 밀착되어 통과하도록 함으로서 2차원 스캔이 이루어진다. CCD는 약 50mm 크기로서 원고와 그 크기가 서로 다르므로 원고를 축소하는 광학계가 필요하다. 예를 들면 원고가 A4 사이즈이면 약 300mm의 광로가 필요하다 [2] 이 광로로 인하여 화상 입력 장치의 소형화가 어렵다. 반면 CIS는 원고의 크기와 동일한 길이를 갖도록 설계되어 있고 원고는 이미지 센서와 일체화되어 있는 렌즈에 밀착되어 지나감으로 소형화와 더불어 광로의 호트러짐이 없다. 이러한 특징은 경우에 따라서 단점으로 작용한다. 즉 대상 원고의 크기가 커지면 CIS의 길이가 길어져야 한다. 그리고 영상의 획득 시 CIS의 전면부 렌즈에 대상 원고가 밀착되어 지나가야 함으로 입체적인 물체의 촬영 등에는 사용할 수 없다[3]-[4]. 이미지 센서가 스캐너에 이용될 때는 대상 원고의 영상을 충실히 읽어 들여야 한다는 원칙에 입각하여 구조적인 구성을 하며 빠른 처리시간은 2차적인 문제다[2]. 그리고 CIS는 픽셀 간의 큰 전하 분포로 인하여 빠른 영상 획득이 어렵지만 획득된 영상의 처리 시간은 일반적으로 CIS의 출력시간

접수일자 : 1998. 11. 11, 수정완료 : 1999. 6. 22.

강현인, 주용완 : 하나정보기술(주)

백광렬 : 부산대학교 전자공학과 조교수

보다 훨씬 더 걸린다[5]-[6]. 이런 단점을 극복하기 위해 대량 생산되는 픽시밀리와 디지털 복사기의 대용량 영상을 효율적으로 처리할 수 있는 고속 영상 처리기를 VLSI로 구성하기도 한다. 입력 센서로서 CCD나 CIS를 접속할 수 있고 2치화 및 해상도 조정 등 여러 가지 알고리즘이 내장되어 있다[7]. 또한 디지털 카메라용 CCD의 출력 데이터를 처리하도록 구성된 신호 처리 프로세서를 구성하고 있다[8]. 내부에는 컬러 보상과 프레임 메모리 접속 기능을 내장하고 있다. 각각의 구성에는 대상 기기의 사용 목적에 맞는 영상처리 알고리즘이 손쉽게 구현되도록 되어 있으나 새로운 알고리즘의 확대 적용은 불가능한 구성으로 되어 있다.

본 논문에서는 CIS에서 획득한 영상을 고속으로 처리하는 경제성 높은 영상처리보드를 구현하고자 하였다. 영상 처리의 절차는 영상획득, 영상처리로 나눌 수 있다. 이 중 영상 처리는 다시 영상 전처리와 영상 주처리로 나눌 수 있다. 실시간 영상 처리를 위한 효율적인 시간 단축의 방법으로서 각각의 처리 단계의 처리 시간을 중첩함으로써 높은 효과를 얻고 있다. 영상 전처리는 영상 처리부와 독립적인 처리절차를 수행하여 일부 영상처리 시간의 중첩을 한다. 그리고 영상 처리부에서 다루게 될 데이터의 양을 줄임으로서 전체 영상처리 보드의 수행 시간을 빠르게 한다. 변화의 여지가 적은 영상 획득 및 영상 전처리부는 하드웨어적으로 구현하고 영상 처리부는 범용 DSP로 구성하여 응용 분야에 따른 다양한 영상 처리 알고리즘을 구현하기 쉽게 구성한다. 본 논문에서는 correlation법에 의한 영상 추출에 알고리즘을 적용하여 수행능률을 보인다.

II. 영상 획득 및 영상 전처리의 기능과 구성

CIS를 위한 고속 영상처리 보드의 구성은 그림 1과 같이 영상 획득부, 영상 전처리부, 영상 처리부로 구성되어 있다. 그 외 제어부와 비트맵 영상의 표시 및 영상 처리 결과의 표시부는 개발된 영상처리 보드의 수행능률을 효과적으로 확인하기 위해 별도의 마이크로프로세서와 외부 PC에 인터페이스 된다 영상 처리보드의 사양은

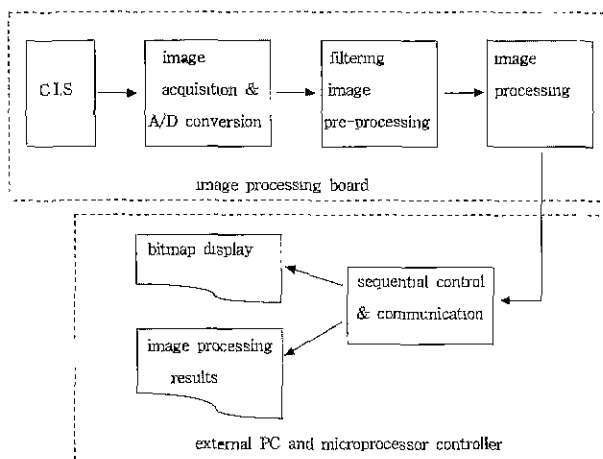


그림 1. 영상처리 보드의 구성도.  
Fig. 1. Block diagram of image processing board.

표 1과 같다 CIS는 최대 A4크기의 원고까지 읽어 들일 수 있는 폭과 1mm/sec의 읽기 속도를 지닌 고속 센서까지 접속 가능하다. 영상획득 및 영상 전처리부의 구성은 그림 2와 같다 CIS에서 나온 아날로그 신호는 증폭된 후 A/D 변환기에서 256레벨의 디지털 신호로 변환된다. 이 디지털 신호는 영상 전처리부에서 픽셀별 감도 보정, 영상 평활화 또는 영상 에리화, 해상도 조정을 거친다. 영상 획득부의 동기 신호는 그림 3과 같다. SI는

표 1. 영상처리 보드의 사양.

Table 1. The specification of image processing board.

항목	사양	
적용 CIS	reading length	216 [mm], typical
	scan speed	16 [pel/mm], max
	reading speed	0.5 [ms/line], max
	clock frequency	1 [MHz], max
	dimension	260[mm]×25[mm]×11[mm] typical
화상 신호처리 주파수	10 [MHz]	
입력 신호 전압	0.3 - 4.5 [V]	
발광부 전압 및 구동 형식	5 - 12, DC or PWM	
계조 표현력	256계조 gray level	
전처리 알고리즘	pixel sensitivity normalizing image smoothing image shapening resolution control	

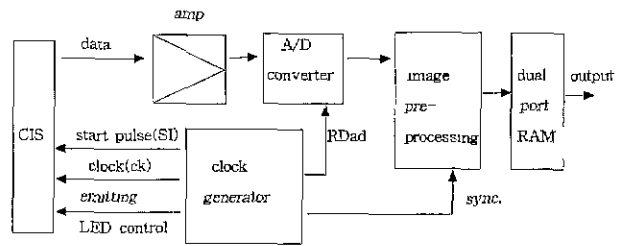


그림 2. 영상획득 및 영상 전처리부의 구성도  
Fig. 2. The block diagram of image acquisition and pre-processing.

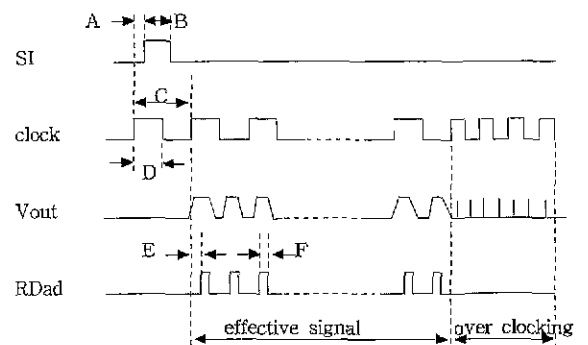


그림 3. 클럭 발생부의 출력 신호.  
Fig. 3. The output signal of clock generator.

표 2. 각종 신호 파형의 선택 모드

Table 2. The selective mode of various signal shape.

항목	사양, ( )-default
SI 신호의 duty(B/C)	25, 33, 50, 66, 75%, (50)
clock 신호의 duty(D/C)	25, 33, 50, 66, 75%, (50)
RDad신호의 duty(F/C)	25, 33, 50, 66, 75%, (25)
SI 신호와 clock신호의 위상차이(A)	0, 10, 25, 33, 40, 50, 66, 75%, (0)
clock 신호와 RDad신호의 위상차이(E)	0, 10, 25, 33, 40, 50, 66, 75%, (33)
clock 1주기당 Vout 신호의 갯수	1, 2 (2)
over clocking	0 : disable, 1 : enable, (1)
effective signal의 갯수	256, 512, 768, 1024, 1280, 1536, 1728, 2048, (1536)

CIS의 1 라인 스캔 기간의 시작을 알리는 신호이다. SI 신호는 원고의 이송 장치에 부착된 엔코더에서 출력되는 펄스에 동기 되어 있다. 이 구성은 이송 장치의 불규칙한 속도 변화에 대응하여 안정된 영상 획득이 가능하도록 한다. ck는 CIS로부터 시프트 출력되는 아날로그 신호의 동기 클럭 신호이다. SI와 ck신호의 파형과 위상차이는 CIS마다 틀리므로 각종 CIS를 접속하여 사용할 수 있도록 입력 선택에 의하여 여러 가지 모드를 바꾸어 설정할 수 있게 설계되어 있다. 다양한 신호 파형의 선택 가능한 모드를 표 2에 보인다. Vout은 클럭 1주기 당 한 개 또는 두 개의 아날로그 신호가 나오는 제품이 있으므로 이 선택에 의하여 A/D변환기의 변환 입력 샘플링의 기준이 되는 RDad 신호가 클럭 1주기 당 한 개 또는 두 개 있게 된다. 아날로그 출력 신호 중 일부를 취하여 유효 데이터로 삼을 경우 그 개수를 지정할 수 있다. CIS는 그 특성상 1 라인 전부를 읽기에 필요한 클럭을 이어서 입력 해야한다. 소요 클럭의 개수가 입력되기 전 SI 신호가 입력되어 다음 라인을 읽어 들이면 이전 라인의 출력 신호와 그 다음 라인의 출력 신호가 중첩되어 나온다. 특히 CIS의 길이에 비하여 유효 데이터가 상당히 짧을 경우 나머지 불필요한 데이터의 출력에 소요되는 클럭은 기준 클럭 주파수의 2배 주파수를 입력하여 라인 스캐닝 시간을 줄일 수 있게 했다.

CIS의 출력 아날로그 신호는 매 픽셀간 균일성이 유지되지 않는다. 그러므로 제조 표현력을 높일 경우 동일한 영상에 반응한 출력 신호의 디지털 변환 값이 서로 다르게 나타날 수 있다. 이에 대한 대응책으로서 픽셀별 감도 보정을 할 수 있는 가중치를 구하여 연산 시 반영한다. 즉 균일한 색상의 원고를 1 라인씩 10회 읽어 들인 후 10개의 데이터를 메디안 필터링한다. 그 결과 데이터를 실제 입력 값으로 삼고 전 픽셀의 평균값 대비 각 픽셀의 레벨이 가중치가 된다. 이 가중치를 이용하여 보정 한 후의 1 라인 스캔한 출력 파형의 모양을 보정하지 않은 신호와 대비하여 그림 4에 나타낸다.

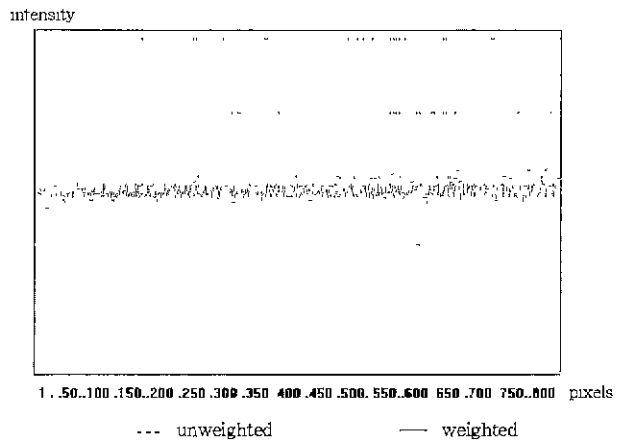


그림 4. CIS의 픽셀별 감도 보상 결과.

Fig. 4. The result of sensitivity compensation for each pixel of CIS.

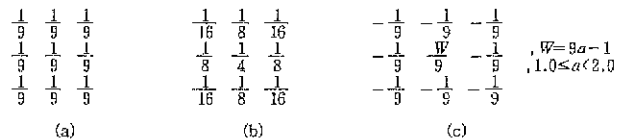


그림 5. (a) 영상 평활화용 3×3 평균값 마스크, (b) 영상 평활화용 3×3가우시안형 마스크, (c) 영상 첨예화용 마스크.

Fig. 5. (a) 3×3 average mask for image smoothing, (b) 3×3 Gaussian profile mask for image smoothing, (c) image sharpening mask.

영상 평활화는 인근 평균법을 사용한다. 인근 평균법 (neighborhood averaging)은 어떤 픽셀(x,y)을 중심으로 한 이웃의 픽셀들을 평균하여 픽셀(x,y)의 명암도로 대체 하는 방법이다. 이렇게 평활화 한 영상을 g(x,y)라 하면

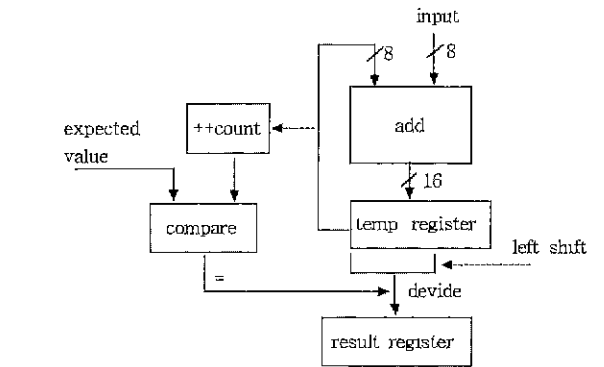
$$g(x, y) = \frac{1}{M} \sum_{(n,m) \in S} f(n, m) \quad (1)$$

여기서 M은 국소 부분 n×m픽셀의 개수이며, S는 이 국소 영역 픽셀의 집합을 의미한다. 즉 영상 평활화는 콘벌루션을 통해 구할 수 있다. 영상 평활화를 위한 대표적인 마스크는 내부 요소가 모두 1/9인 그림 5(a)의 3×3 마스크가 사용된다. 이 마스크에 의한 영상 평활화를 통해 영상 내 포함된 가우시안 잡음을 효과적으로 제거한다. 다른 마스크로서 단면이 가우시안 형태인 그림 5(b)의 마스크가 사용되었다.

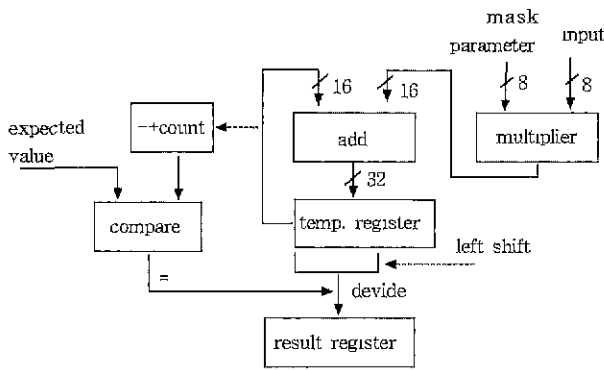
영상 예리화는 미분에 의해 구한다. 미분은 구배 연산자(gradient)로서 구해지며 구배 연산은 다음과 같은 벡터로 정의된다.

$$\Delta f(x, y) = \vec{i} \frac{\partial f}{\partial x} + \vec{j} \frac{\partial f}{\partial y} \quad (2)$$

여기서 Δ는 구배 연산자를 나타내며 위의 구배 연산은 또 다른 콘벌루션 마스크에 의해 구할 수 있다. 그림 5(c)의 마스크가 영상 첨예화용 마스크로서 사용된다[9].



(a)



(b)

그림 6. (a) FPGA 해상도 조정 블록도, (b) FPGA 마스크 블록도.

Fig. 6. (a) block diagram of FPGA for resolution control, (b) block diagram of FPGA for masking.

영상 처리 보드는 응용 분야에 따라 영상 획득의 해상도가 낮아도 될 경우가 있다. 본 영상 처리 보드에서는 해상도 조정을 영상 전처리부에서 한다. 낮은 해상도가 필요한 경우에는 적은 양의 영상 데이터가 영상 처리부로 넘겨지므로 수행 능력 향상에 도움이 된다. 특히 획득된 영상의 해상도 조정을 영상 획득부의 아날로그 회로에는 할 경우 부가되는 S/H(Sample and Hold)회로 등에 의한 신호 파형의 불안정성을 배제하기 위하여 디지털 회로에서 신호처리에서 한다 여러 가지 마스크 처리와 해상도 조정을 위한 덧셈기 및 곱셈기의 구성을 그림 6에 보인다. 이상의 전처리 논리는 2만 게이트의 FPGA에 집적화하였다.

### III. 영상 처리부의 구성

영상 처리부는 Analog Device사의 DSP ADSP-2181를 주축으로 하여 구성된다. 그림 7은 영상 처리부의 구성도이다. 본 영상 처리 보드의 설계 사양은 표 2와 같으며 계조 표현력을 256계조 회색 레벨을 목표로 한다. 256계조 표현을 위해 8비트 버스구성이면 가능하므로 영상 획득부와 영상 전처리부는 8비트 버스로 구성하고 영상 처리부는 16비트 급 DSP로 구성한다. 이 DSP는 영상 처리의 절차상 생길 수 있는 임시 변수를 최대 32비

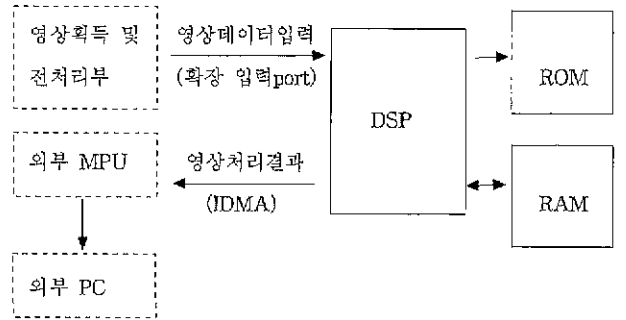


그림 7. 영상 처리부의 구성.

Fig. 7. Block diagram of image processing part.

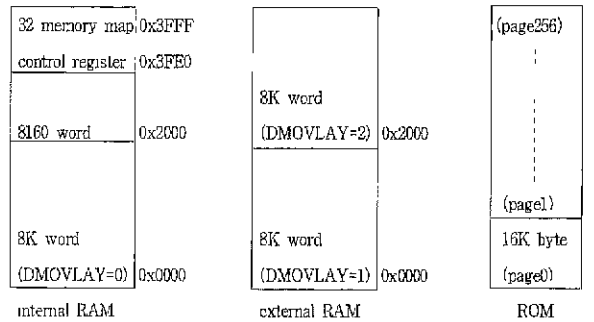


그림 8. 영상 처리부의 메모리 맵.

Fig. 8. Memory map of image processor.

트 까지 다룰 수 있으므로 충분한 처리공간이 확보되어 있다. 메모리 영역은 우선 외부 ROM이 최대 256페이지 총 4Mbyte을 사용할 수 있다. 페이지 0에는 DSP의 구동 프로그램이 놓이고 나머지 영역에는 표준 영상의 데이터 베이스가 저장된다. 그리고 내부 RAM이 약8k word가 있다. 이 메모리는 연산을 위한 임시 데이터 메모리 영역으로 약 1k word가 할당되고 나머지 영역은 시험 데이터 혹은 비교 영상 데이터가 놓인다. 외부 RAM은 32k word이다. 이 영역은 연산 중 빈번한 입출력이 필요한 표준 데이터가 놓인다. 그림 8에 영상 처리부의 메모리 맵을 보인다.

영상 처리부는 범용 DSP로 이루어져 있으므로 임의의 영상 처리 절차의 실행이 가능하다. 본 논문에서는 내용 기반 영상 추출을 실행해 보인다[10]. 참고 논문에서는 히스토그램 인터섹션과 각각의 명도 차이에 의한 Euclidean distance를 구하여 유사도를 구한다. 즉, 주어진 히스토그램 쌍 I, M 각각의 영상 내 bin수가 N일 때 히스토그램 인터섹션은

$$H(I, M) = \frac{\sum_{i=1}^N |I_i - M_i|}{\sum_{i=1}^N M_i} \quad (3)$$

로 정의된다. 즉 질의영상(query image)의 히스토그램과 비교영상의 히스토그램 인터섹션 결과는 동일한 위치의 상응한 화소의 명도 차이값이 취해진 다음 질의영상의 히스토그램 내 화소 수로 정규화된다. 그리고 히스토그램 인터섹션에 의한 유사도를 다음과 같이 정의한다.

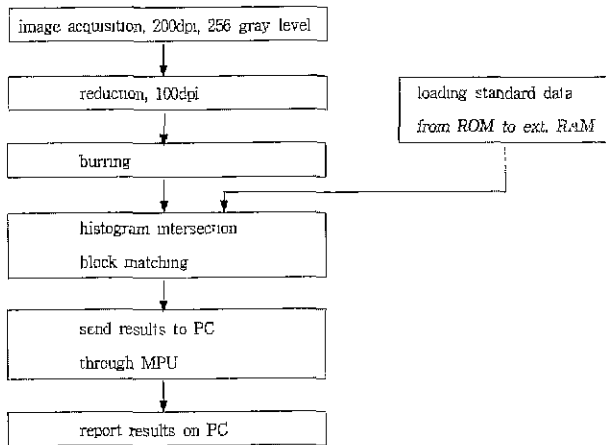


그림 9. 영상 처리의 절차.  
Fig. 9. Image processing flowchart.

$$S_H = 1 - H(I, M) \tag{4}$$

즉, 질의영상과 비교영상을 블록으로 분류하고 각각의 블록 내의 컬러 영상별 히스토그램을 구한 후 R, G, B 중 최소 거리 값을 정규화 시켜 유사도의 척도로 삼는다. 그리고 질의영상과 비교영상의 명도 값이 Q, C 이고 나누어진 블록의 개수가 M×N 이면 정규화 한 블록별 명도 값 차이에 의한 유사도는

$$S_I = 1 - \frac{1}{L_H} \frac{\sum_{i,j=1}^{M,N} |Q_{i,j} - C_{i,j}|}{M \times N} \tag{5}$$

가 된다. 여기서 LH는 영상의 명도 단계이다.

반면 (4)과 (5)이 에서 정의한 컬러 히스토그램의 인터섹션이나 컬러 영상의 명도차이가 혼용되어 사용되면 그 유사도는

$$S_T = \frac{\mu S_H + \nu S_I}{\mu + \nu} \tag{6}$$

로 정의하여 사용한다. 즉 컬러 히스토그램을 유사도 SH와 블록별 평균 컬러 명도에 의한 유사도 SI에 각각의 가중치  $\mu, \nu$ 를 곱한 후 산술 평균하여 구한다. SH는 전체 영상에서 구해진 컬러 히스토그램 인터섹션 값으로서 전체적 영상의 유사도는 적절히 나타내고 있으나 검색 영상 내 물체의 공간적인 배치에 따른 정보가 반영되어 있지 않다. 그러므로 검색 영상의 성격에 따라 가중치의 적절한 배분이 이루어져 유사도 SI값이 반영되어야 할 경우도 있다. 그리고 일반적인 성능 평가의 척도로서 검색 효율을 많이 사용한다. 검색 효율에는 총 질의영상의 개수 대비 유사 영상의 개수로 나타낸다[11]-[15].

**IV. 영상 처리의 결과**

영상 처리의 결과는 영상 전처리 단계에서 얻은 결과 데이터와 영상 처리 단계에서 얻은 결과를 구분하여 보인다. 영상 처리의 절차는 그림 9와 같이 이루어진다. 실험에 사용한 영상 획득용 기구 구성은 개발된 영상 처리 보드와 별도의 구동용 MPU 보드를 연속 금지 장치가

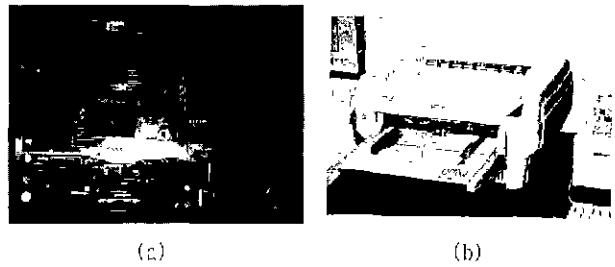


그림 10. (a) 영상 처리 보드, (b) 시스템의 구성.  
Fig. 10. (a) Image processing board, (b) System structure.

붙은 자동 스캐너 Microtek Atrix사의 TurboScan 4020 모델에 부착하여 구성했다. 내장 CIS는 Canon BSA-20216A를 사용하였다. 이 CIS는 216mm 스캔 폭을 지닌 200DPI 화소 밀도로서 라인별 스캔 속도 1.3msec의 고속 이미지 센서다. 영상 획득 속도의 한계는 CIS의 스캔 속도에 의해 제한된다 그러므로 원고의 이송 속도에 따라서 원고의 세로 방향 해상도가 결정된다. 즉 769mm/sec의 속도에서 1mm 간격의 스캔 밀도인 약 25DPI가 얻어진다. 본 시스템의 구성과 개발된 영상 처리 보드는 그림 10에 사진으로 나타내었다. 획득된 영상의 품질과 처리 결과의 확인을 위하여 개발된 영상 처리 보드는 외부 PC와 직렬 전송 라인을 통하여 연결된다. 각각의 영상 처리는 20msec 이내에 완료되며 영상 처리의 결과는 1차적으로 그림 7의 외부 MPU부에 구성되어 있는 SRAM에 저장되어 일련의 결과를 유지하고 있다가 외부 PC에서 결과의 요청이 있으면 그 결과 데이터를 전송한다. 반면 획득된 영상은 영상 처리부, DSP의 내부 메모리에 저장된다. 메모리의 저장 용량의 한계 상 새로운 영상이 획득되어 들어오면 이전 데이터는 지워진다. 그러므로 외부 PC에서 전송 받아 관찰하고자 하는 영상이 있으면 일단 영상 획득을 멈추고 영상 데이터를 전송 받는다. 직렬 전송에 따른 전송 속도의 한계는 있지만 9600bps로 데이터를 전송 할 경우 192×128 크기의 영상을 전송 받는 시간은 약 24.6초가 소요된다. 하드웨어의 실험은 먼저 영상 전처리의 모드별 결과를 검증하기 위하여 영상 평활화와 영상 침여화를 거쳐 별도의 추가 처리 없이 출력하였다. 그 결과를 그림 11에 보인다. 그 다음 영상 처리 보드를 포함한 전체 처리 결과의 실험은 내용 기반 영상의 추출을 실행해 보인다[10]. 우선 표준 영상 데이터 베이스로서 192×128화소 크기의 256계조 회색 레벨 영상을 160개를 스캔하여 ROM에 저장한다. 그 다음 시험 데이터 중 하나를 읽어 들인 후 표준 데이터 160개와 차례대로 히스토그램 인터섹션과 각각의 명도 차이에 의한 Euclidean distance를 구하여 유사도를 구한다. 구한 유사도 순서에 따라 나열하면 표준 영상 데이터 중 시험 영상 데이터와 가장 유사한 일련의 영상이 검색되어 나온다. 이 유사도 순위는 외부 PC에서 sorting되어 표시된다. 실험에 사용한 시험 영상에 의해 영상 데이터 베이스로부터 추출되어 나온 영상을 그림 12에 나타내었다.

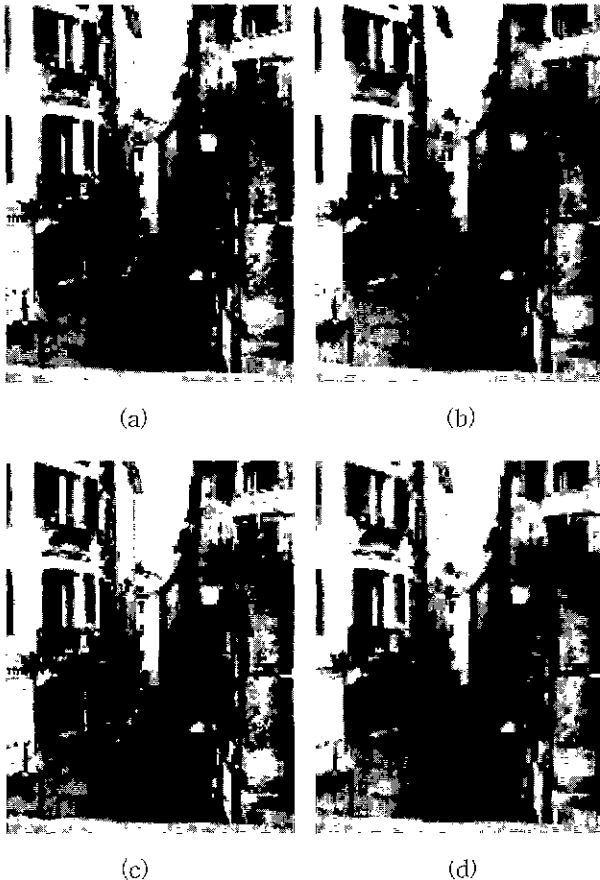


그림 11. 영상 전처리의 결과. (a) 원영상, (b) 3×3 평균 마스크 처리, (c) 3×3가우시안 마스크 처리, (d) 영상 첨예화 마스크 처리.

Fig. 11. The results of image preprocessing. (a) Original image, (b) 3×3 average mask, (c) 3×3 Gaussian mask, (d) image sharpening mask.

V. 분석 및 고찰

구현된 영상 처리 보드는 각 단계별 수행 능력이 별도로 검토되고 그 결과는 다시 합해져서 나타난다.

영상 획득부는 CIS의 속도에 의해 제한된다. 실험에 사용한 CIS는 Canon BSA-20216A로서 라인 당 스캔 속도는 1.3msec의 고속형이다. 최근 0.8msec의 제품까지 발표되고 있으나 2msec 이상의 제품이 일반적이다. 특히 라인 당 스캔 속도가 빠른 제품일수록 영상 획득 출력 레벨의 진폭이 좁고 픽셀간 출력 균일성이 나빠지는 경향이 있다[1]. II장에서 언급한 무효 구간의 2배 주파수 동작에 의한 획득 시간의 절약과 가중치의 가산 등의 절차는 고속의 균일한 영상 획득에 도움이 되지만 픽셀간 출력 균일성은 약 ±6%로 나타난다. 이 값은 제품의 사양에 표시된 ±20%(max.) 값이나 가중치 가산 전 보이는 픽셀간 출력 균일성 약 ±11%보다 각각 13.2%, 4.7%씩 개선된 값이다. 속도 향상을 위해 적용한 무효 구간 2배 주파수 구동 기능을 B5규격에 적용할 때 CIS의 216mm중 148mm만 정상 주파수로 스캔되고 나머지 68mm는 2배 주파수로 스캔됨으로서 약 16%의 시간이 절약된다.

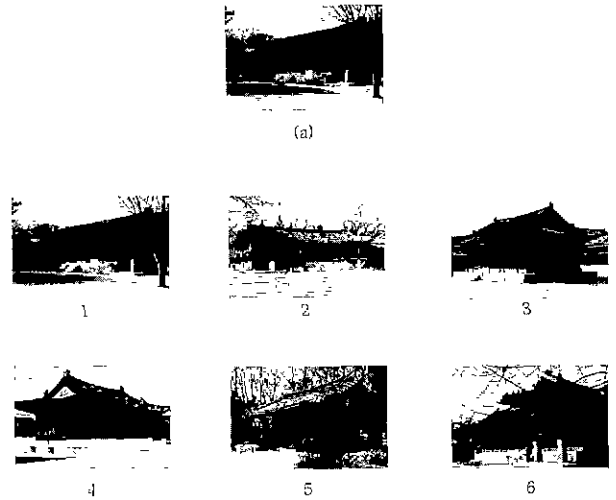


그림 12. (a) 시험영상, (b) 영상 데이터 베이스로부터 추출된 순위별 영상.

Fig. 12. (a) Inspected image, (b) Retrieval image in order from image database.

전처리 단계에서 사용한 FPGA는 E<sup>2</sup>CMOS기법이 적용된 지연시간 17nsec의 직접회로로서 32 매크로셀이 논리 구현에 이용됐으며 영상 획득부에서 출력된 데이터를 실시간 처리하는데 무리가 없다.

영상 처리부에 사용한 DSP인 ADSP-2181은 33MHz와 40MHz에서 동작되어 각각 33MIPS와 40MIPS의 수행 속도를 보인다. IV장에서 언급된 영상 처리에는 33MIPS처리 속도에서 약 20msec 시간이 소요된다. CIS로부터 2라인의 영상이 획득이 된 후, 3번째 라인이 시작되는 시점부터 영상 처리는 이루어지므로 전체 영상 처리 보드내의 속도는 약 23msec 시간이 소요된다.

VI. 결론

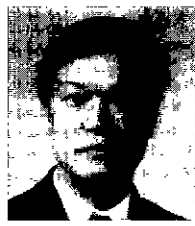
영상 처리부를 포함한 영상 처리기의 구성은 그 응용 분야에 따라 다양한 구성이 가능하겠으나 그 대상이 종이에 인쇄된 영상물이고 이를 고속 처리하고자 할 경우 영상 획득 소자의 선택이 CIS로 제한된다. 본 논문에서는 CIS를 위한 고속 영상 획득 및 처리가 가능한 보드의 구성을 실현했다. 영상 전처리부와 영상 처리부를 독립적으로 구성하여 고속 화를 달성했다. 여기서 만든 영상 처리 보드를 192×128화소, 256 회색 레벨, 100dpi의 160개의 영상에 대한 유사도 추출에 사용하여 22ms 이내의 처리 결과를 얻었다. 처리 영상이 256 레벨 이하일 경우 처리 데이터는 8비트 이내가 되므로 전체 처리회로를 8비트 버스로 구성하고 최후단의 영상 처리부를 16비트급 DSP를 사용했다. 이 DSP는 최대 32비트 데이터까지 직접 저장하는 레지스터가 내장되어 있으므로 8비트 연산의 결과로 발생하는 가장 큰 데이터까지 무리 없이 저장한다. 본 구성과 대비하여 32비트급 DSP를 사용하여 영상 처리부를 구성할 때 상위 바이트가 사용 않은 상태에서 수행 능력 향상이 되지 않는 점을 고려할 때 경제성 높은 최적화된 설계라 할 수 있다. 즉 고가의 32비트급 DSP를 사용하는 것보다 16비트급 DSP를 사용

하여 영상처리를 하고 별도로 영상 획득부와 영상 전처리부를 두어 처리 시간의 증첩을 한다. 그리고 영상 처리에 꼭 맞는 해상도를 영상 전처리부에서 생성 시켜 줌으로서 영상 처리부로 전송되는 데이터의 전송량을 줄임으로서 영상 처리 시간을 단축한다. 이상의 구성에 의해 고속 영상 처리가 되는 저가의 보드가 구성되었다. 고속 영상 처리와 경제적인 구성은 서로 상충되는 관계에 있으므로 적절한 선에서 선택되어야한다. 본 논문은 현재 발표된 DSP와 FPGA등의 계산 능력과 가격을 절충한 하나의 선택으로 볼 수 있다. 본 논문을 통해 개발된 영상 처리 보드는 고기능 지폐 계수기와 지폐 정사기에 사용되고 있다.

**참고문헌**

[1] T. Kimura, H. Ito, S. Tsunai and J. Yamamoto "Color CCD linear image sensor series for scanner," *NEC Technical Journal*, vol. 51, no. 3, Mar. 1998.  
 [2] 太田, "イメージ 스캐너," 画像電子學會誌, 第15卷, 第2号, pp. 125-137, 1986.  
 [3] 山田, 他, "光走査型 密着 イメージ センサ," IE. no. 21, 1986.  
 [4] M. Hayama "Characteristics of P-I junction amorphous-silicon stripe-type photodiode array and its application to contact image sensor," *IEEE Trans. Electron Devices*, vol. 37, no. 5, pp. 1271-1279, 1990.  
 [5] 松田, "a-Si 密着イメージ 센서 入力による 多階調 ハソコン 入出力 システム," 電通學會全國大會, pp.

1332-1339, 1985.  
 [6] 村山, "文字と 寫眞の 自動 適應 處理," 画像電子學會誌, 第15卷, 第4号, pp 85-92, 1986.  
 [7] 박창대, 정영훈, 김형수, 김진수, 김재호, "팩시밀리 및 디지털 복사기를 위한 고속 영상처리기의 VLSI 구현," 전자공학회논문지, 제35권, 제1호, pp. 105-113, Jan., 1998.  
 [8] H. Zen, T. Koizumi, and H. Hashizume, "A new digital signal progressive CCD," *IEEE Trans. Consumer Electronics*, vol. 44, no. 2, May. 1998.  
 [9] R. M. Haralick and L. G. Shapiro, *Computer and Robot Vision*, Addison Wesley, 1993.  
 [10] T. S. Chua and S. K. Lim and H. K. Pung, "Content-based retrieval of segmented images," *ACM Multimedia'94*, pp. 211-218, 1994.  
 [11] 강현인, 백광렬, "가변 블록 크기와 블록 매칭 알고리즘의 조합에 의한 내용기반 화상 검색." 전자공학회논문지, 제35권, 제8호, pp. 111-118, Aug., 1998.  
 [12] 강현인, 주용완, 백광렬, "CIS를 위한 영상 처리 보드구현," 한국자동제어학회회의, 제1권, pp. 635-639, Aug., 1998.  
 [13] M. J. Swain and D. H. Ballard, "Color indexing," *Intl. J. Computer Vision*, vol. 7, no. 1, pp. 11-32, 1991.  
 [14] R. S. Gray, "Content-based image retrieval color and edges" *Dartmouth PCSTR 95-252*, 1995.  
 [15] A. K. Jain and A. Vailaya, "Image retrieval using color and shape," *Pattern Recognition*, vol. 29, no. 8, pp. 1233-1244, 1996.



**강 현 인**  
 1956년 2월 3일생. 1984년 2월 동아대학교 전자공학과 졸업. 1995년 8월 부산대학교 대학원 졸업(공학석사). 1999년 현재 부산대학교 대학원 전자공학과 박사과정. 수료. 1983년 8월-1989년 3월 삼성전자(주) 기술연구소 주임연구원. 1989년 4월-1991년 9월 삼성중공업(주) 기계전자연구소 선임연구원. 1991년 10월-1994년 3월 IGM Robot Co., Ltd., 기술부장. 1994년 4월-1998년 현재 하나정보기술(주) 상무.



**주 용 완**  
 1969년 5월 7일생. 1995년 2월 부산대학교 전자공학과 졸업. 1997년 8월 부산대학교 대학원 졸업(공학석사). 1999년 현재, 부산대학교 대학원 전자공학과 박사과정 재학. 1997년 2월-1999년 현재, 하나정보기술(주) 주임연구원.



**백 광 렬**  
 1984년 2월 부산대학교 전자공학과 졸업. 1986년 2월 한국과학기술원 전기 및 전자공학과 졸업(공학석사). 1986년 2월 한국과학기술원 전기 및 전자공학과 졸업(공학박사). 1989년 8월-1994년 2월 (주)터보테크 기술연구소 실장. 1994년 3월-1999년 현재 부산대학교 전자공학과 조교수.