

전압원 및 전류원 구동 공진형 인버터로 구성된 형광등용 전자식 안정기의 역률개선에 적합한 수동 역률개선 회로에 관한 연구

蔡 均, 柳 泰 夏, 曹 圭 亨

Passive Power Factor Correction Circuits for Electronic Ballasts using Voltage-Fed and Current-Fed Resonant Inverters

Gyun Chae, Tae-Ha Ryoo and Gyu-Hyeong Cho

요 약

형광등용 전자식 안정기의 개발에 있어서, 최근 선전류 고조파 성분의 제한에 관한 여러 가지 규제를 만족시키기 위해 역률 개선 회로를 부가하는 것이 권장되고 있다. 일반적으로는 부스트 컨버터를 가장 많이 사용하고 있지만 전체 제품의 가격 상승 및 EMI 발생 등의 단점 때문에 설계에 있어서 상당한 제약을 받게 된다. 본 논문에서는 역률 개선을 수동소자로만 이용하여 전압원 및 전류원 방식의 공진형 인버터를 채택하는 형광등용 전자식 안정기를 저가격화, 고역률화하는 것을 목적으로 한다.

ABSTRACT

Several power factor correction(PFC) circuits are presented to achieve high PF electronic ballast for both voltage-fed and current-fed electronic ballast. The proposed PFC circuits use valley-fill(VF) type DC-link stages modified from the conventional VF circuit to adopt the charge pumping method for PFC operations during the valley intervals. In voltage-fed ballast, charge pump capacitors are connected with the resonant capacitors. In current-fed type, the charge pump capacitors are connected with the additional secondary-side of the power transformer. The measured PF is higher than 0.99 and THD is about 10% for all proposed PFC circuits. The lamp current CF is also acceptable in the proposed circuits. The proposed circuit is suitable for implementing cost-effective electronic ballast.

Key Words : passive power factor correction, fluorescent lamp, electronic ballast

1. 서 론

IEC 61000-3-2와 같은 국제표준의 권장 및 채택으로 형광등용 전자식 안정기에 대해 선전류 고조파 성분의 제한, 높은 입력 역률 개선(Power Factor Correction - PFC)에 대한 요구가 점차 커지고 있다. 실제로 제품화되어 생산되고 있는 전자식 안정기에 있어서는 국내와 국외에서의 생산 및 판매에서는 그 권장 내용이 약간은 다르다. 국내의 경우 저가격의 전자식 안정기 제품의 역률과 THD는 대체적으로 각각 0.95이상과 20%이내의 조건을 만족하고 램프전류의 crest factor(CF)는 1.7이하를 의무화하다시피 한다. 외

국의 경우는 제품의 가격과 기능별로 등급을 두어 각 등급에 맞는 조건을 요구하는데 일반적으로 국내 제품이 외국에서 판매되기 위해서는 국내에서보다 상당히 까다로운 시험과 조건을 요구받고 있다. 기본적으로 역률, THD, CF를 각각 0.99 이상, 약 5%, 그리고 1.5 이하의 특성을 원하고 있다. 여기에 경쟁력을 가지기 위해서는 저가격화라는 과제가 하나 더 추가가 되어야 한다. 이러한 여러 가지 특성을 만족시키기 위해 전자식 안정기의 설계자들은 종종 저가격의 안정기를 얻기 위해 자려식의 직렬 공진형 인버터를 이용하고 있으며 역률개선을 위하여 밸리필(VF) 직류 링크 회로나 부스트(boost) 형태의 회로를 첨가하곤 한다.^[1] 기존의

벨리필 회로는 간단한 구조로 약 0.95의 역률을 얻을 수 있으나 THD가 약 40%로 높고 직류 링크의 전압이 전원 전압의 최고치에서 절반까지 120Hz로 변화하기 때문에 램프의 깜박거림 및 약 1.9의 램프 전류의 CF를 보이고 있다는 단점이 있다. 부스트 형태의 역률 개선 회로는 직류 링크 전압의 좋은 레귤레이션 특성과 적은 리플 성분을 가지고 있다는 장점이 있지만 주 스위치에 전압 스트레스를 높이고 부가적인 전력 소자와 수동 소자, 그리고 제어 회로를 만들어 동작을 시키기 때문에 손실이 많고 가격적인 측면에서 장점이 될 수 없는 형태의 역률 개선 회로라고 말할 수 있다. 한편, 전자식 안정기는 공진형 인버터의 형태에 따라 전압원 방식과 전류원 방식이 있는데 각각 응용 분야 및 사용국에 따라 선호도가 각기 달라 이들에 대해 모두 가격 경쟁력이 있는 고효율 회로를 개발할 필요성이 있다고 볼 수 있기 때문에 본 논문에서는 이들 안정기에 적합한 여러 가지 형태의 수동 역률 개선 회로를 제안하여 저가격의 형광등용 전자식 안정기를 구현하고자 한다.

2. 전압원 방식에 적합한 역률개선회로

2.1 기존 방식의 고찰

일반적으로 능동소자를 쓰지 않고 수동소자만으로 역률 개선을 하는 회로를 구현하기 위해서는 단일단(single stage)으로 전자식 안정기를 구성하는 것이 일반적이다. 그림 1과 그림 2는 기존에 발표된 저가격화에 적합한 안정기를 도시한 것이다.

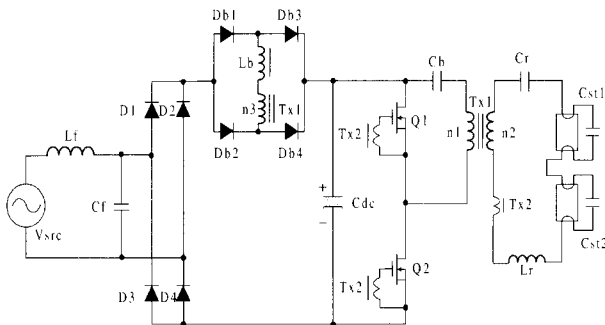


그림 1 기존 수동 역률개선회로를 가진 전자식 안정기(1)
Fig. 1 Electronic ballast with passive PFC circuit(1)

그림 1의 안정기는 별도의 부스트 컨버터를 이용하지 않고, 공진회로에 구형파 전압을 인가하기 위해 삽입된 트랜스포머 Tx1에 1차측 권선의 2배에 해당하는

권선 n3를 부가한 후 이를 인덕터 Lb, 정류 다이오드 단(Db1-4)와 결합시켰다.^[4] 트랜스포머의 n3 권선에는 스위칭 동작에 따라 일정 권선비(n1:n3 = 1:2)에 해당하는 구형파 전압이 발생되며 따라서 Lb에는 구형파 전압의 1주기 동안 전파 정류된 입력 전압이 인가되어 그에 해당하는 전류가 흘러 입력 전류를 형성하게 된다. 그림 1에 제시된 회로는 기존의 방식보다 상당히 간단해져 가격의 절감 효과가 크지만, 별도의 인덕터 Lb가 여전히 필요하며, 부스트 컨버터 동작으로 인해 직류 링크 전압이 증가하고 부하 램프를 1등 혹은 2등을 선택적으로 점등시키기 위해 부하 램프를 병렬로 연결시켜 사용하고자 할 때는 부하의 개수에 따라 직류 링크 전압의 변화가 크게 나타나는 문제점이 있다.

그림 2는 널리 알려진 전하 펌프 방식을 이용한 역률 개선 회로를 도시한 것이다.^[5] 동작은 공진회로의 고주파 전압 변동이 발생하는 부분과 입력 정류단 사이에 전하 펌프 커패시터 C_{in}을 삽입하여 입력 전류를 공진 매 주기마다 C_{in}을 통해 유입시키고, 충전된 C_{in}의 전하를 공진전압이 상승함에 따라 직류 링크 커패시터 C_{dc}로 전달하는 방식으로 이루어진다. 하지만 그림 2의 경우에도 그림 1과 같이 부하 램프의 선택적 점등이 이루어지기 힘들고, 공진 인덕터 L_r에 흐르는 전류가 스위치 Q1, Q2와 다이오드 D_{a1}, D_{a2}를 통해 환류(freewheeling)되는 구간이 생겨 스위치와 다이오드의 도통 손실이 꽤 늘어난다는 단점을 가지고 있다.

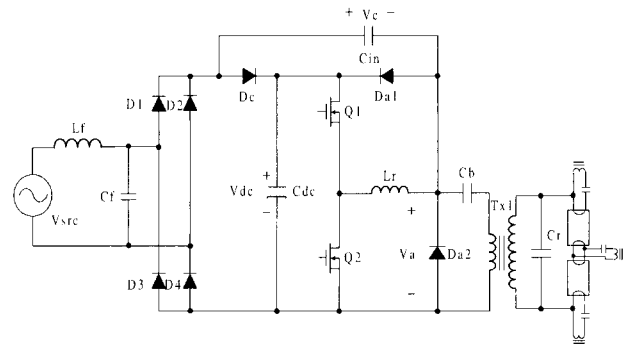


그림 2 기존 수동 역률개선회로를 가진 전자식 안정기(2)
Fig. 2 Electronic ballast with passive PFC circuit(2)

2.2 전압원 방식의 전자식 안정기에 적합한 역률 개선 회로

본 논문에서 제안된 전압원 방식의 전자식 안정기에 적합한 수동 역률 개선 회로의 기본 구조는 기존의 벨리필 역률 개선 회로를 변형시킨 직류 링크단^[1]과 커패시터를 이용한 전하 펌프 방식을 결합한 것이다.

2.2.1 전하펌프회로와 개선 밸리필 회로의 결합

전압원 방식의 전자식 안정기의 수동 역률 개선 방식중에서 가장 널리 쓰이는 방식은 밸리필 방식이다.^[1,2] 직류 링크 전압이 최고치의 절반까지 떨어짐을 120Hz로 반복하고 램프 전류의 CF가 높다는 단점이 있기 때문에 이를 해결한 개선된 밸리필 회로(IVF)를 이용하여 그림 3과 같이 전하펌프 커패시터와 결합하여 구성하면 1등용의 경우 약 0.995의 역률과 5.5%의 THD를 얻을 수 있다.^[2]

그림 3의 회로의 개선된 밸리필 회로는 기존의 밸리필 회로에서 전원 전압의 최고치 부분에서 나타났던 펄스성 입력 전류를 제거하여 고조파 성분을 제거할 뿐 아니라 공진형 인버터와 결합되는 커패시터의 크기를 조절함에 따라 밸리 전압을 조절할 수 있다. 하지만 밸리 전압이 크다고 램프전류의 CF가 비례적으로 개선이 되는 것은 아니므로 적절한 최적점을 찾아야 한다. 실제로 실험을 통하여 램프전류를 관측하면 기존 단일단 역률 개선 방식처럼 120Hz에 해당되는 램프 전류의 리플로 인하여 CF가 상당히 영향을 받고 있음을 확인할 수 있다. 그리고 전하펌프 방식을 이용하고 있기 때문에 부하램프를 1등과 2등으로 바꾸어 가면서 실험할 때 역률을 99%이상으로 유지한다면 1등일 경우는 약 1.68의 CF, 2등일 경우는 약 1.72 정도의 CF를 얻을 수 있었다. 이는 부하전력이 바뀌에 따라 전하 펌프 커패시터의 공진에 대한 영향이 바뀌고 전력 공급에 대한 능력이 떨어지기 때문이다. 하지만 그림 3의 회로는 상당한 가격 감소를 이룰 수 있다는 큰 장점에 초점을 맞추어야 할 것이다.

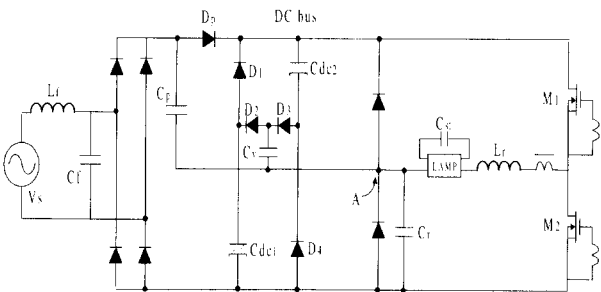


그림 3 전하 펌프 회로와 개선된 밸리필로 구성된 역률개선 회로

Fig. 3 PFC stage with charge pump capacitor and improved valley fill DC link

그림 4는 40W 1등용 안정기 실험에서의 입력전원전압과 전류의 파형을 보이고 있는데 거의 1에 가까운

역률 개선 특성을 보이고 있음을 확인할 수 있다.

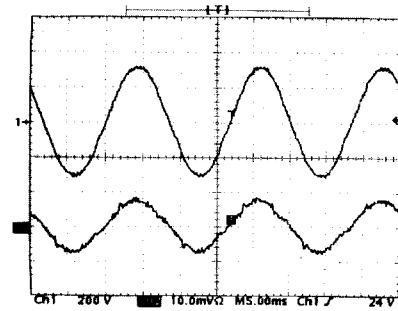


그림 4 입력 전원전압과 전류의 실험 파형
Fig. 4 Input ac line voltage(upper) and current(lower) (200V/div, 0.5A/div, 5ms/div)

그림 5는 직류 링크 전압과 전하 펌프 커패시터를 통해 흐르는 전류를 나타내는 것으로서 개선된 밸리필 회로의 동작으로 인해 밸리전압이 입력 전원 전압(220VAC)의 최고치의 절반(150V)보다 높게 나타나 램프의 CF를 개선시킬 수 있음을 볼 수가 있고, 또한 전하 펌프 커패시터를 통해 흐르는 전류에 의해 전원 전압의 크기가 밸리 전압, 즉 커패시터 C_{dc1}, C_{dc2} 양단의 전압보다 작은 밸리구간에서도 입력 전류가 형성됨을 확인할 수가 있다.

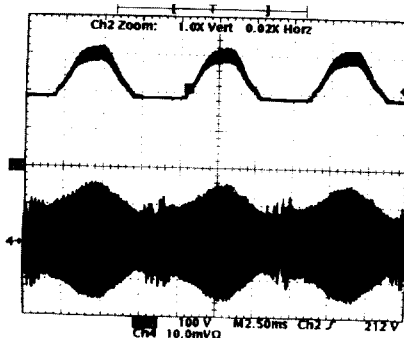


그림 5 직류링크전압과 전하펌프 커패시터 전류
Fig. 5 Valley-fill DC link voltage(upper) and charge pump current(100V/div, 0.5A/div)

2.2.2 전하펌프회로 + 변형된 밸리필 + 보조공진

앞에서 제안된 그림 3의 전자식 안정기는 기존의 방식에 비해 상당히 간략화된 구성으로 충분한 역률 개선 능력을 가지고 램프의 CF 또한 기존의 밸리필 구조를 이용한 방식보다 상당히 개선된 특성을 보이고 있다. 하지만, 초기 램프의 점등시에 필라멘트 예열시

간을 충분히 확보하지 못하여 램프의 수명을 단축시킬 수 있다는 단점이 있고 초기 점등시 직류 링크의 전압이 상당히 높게 올라가기 때문에 이를 제한해 줄 필요가 있다. 이를 위해 본 논문에서는 그림 6과 같은 새로운 전자식 안정기의 역률 개선 회로를 제안하였다.

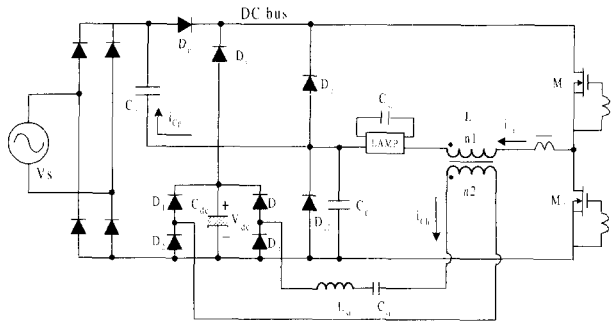


그림 6 필라멘트 예열과 역률 개선 기능을 가진 회로
Fig. 6 Electronic ballast with filament preheating and power factor correction(PFC) abilities

그림 6의 역률 개선 회로에서 입력 전원 전압(V_s)의 크기가 변형된 밸리필 직류 전원단의 직류 콘덴서(C_{dk})의 전압보다 작은 구간에서는 전하펌프단의 다이오드(D_p)가 도통하지 않기 때문에 공진형 인버터의 공진 커패시터(C_r)와 연결된 전하펌프단의 전하펌프 커패시터(C_p)에 의해 입력 전류가 형성되는데 이는 공진형 인버터의 공진 커패시터의 고주파 전압 변화에 따라 전하펌프 커패시터(C_p)에 전류가 유입되기 때문이다. 이때 공진형 인버터의 부하 램프 구동 에너지는 변형된 밸리필 직류 전원단의 콘덴서(C_{dk})에 축적되어 있던 에너지에 의해 공급된다. 변형된 밸리필 직류 전원단의 직류 콘덴서(C_{dk})는 입력 전원 전압(V_s)의 크기가 직류 콘덴서(C_{dk})의 전압보다 클 경우 공진형 인버터의 공진 인덕터의 2차 권선(n_2)으로부터 에너지를 공급받아 충전이 된다. 공진 인덕터는 주 스위치(M1, M2)의 스위칭 주기 대부분의 구간 동안에 인덕터(L_r)로 동작을 하지만 추가적인 2차 권선(n_2)을 부가함으로써 스위칭 순간에는 트랜스포머처럼 동작을 하게 된다. 게이트 구동용 트랜스포머에 의해 스위칭 동작이 발생하게 되면 공진 인덕터의 1차 권선(n_1) 양단에는 순간적으로 변형된 밸리필 직류 전압원의 직류 콘덴서(C_{dk})의 양단에 걸리 전압보다 훨씬 큰 전압이 걸리게 되고 이로 인해서 공진 인덕터의 2차측(n_2)의 보조 직렬 공진 회로에 전압 변화가 생기게 된다. 그 결과 공진형 인버터에는 동가적으로 짧은 공진 현상이 발생하

게 되고 이때 발생하는 공진 전류가 변형된 밸리필 직류 전원단의 고주파 전파 정류단($D_1 \sim D_4$)을 거쳐 직류 콘덴서(C_{dk})를 충전하게 된다.

제안된 역률 개선 회로는 자체적으로 램프의 초기 방전 전압과 직류 링크 전압을 제한하는 기능을 가지고 있다. 그 이유는 필라멘트 예열구간에 스위칭이 일어나는 동안에 램프 양단에 걸리는 전압은 2차 권선(n_2)을 통해 변형된 밸리필 직류 전원단의 직류 콘덴서(C_{dk})와 연결된 공진 인덕터에 의해 그 최고치가 제한이 되고 따라서 순간적인 램프 방전이 이루어지기 어려워져 충분한 필라멘트 예열시간을 확보할 수 있기 때문이다. 또한 직류 링크의 전압은 직접 충전 구간과 밸리 구간으로 나누어져 나타나게 되는데 공진형 인버터의 직류 링크 전압은 직접 충전구간 동안에는 입력 전원 전압(V_s)과 동일하게 나타나고 밸리 구간 동안에는 직류 콘덴서(C_{dk})의 전압에 의해 나타나게 됨으로 기존 방식에서 보다 낮은 서지 직류 링크 전압 특성을 보여 스위칭 소자 및 다른 회로소자에 걸리는 전압 스트레스가 낮게 된다. 제안된 전자식 안정기에서 상술된 적절한 특성을 얻기 위해서는 보조 직렬 공진회로의 공진 주파수의 적절한 선택이 중요하다. 이는 램프의 필라멘트 예열시간과 램프전류의 최고치와 실효치의 비인 CF 사이의 적절한 보상 조정에 의해 결정되어야 한다. 충분한 필라멘트 예열시간을 확보하기 위해서는 램프가 순간 방전이 이루어지지 않게 하기 위해 램프 양단의 전압 강하를 줄여야 하는데 이는 보조 직렬 공진 회로의 공진 주파수를 공진형 인버터의 초기 방전 주파수에 거의 가깝게 맞추으로써 조절할 수가 있다. 하지만 램프에 흐르는 전류의 CF를 낮추기 위해서는 보조 직렬 공진 회로의 주파수를 직접 충전 구간 동안의 공진형 인버터의 주파수와 밸리 구간 동안의 공진형 인버터의 동작 주파수 사이의 적절한 주파수에 맞추는 것이 적당하다. 따라서 보조 직렬 공진 회로의 공진 주파수는 다음과 같은 수식에 의해 적절히 조정되어야 한다.

$$\omega_{sr} \approx \sqrt{\omega_r \omega_p}, \omega_p \approx \frac{1}{\sqrt{L_{sr} C_{eq}}}, \omega_r \approx \frac{1}{\sqrt{L_r C_r}}$$

$$C_{eq} \approx C_r // C_{st} // C_{sr} \quad (1)$$

이상에서 제안된 그림 6의 회로를 40W 형광등에 적용하여 실험을 하여 약 0.99의 역률, 12%의 THD, 약 1.6의 램프 전류 CF를 얻을 수가 있었다. 그림 7에서 그림 9는 실험 파형을 보인 것이다.

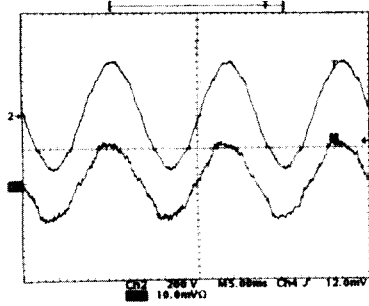


그림 7 입력 전원전압과 전류의 실험 파형
 Fig. 7 Input ac line voltage(upper) and current(lower) (200V/div, 0.2A/div, respectively)

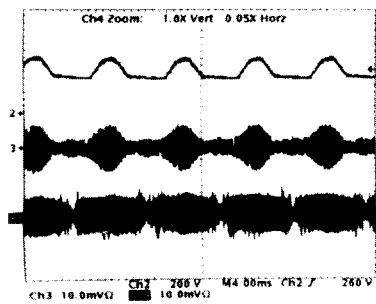


그림 8 직류링크전압, i_{ch} , i_{cp}
 Fig. 8 DC link voltage(upper), i_{ch} (middle), i_{cp} (lower) (200V/div, 1A/div, 1A/div, respectively)

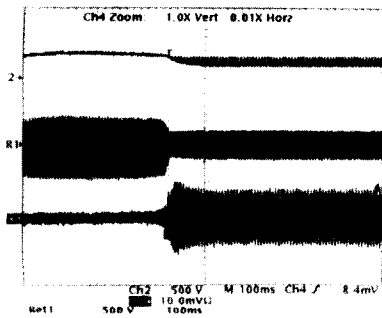


그림 9 초기예열시 직류링크전압, 램프전압, 램프전류
 Fig. 9 DC link voltage, lamp voltage lamp current during the preheat interval (500V/div, 500V/div, 0.5A/div, respectively)

3. 전류원 방식에 적합한 역률개선회로

일반적으로 전류원 방식의 전자식 안정기는 낮은 입력 전원 전압에 대해 2개 이상의 램프를 구동하고자 하는 응용에 적합하고 부하의 단락 및 제거시에 자체

적으로 보호 기능을 가지고 있다라는 장점을 가지고 있다. 이러한 전류원 방식의 안정기에서 역률 개선 방식은 전압원 방식에서와 마찬가지로 ‘밸리필 방식’ 위주의 수동 역률 방식과 부스트 컨버터 방식을 많이 이용하고 있었다. 하지만 이러한 방식들은 상기의 전압원 방식에서와 마찬가지로 동일한 단점을 가지고 있기 때문에 이러한 방식들의 문제점을 해결하기 위해 전압원 방식에서 사용한 개선된 밸리필과 전하펌프 방식을 이용하여 구현할 수 있으나 램프 전류의 CF에 직류 링크 전압의 120Hz 리플의 영향이 전압원 방식에서보다 심각하게 나타나게 되어 램프 수명에 미치는 영향을 신중히 고려해야 한다. 이를 해결하기 위해 본 논문에서는 기존의 밸리필 직류링크 형태를 변형하여 이를 공진형 인버터의 전력 트랜스포머의 2차측과 결합함으로써 고주파로 입력 전류를 형성하고 공진형 인버터에서 보인 고정 직류전압으로 나타나게 하여 램프의 CF를 상당히 개선한 구조를 제안한다^[4]. 또한 전력 트랜스포머의 2차측에 부가 권선을 감아 이를 이용하여 전하 펌프 방식으로 역률을 개선한 구조도 제안한다.

3.1 공진형 인버터와 결합된 변형된 밸리필과 전하 펌프 역률개선회로

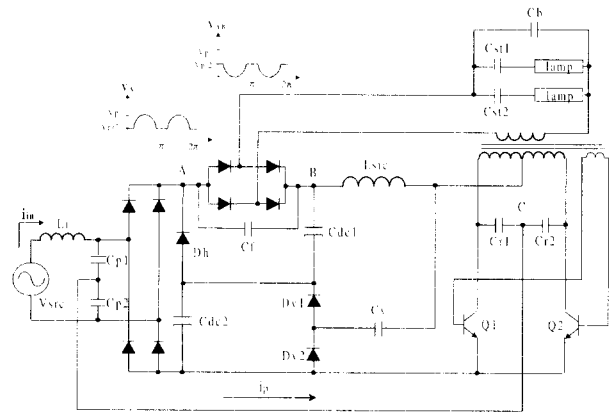


그림 10 전류원 방식의 고역률 전자식 안정기(1)
 Fig. 10 High power factor electronic ballast with current-fed resonant inverter(1)

그림 10에서 입력전압이 밸리전압 즉, C_{dc2} 에 걸린 전압보다 적으면 공진형 인버터의 고주파 동작을 하는 C점에 연결된 전하 펌프 커패시터를 통해 흐르는 전류에 의해 입력 전류가 형성된다. 이때 전력 트랜스포머의 2차측과 연결된 부분에 흐르는 전류는 C_{dc1} 을 충전하면서 D_n 를 통해 흐르게 된다. 입력전원전압

이 C_{dc2} 의 전압보다 크게 되면 입력전류의 형성은 전하펌프 커패시터를 통해 흐르는 전류와 전력 트랜스포머의 2차측을 통해 흐르는 전류의 합에 의해 형성된다. 하지만 전류의 크기는 전하 펌프 커패시터를 통해 흐르는 전류가 더 작게 형성된다. 입력 전원 전압이 거의 최고치에 도달해서는 직류링크 커패시터를 충전하는 전류가 다이오드 정류단을 통해 직접 흐르게 될 수도 있다. 전력 트랜스포머의 2차측이 직류링크와 결합이 되어 부하 회로에 리플을 부가할 수가 있으나 C_b , C_{st1} , C_{st2} 에 의해 램프 전류의 리플은 상당히 작아져 낮은 CF 특성을 보인다. 그림 10의 제안된 역률개선회로의 동작을 확인하기 위해 80W 2등을 220VAC로 간단히 실험을 하였다. 그림 11에서는 입력전원전압과 전류의 파형을 보이고 있는데 입력 전류의 파형이 상술된 것처럼 반 주기동안 3구간으로 나뉘어져 형성되는 것을 볼 수가 있다. 적절히 필터를 부가하여 약 0.99의 역률과 11%의 THD를 얻을 수 있었다.

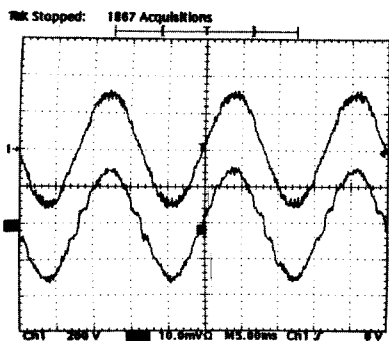


그림 11 입력 전원전압과 전류의 실험 파형
Fig. 11 Input ac line voltage(upper) and current(lower) (200V/div, 0.5A/div)

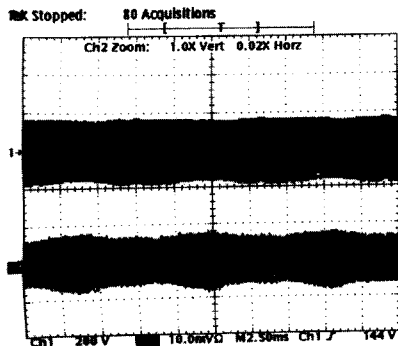


그림 12 램프 전압과 램프 전류
Fig. 12 lamp voltage(upper) and lamp current(lower) (200V/div, 0.5A/div)

그림 12는 정상 동작시 램프 양단의 전압과 램프 전류를 측정된 것인데 공진형 인버터의 전력 트랜스포머의 2차측과 입력단과 결합이 되어 있기 때문에 출력에 120Hz의 리플 성분이 나타나게 된다. 하지만 이는 램프에 연결이 된 커패시터 C_b 와 공진형 인버터의 공진 요소들의 값을 적절히 조정하여 최소화 할 수가 있다. 실험에서 얻어진 램프 전류의 CF는 약 1.6정도이다.

3.2 공진형 인버터의 전력 트랜스포머의 2차측을 이용한 전하펌프 역률개선회로

그림 10의 회로는 커패시터 C_b 의 영향으로 점등되는 램프의 개수에 맞추어 입력 전력이 자동으로 조절되어 지지 않기 때문에 약간의 전력 조절회로를 부가할 필요가 있다는 단점을 가지고 있다. 이러한 문제점을 해결하기 위해 그림 13의 회로를 제안한다.

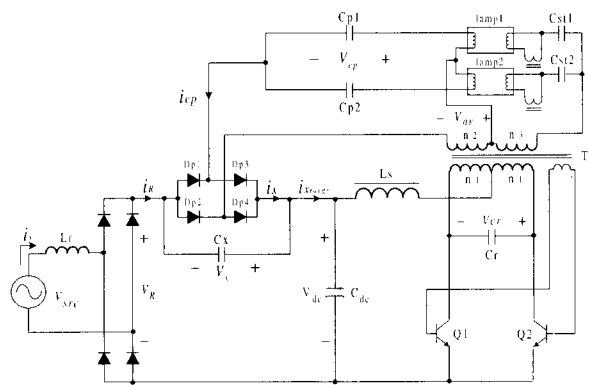


그림 13 전류원 방식의 고역률 전자식 안정기(2)
Fig. 13 High power factor electronic ballast with current-fed resonant inverter(2)

그림 13의 회로는 그림 10에서와는 달리 밸리플 구조를 이용하지 않고 있으며 전력 트랜스포머의 2차측에 별도의 권선을 감아 이를 역률개선회로의 다이오드 브릿지에 연결한 것을 특징으로 하고 있다. 또한 부가된 권선과 램프의 필라멘트 각각을 통해 전하 펌프 커패시터를 연결함으로써 램프의 개수에 맞추어 입력에서 유입되는 전력이 자동적으로 조절된다는 장점을 가지고 있다.

이 방식에서 입력 역률이 1이 되기 위해서는 $V_{R(peak)} = V_{dc} = V_{HF(peak)}$ 를 만족해야한다. 만일 $V_{HF(peak)} > V_{dc}$ 이면 $V_R=0$ 일 때도 i_{cp} 가 형성되어 입력전류가 그림 14의 (a)에와 같이 입력전류가 영인 부근에서 불연속 증가 파형이 나타난다. $V_{HF(peak)} < V_{dc}$ 이면 V_R 이 $V_{dc}-V_{HF}$ 가 될 때까지 입력전류가 형성되지 않기

때문에 그림 14의 (b)와 같은 파형이 형성된다. 또한 $V_{HF(peak)} = V_{dc}$ 일 때 $V_{R(peak)} > V_{dc}$ 이면 입력전류의 최고치 부분에서 직류링크 커패시터를 직접충전하기 위한 돌입전류 파형이 형성된다. 따라서 입력역률이 1이 되기 위해서는 식 (2)와 같은 조건을 우선 만족해야 한다.

$$V_{R(peak)} = V_{dc} = V_{HF(peak)} \quad (2)$$

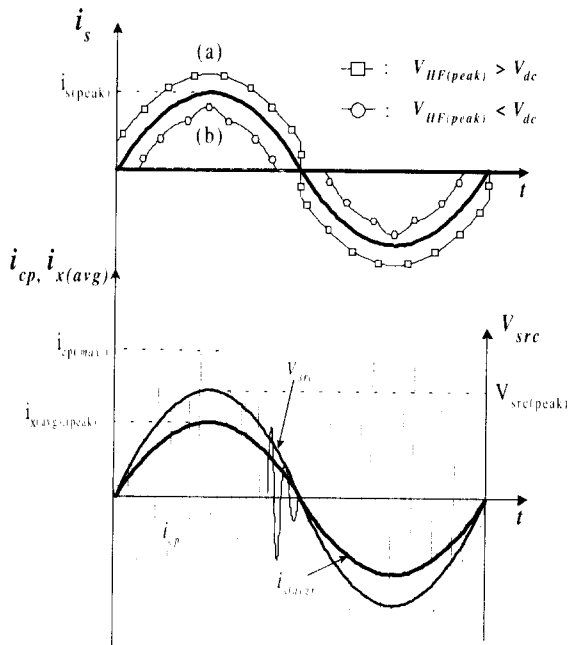


그림 14 역률개선 조건을 도시한 그림
Fig. 14 Conditions for power factor correction

공진형 인버터의 전력 트랜스포머에 추가되는 2차측 권선의 비를 식 (2)의 조건을 만족시키기 위해 적절히 선택하여야 한다. 전력 트랜스포머의 1차측의 중간지점의 평균전압은 V_{dc} 와 동일하기 때문에 1차측 권선 $n1$ 에 나타나는 전압의 최고치는 $(\pi/2)V_{dc}$ 와 같기 때문에 전력 트랜스포머의 1차와 2차의 권선비는 식 (3)과 같이 선정이 되어야 한다.

$$n = (n2/n1) = (2/\pi) \quad (3)$$

직류 링크 커패시터를 식 (2)를 만족시키고 적절한 전력을 전달하기 위해서는 식 (4)와 같이 선정이 되어야 한다. 이 때 전체 효율을 η , 부하 출력을 P_{out} , 공진 주파수를 ω_{HF} 로 두면 식 (4)는 다음과 같다.

$$C_p = \frac{\pi P_{out}}{\eta \omega_{HF} V_{HF(peak)} V_s} \quad (4)$$

이상에서 제시된 조건은 모든 조건이 이상적이라고 가정할 경우에 역률을 거의 1에 가깝게 만들 수 있는 것으로 실제 안정기를 구성함에 있어서 트랜스포머의 설계와 램프의 특성 및 기타 소자에서의 전압 강하 등을 고려하여 실험을 통해 조절해야 한다.

그림 15와 그림 16은 입력 전압과 전류 그리고 램프 전류와 전하펌프 전류를 측정된 것이다. 측정된 역률은 최대 0.996이며 THD는 약 5.5%이다. 램프 전류의 CF는 약 1.55정도로 측정이 되었다.

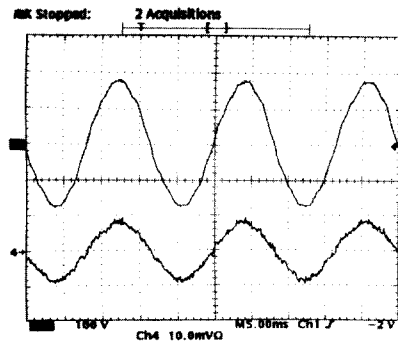


그림 15 입력 전원전압과 전류의 실험 파형
Fig. 15 input ac line voltage(upper) and current(lower) (100V/div, 1A/div)

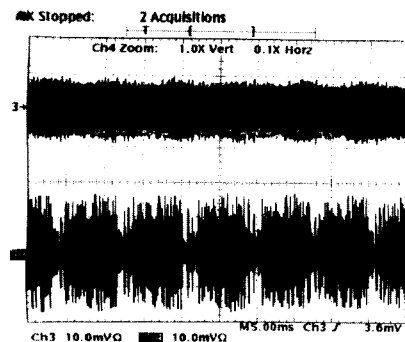


그림 16 램프 전류와 전하 펌프 전류(i_{cp})
Fig. 16 lamp current and charge pump current i_{cp} (0.5A/div, 1A/div)

4. 결 론

본 논문에서는 전압원 방식과 전류원 방식의 공진형

인버터를 이용한 형광등용 전자식 안정기에 적합한 수동 역률 개선 회로를 제안하였다. 전압원 방식에서는 기존의 밸리필 회로를 개선한 새로운 밸리필 회로와 전하 펌프 커패시터를 공진형 인버터와 결합한 구조를 통해 역률 개선을 하였으며 전류원 방식에서는 전력 트랜스포머의 2차측과 전하 펌프 회로를 접목하여 역률개선회로를 구성하였다. 제안된 모든 역률 개선 회로에서 0.99 이상의 역률과 약 10% 정도의 총 고조파 왜율을 보이고 있으며 1.7이하의 램프 전류 CF를 얻을 수 있었다. 따라서 제안된 수동 역률 개선회로는 저가격대로 구성할 수 있는 일반적인 형광등용 전자식 안정기에 매우 적합하며 고기능의 램프 구동 능력을 얻고자 하는 타력식 방식에서도 적절히 적용시킬 수가 있어 전체적인 제품의 가격경쟁력을 높일 수 있다는 장점을 가지고 있다.

(본 논문에서 제안된 역률 개선 회로는 현재 특허 출원중임)

참 고 문 헌

- [1] Y.S. Youn, G. Chae, and G.H. Cho, "A unity power factor electronic ballast for fluorescent lamp having improved valley fill and valley boost converter", *IEEE PESC'97 Record*, pp. 53-59, 1997.
- [2] G. Chae, Y.S. Youn and G.H. Cho, "High power factor correction circuit using valley charge pumping circuit for low-cost electronic ballasts", *IEEE PESC'98 Record*, pp.2003-2008, 1998.
- [3] G. chae, Y.S. Youn and G.H. Cho, "Power factor correction circuit for low-cost electronic ballast using current-source type push-pull resonant inverter", *IEE Electronics Letter*, Mar, Vol.34, No. 6, pp.501-502, 1998.
- [4] Marcio A. Co, Domingos S.L. Simonetti and J.L. Freitas Vieira, "High power factor electronic ballast operating at critical conduction mode", *IEEE PESC'96 Record*, pp.962-968, 1996.
- [5] W. Chen and F.C. Lee, "An improved charge pump electronic ballast with low THD and low crest factor", *IEEE APEC'96 Record*, pp. 622-627, 1998.

저 자 소 개



채 균(蔡均)

1968년 8월 6일생. 1993년 경북대 전자공학 학과 졸업. 1996년 한국과학기술원 전기 및 전자공학과 졸업(석사). 현재 동 대학원 박사과정 재학 중.



류태하(柳泰夏)

1969년 2월 2일생. 1994년 경북대 전자공학 학과 졸업. 1997년 한국과학기술원 전기 및 전자공학과 졸업(석사). 현재 동 대학원 박사과정 재학 중.



조규형(曹圭亨)

1953년 4월 19일생. 1975년 한양대 공대전자공학과 졸업. 1977년 한국과학기술원(KAIST) 전기 및 전자공학과 대학원 졸업(석사). 1981년 동 대학원 졸업(공학박사). 1982년~1983년 Westing house R&D researcher. 1989년~1990년 Univ. of Wisconsin-Madison Visiting Professor. 현재 한국과학기술원(KAIST) 전기 및 전자공학과 교수.