

4-레벨 인버터의 DC-링크 전압 균형을 위한 향상된 전압 제어 기법

論 文

48B - 10 - 4

An Improved Voltage Control Scheme for DC-Link Voltage Balancing in a Four-Level Inverter

金來瑛* · 李요한** · 崔昌鎬*** · 玄東石§

(Rae-Young Kim · Yo-Han Lee · Chang-Ho Choi · Dong-Seok Hyun)

Abstract - Multi-level inverters are now receiving widespread interest from the industrial drives for high power variable speed applications. Especially, for the high power variable speed applications, a diode clamped multi-level inverter has been widely used. However, it has the inherent problem that the voltage of the link capacitors fluctuates. This paper describes a voltage control scheme effectively to suppress the DC-link potential fluctuation for a diode clamped four-level inverter. The current to flow from/into the each link capacitor is analyzed and the operation limit is obtained when a conventional SVPWM is used. To overcome the operation limit, a modified carrier-based SVPWM is proposed. Various simulation and experiment results are presented to verify the proposed voltage control scheme for DC-link voltage balancing.

Key Words : DC-link Balancing, Multi-level Inverter, SVPWM, Variable Speed Drives

1. 서 론

최근 유연송전시스템(FACTS, Flexible AC Transmission system)과 같이 효율적이고 유연한 전력계통의 운용 및 구성을 도모하기 위한 고압 전력기기의 개발 필요성과 전동기 구동 시스템이나, 압연기와 같은 고압 대용량의 가변속, 가변회전력 제어가 요구되는 산업 설비의 발달로 인해 가변 주파수 및 직류-교류 변환을 위한 전력변환장치인 고압 대용량 멀티-레벨 인버터가 널리 연구되고 있다[1]-[3]. 멀티-레벨 인버터가 지니는 장점으로는 첫째로, 많은 수의 직류 전압원의 합성을 통하여 높은 전압 정격을 실현할 수 있으며 둘째, 각 소자의 턴-온 또는 턴-오프시, 직렬 연결할 경우 발생 수 있는 전압 분배 문제가 추가적인 회로없이 해결될 수 있다. 셋째로, 전압의 레벨이 증가함에 따라, 같은 스위칭 주파수에서 출력 전압의 Total Harmonic Distortion(THD)가 비례적으로 감소하게 된다. 뿐만 아니라, 스위칭 과도 상태 동안 발생하는 dv/dt와 Surge 전압의 감소로 인하여, Electro-Magnetic Interference(EMI)가 저감 될 수 있다.

멀티-레벨 인버터중, Diode-Clamped 방식은 다른 구조에 비해 가장 적은 수의 커패시터 뱅크를 사용하고 DC-링크 뱅크의 초기 충전이 용이하며, 독립적인 DC-링크 전압 확보를 위한 절연용 변압기를 필요로 하지 않는 구조적 장점을 지니고 있다. 이로 인하여 전동기 구동 시스템이나 압연기와 같

은 고압 가변속 응용 분야에서는 대표적인 고압 대용량 구동 시스템으로 자리잡고 있다[1]. 그러나 입력 전압원 역할을 하는 DC-링크 뱅크가 여러 개의 커패시터를 직렬 연결한 구조를 지니게 되어 커패시터의 전압이 순시적인 변화를 하게 된다. 이러한 변화에 의해서 발생하는 커패시터들 사이의 전압 차이가 규정된 범위보다 크게 되면 멀티-레벨 인버터의 신뢰성을 보장할 수 없고 출력 특성에 악영향이 발생하여 멀티-레벨 인버터의 장점이 모두 사라지게 된다.

전압 균형을 유지시키기 위한 방법으로 크게 부가적인 회로를 사용하는 방법과 PWM 제어시 전압 균형 유지를 위한 제어 기법을 추가하는 방법으로 구분되며 부가적인 회로의 사용은 비용과 부피 그리고 효율 측면에서 매우 바람직하지 않은 방법으로 알려져, 주로 추가적인 제어 기법을 사용하기 위한 연구가 주로 진행되어 왔다. 이러한 연구는 특히 3-레벨 인버터에 집중되어 고신뢰성을 갖는 여러 가지 제어 기법이 연구, 제안되었다[4]-[6]. 이에 반하여 4레벨 이상의 멀티-레벨 인버터에서는 DC-링크 전압 균형 균형이 추가적인 제어 기법에 의해 유지되기가 매우 어려운 상황이다. 이는 제어 대상이 되는 DC-링크 커패시터의 수가 인버터의 레벨 증가에 따라 선형적으로 증가하고 변조지수(M_d , Modulation Depth)에 따라, 발생된 DC-링크 전압 불균형의 형태가 다르게 나타나기 때문이다[7]-[8]. 지금까지 제안된 4-레벨 인버터의 전압 제어기법을 대략적으로 살펴보면, 다음과 같이 요약할 수 있다.

* 正 會 員 : (株) 曉星 重工業 研究所 研究員

** 正 會 員 : 漢陽大 工大 電氣工學科 博士課程

*** 正 會 員 : POSCON 技術研究所 首席研究員

§ 正 會 員 : 漢陽大 工大 電氣工學科 教授 · 工博

接受日字 : 1999年 4月 27日

最終完了 : 1999年 9月 2日

· Method 1 : 부하와 DC-링크단을 서로 다른 경로를 통해 연결시키는 전압 벡터 Redundancy를 적절히 선택하고 인가 시간을 제어함으로써 DC-링크 전압 균형을 유지하는 제어 기법이 제시되어 널리 연구되고 있다[7]-[10].

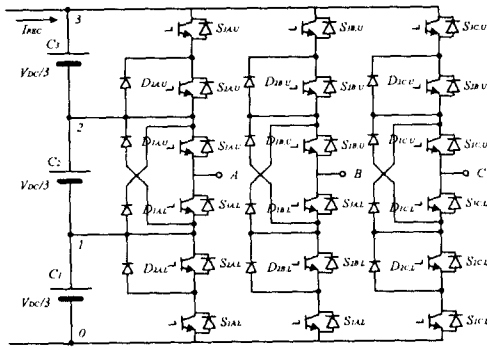


그림 1 Diode Clamped 방식 4-레벨 인버터 구성도
Fig. 1 Structure of a diode clamped four-level inverter.

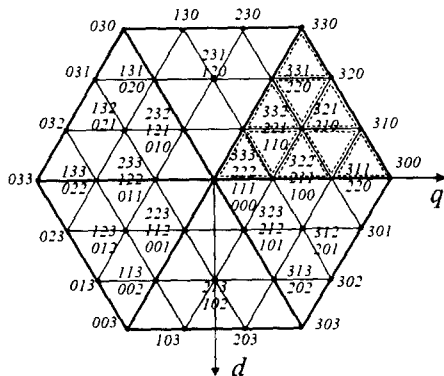


그림 2 4-레벨 인버터에 대한 공간 전압 벡터
Fig. 2 Space voltage vector diagram of a four-level inverter.

그러나 고변조지수에서는 전압 벡터 Redundancy가 최소화하거나 존재하지 않게 되어 DC-링크 전압 균형을 제어할 없는 한계성을 지니게 되어 안쪽에 위치한 커패시터 전압은 계속적으로 감소하고 바깥쪽에 위치한 커패시터 전압은 상승하게 된다. 최근에는 전압 벡터 Redundancy를 부하 전류 방향 정보에 따라 선택함으로써 이러한 한계를 극복한 제어 기법이 제시되었다[11].

· Method 2 : 4-레벨 인버터의 전압 벡터들 중 DC-링크 전압 균형을 유지하는데 적절한 커패시터 전류를 생성하는 Large Small 전압 벡터 그룹과 Large 전압 벡터 그룹에 속하는 전압 벡터들만을 선택적으로 사용함으로써 고변조 지수에서의 한계성을 극복할 수 있는 PWM 기법이 제안되었다[12]. 그러나 제한된 전압 벡터의 사용으로 인해 출력 전압의 Total Harmonic Distortion(THD)가 증가하게 되며 사용된 스위칭 소자의 스위칭 주파수도 증가하게 되는 단점을 지닌다. 뿐만 아니라, 스위칭 패턴을 고려하지 못하여 인접하지 않은 스위칭 상태로 직접 전이하게 된다. 인접하지 않은 스위칭 상태로의 전이는 2개의 스위칭 소자들을 직렬연결하여 동작시키는 것과 동일한 스위칭 방법으로써 스위치 턴-오프시 전압 분배문제를 야기하게 된다.

본 논문에서는 4-레벨 인버터 DC-링크 전압 불균형을 분석하여 전압 벡터 Redundancy에 의한 제어 기법의 제어 한계 영역을 결정짓는 임계 변조 지수(Critical Modulation

표 1 4-레벨 인버터의 스위칭 상태

Table 1 Switching states of a four-level inverter. (X=A,B,C)

State	S _{3X,U}	S _{2X,U}	S _{1X,U}	S _{3X,L}	S _{2X,L}	S _{1X,L}	V _X
3	ON	ON	ON	OFF	OFF	OFF	V _{DC}
2	OFF	ON	ON	ON	OFF	OFF	2V _{DC} /3
1	OFF	OFF	ON	ON	ON	OFF	V _{DC} /3
0	OFF	OFF	OFF	ON	ON	ON	0

표 2 크기에 따른 4-레벨 인버터의 전압 벡터 분류

Table 2 Classified voltage vectors of a four-level inverter.

Group	Voltage vector states and redundancy					
	(333)	(222)	(111)	(000)		
ZVVs	(322)	(332)	(232)	(233)	(223)	(323)
sSVVs	(211)	(221)	(121)	(122)	(112)	(212)
	(100)	(110)	(010)	(011)	(001)	(101)
lSVVs	(321)	(231)	(132)	(123)	(213)	(312)
	(210)	(120)	(021)	(012)	(102)	(201)
sMVVs	(311)	(331)	(131)	(133)	(113)	(313)
	(200)	(220)	(020)	(022)	(002)	(202)
lMVVs	(310), (320), (230), (130), (031), (032)					
	(023), (013), (103), (203), (302), (301)					
LVVs	(300), (330), (030), (033), (003), (303)					

Depth)를 결정한다. 이는 변조 지수와 부하 역률(출력 전압과 부하 전류의 위상차)에 의해 달라지게 되며 각 DC-링크 커패시터에 흐르는 전류를 분석함으로써 이를 해석하였다. 뿐만 아니라, 이러한 분석을 통해 변조지수와 부하 역률이 DC-링크전압 불균형에 어떠한 영향을 미치는가를 파악하고 지금까지 제안되었던 제어 기법들의 문제점을 해결하거나 최소화 시킬 수 있는 새로운 전압 제어 기법을 제안한다. 제안된 기법은 변조지수에 따라 저변조지수 제어 모드(Low Modulation Depth Control Mode)와 고변조지수 제어 모드(High Modulation Depth Control Mode)로 정의된 두 개의 전압 제어 기법으로 구성되며 인버터의 출력전압에 급격한 레벨 변화를 야기하지 않고, 변조지수와 검출된 부하 전류에 따라 DC-링크 전압 균형을 위한 적절한 전압벡터를 선택, 사용한다. 제안된 4-레벨 인버터 DC-링크 전압 균형 제어를 위한 제어 기법의 타당성과 우수성을 다양한 시뮬레이션과 실험을 통해 검증하고자 한다.

2. Diode Clamped 방식 4-레벨 인버터

그림 1에는 4-레벨 인버터의 전체 구성도를 보여주고 있다. 인버터의 각 상은 6개의 주 스위칭 소자와 이에 병렬로 접속되어 유도성 부하를 위한 지상전류의 연속된 경로를 확보해 주는 6개의 역병렬 다이오드(FWD, Freewheeling Diode)로 구성되어 있다. DC-링크 커패시터 뱅크는 직렬 연결된 3개의 커패시터에 의해 구성되어 있으며 4개의 브랜치 다이오드(Branch Diode)에 의해 각 커패시터의 전압을 출력으로 클램핑함으로써 4-레벨의 출력 전압을 얻게된다. 4-레벨 인버터의 브랜치 다이오드는 3-레벨 인버터와 다르게 일부의 브랜치 다이오드에 불균형적인 전압 정격이 요구된다. 3-레벨 인버터의 경우, 정상상태시 브랜치 다이오드에 부가

되는 차단전압의 크기가 동일하나 4-레벨 인버터에서는 외측에 위치한 경우에는 $V_{DC}/3$ 의 정격전압이, 내측에 위치한 경우에는 $2V_{DC}/3$ 의 전압 정격이 요구된다. 이러한 브랜치 다이오드의 차단 전압의 차이는 레벨이 증가할수록 비례적으로 증가한다.

표 1은 인버터의 스위칭 상태에 따른 출력 전압을 나타내고 있다. 이들 스위칭 상태는 2에서 0과 같이 인접하지 않은 스위칭 상태로 직접 전이는 허용되지 않는다. 따라서 반드시 1의 인접한 스위칭 상태를 거쳐 0에서 1 그리고 1에서 2로의 인접된 스위칭 상태 전이를 거쳐야 한다. 인접하지 않은 스위칭 상태 전이는 2-레벨 인버터 구조에서 2개의 스위칭 소자를 직렬연결 하여 동작시키는 것과 동일한 스위칭 방법으로써 스위치 턴-오프시 각 직렬 연결된 스위치에 전압 분배 문제를 발생시킬 수 있다. 3상의 스위칭 상태를 조합은 $64(=4^3)$ 개의 전압 벡터를 만들 수 있다. 각 스위칭 모드의 출력 전압을 공간 전압 벡터도로 표시하면 그림 2와 같이 나타낼 수 있다. 공간 벡터도는 6개의 영역으로 나누어지며 이러한 영역은 전압 벡터에 의해 9개의 작은 구역으로 나누어진다. 각 전압 벡터들은 그 크기에 따라 다섯 종류로 구분될 수 있으며 이를 표 2에 나타내었다. 각 전압 벡터 그룹에서 같은 방향을 갖는 전압 벡터들을 통상 전압 벡터 Redundancy라고 정의하며 그 수는 ZVV_s 네 가지, $sSVV_s$ 세 가지, $LSVV_s$ 와 $sMVV_s$ 는 각각 두 가지 그리고 $LMVV_s$ 와 LVV_s 는 한 가지를 가지게 된다.

3. DC-링크 전압 불균형 분석

3.1 Carrier-Based SVPWM 기법[13]

본 논문에서 DC-링크 전압 불균형의 분석은 [13]에서 서술된 Carrier-Based SVPWM에 기본을 두고 있다. 지령 전압 V_q, V_d 는 식 (1)에 가상 상전압 V_A, V_B 그리고 V_C 로 변환된다. 식 (2)에 의해 V_{OFF} 를 계산한 후, 식 (3)에 의해 결과적인 실효 상전압 V_{AE}, V_{BE} 그리고 V_{CE} 가 얻어진다. 최종적인 스위칭 신호는 수직으로 배치된 동일 위상의 삼각파 Carrier와 실효 상전압을 비교함으로써 얻어질 수 있다. 여기서, V_{DC} 는 전체 DC-링크 전압이며 V_{MAX} 와 V_{MIN} 은 각각 세 개의 가상 상전압 중 최대, 최소 전압이다.

$$\begin{bmatrix} V_A \\ V_B \\ V_C \end{bmatrix} = \begin{bmatrix} 1 & 0 \\ -1/2 & +\sqrt{3}/2 \\ -1/2 & -\sqrt{3}/2 \end{bmatrix} \begin{bmatrix} V_q \\ V_d \end{bmatrix} \quad (1)$$

$$V_{OFF} = 0.5 \cdot (V_{DC} - V_{MAX} - V_{MIN}) \quad (2)$$

$$V_{AE, BE, CE} = V_{A, B, C} + V_{OFF} \quad (3)$$

DC-링크 전압 균형 제어를 위해 널리 사용되고 있는 전압 벡터 Redundancy의 인가 시간 제어 방법(Method 1)은 제안한 Carrier-Based SVPWM에서 식 4와 같이 또다른 직류 전압 오프셋(V_{BAL})을 유효전압에 추가함으로써 구현될 수 있다.

$$V_{AS, BS, CS} = V_{AE, BE, CE} + V_{BAL} \quad (4)$$

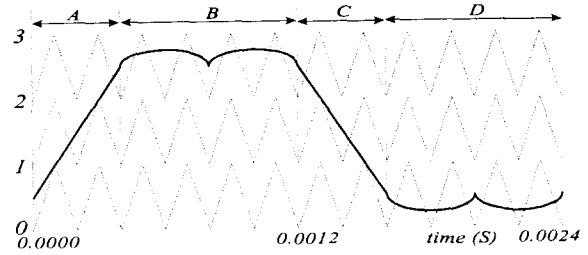


그림 3 Carrier-Based SVPWM의 유효 상전압 파형
Fig. 3 The effective phase voltage waveform of a carrier-based SVPWM.

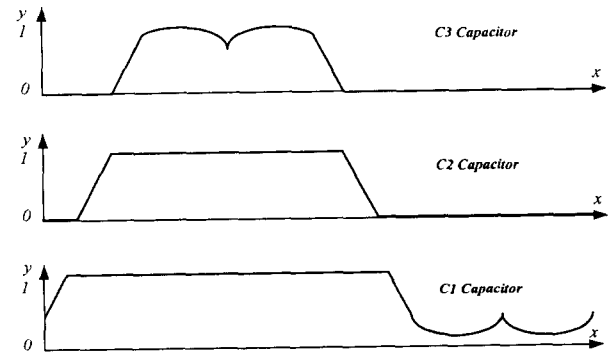


그림 4 각 커패시터에 대한 전류 도통 패턴
Fig. 4 Capacitor current conduction patterns.

3.2 DC-링크 커패시터 전압 추이 분석

그림 3에는 식 4에 표현된 한주기 동안의 한상 유효 상전압 파형과 삼각파 Carrier가 나타나 있다. 유효 상전압 파형의 세로축은 $V_{DC}/3$ 의 비로써 규준화 되어 있고 V_{BAL} 은 0이다. 그림 4에는 유효 상전압 파형으로부터 얻어진 각 커패시터의 전류 도통 패턴이 나타나 있다. 이들은 커패시터에 부하 전류가 흐르는 상대적인 시간의 양을 나타내며 부하 전류와 곱을 통해 실제 커패시터에 흐르는 전류를 얻을 수 있다. 그러나 유효 상전압 파형은 비선형적인 분포를 나타내고 있어 M_d 와 V_{BAL} 을 변수로 하는 일반화된 전류 도통 패턴의 식을 구해내는 것은 매우 어려운 일이다. 따라서 기준 전압 파형을 분석함으로써 적절한 근사화 작업이 필요하게 된다.

그림 3의 기준 전압 파형은 크게 네 개의 부분으로 구성되어 있다. A와 C는 M_d 와 관계없이 언제나 전체 한 주기의 기준 전압 파형에 1/6에 해당하며 그 높이가 $2.25 \cdot M_d \cdot (M_d - 1)$ 로 표현되는 직선으로 근사화될 수 있다[14]. 나머지 B와 D에 해당하는 곡선 부분도 근사화된 직선으로 나타낸다. 근사화로 인한 오차를 줄이기 위해 높이는 B와 D에서의 최대점과 최소점의 중심이 되는 평균 지점 사이의 거리로 정의하고 가로축의 길이는 A와 B 그리고 C와 D의 두개의 근사화된 직선이 만나는 교점에 의해 결정된다. 결과적으로 유효 상전압 파형은 그림 5와 같은 사다리꼴 파형으로 나타난다. 이때 계산 과정의 편리성을 위해 수평축에서의 $\pi/9$ radian이 1에 해당되도록 규준화시켰다. 근사화된 기준 전압 파형을 결정짓는 중요한 변수들은 다음과 같이 나타낼 수 있다. 이때, k 는 $V_{DC}/3$ 의 비로 규준화된 V_{BAL} 을 나타낸다.

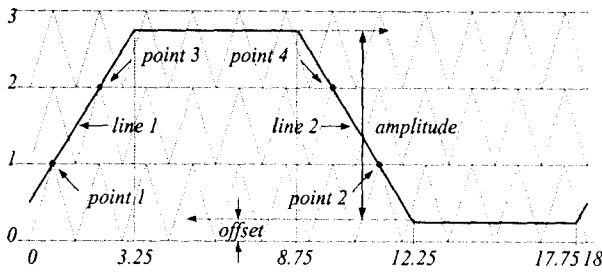


그림 5 근사화된 유효 상전압 파형
Fig. 5 An approximated effective phase voltage.

사다리꼴의 높이 : $2.625 \cdot M_d$

사다리꼴의 오프셋 (ρ) : $1.5 - 1.3125 \cdot M_d + k$

Line 1: $y = (2.25 \cdot M_d / 3) \cdot x + (1.5 - 1.125 \cdot M_d) + k$

Line 2: $y = (2.25 \cdot M_d / 3) \cdot (12 - x) + (1.5 - 1.125 \cdot M_d) + k$

Point 1 (δ_1) : $(3/2.25/M_d) \cdot (-0.5 - 1.125 \cdot M_d - k)$

Point 2 (δ_2) : $(-3/2.25/M_d) \cdot (-0.5 - 7.875 \cdot M_d - k)$

Point 3 (δ_3) : $(3/2.25/M_d) \cdot (0.5 + 1.125 \cdot M_d - k)$

Point 4 (δ_4) : $(-3/2.25/M_d) \cdot (0.5 - 7.875 \cdot M_d - k)$

이러한 변수들로부터 각 커패시터에 대한 일반화된 전류 도통 패턴 $f_{C1}(x), f_{C2}(x), f_{C3}(x)$ 이 구해질 수 있다.(부록 참조) 이로부터 각 커패시터에 흐르는 순시 전류가 식 5와 같이 얻어질 수 있다.

$$\begin{bmatrix} i_{inv,C1}(t) \\ i_{inv,C2}(t) \\ i_{inv,C3}(t) \end{bmatrix} = \begin{bmatrix} f_{C1}(x) & f_{C1}(x-6) & f_{C1}(x-12) \\ f_{C2}(x) & f_{C2}(x-6) & f_{C2}(x-12) \\ f_{C3}(x) & f_{C3}(x-6) & f_{C3}(x-12) \end{bmatrix} \begin{bmatrix} i_A(t) \\ i_B(t) \\ i_C(t) \end{bmatrix} \quad (5)$$

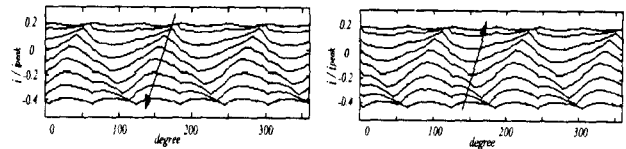
정류기로부터 유입되는 전류는 부하 전류에 의해 발생된 DC-전압의 전체적인 변동을 억제하기 위해 모든 커패시터에 공통적으로 흐르게 되며 이는 식 6과 같이 표현될 수 있다. 각 커패시터에 흐르는 전체적인 전류는 식 7과 같이 이들의 합으로 주어지게 된다.

$$i_{REC}(x) = (-1/3) \cdot (i_{C1}(x) + i_{C2}(x) + i_{C3}(x)) \quad (6)$$

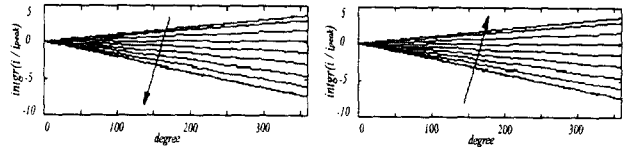
$$i_{C1,C2,C3}(x) = i_{inv,C1,C2,C3}(x) + i_{rec}(x) \quad (7)$$

그림 6부터 8까지는 V_{BAL} 을 변화시켰을때의 가운데 위치한 커패시터(C2 커패시터)의 전류 추이와 이러한 커패시터 전류에 의한 전압 변동 추이(전류 적분치)를 보여주고 있다.

변조지수 M_d 는 각각 0.3, 0.5 그리고 0.85이고 출력 전압과 부하 전류 사이의 위상차는 0이며 수직축은 부하전류의 최대치의 비로 규준화 하였다. 그림 6(a)와 (b)를 살펴보면 $V_{BAL}(k)$ 가 변화함에 따라 커패시터 전류의 직류 오프셋 성분이 변화하여 전류 분포가 양의 값부터 음의 값까지 전범위에 걸쳐 존재하게 되어 그림 6(c)와 (d)에 나타난 것과 같이 커패시터 전압이 V_{BAL} 에 따라 증가하거나 감소하게 된다. 이는 변조지수가 작은 경우 V_{BAL} 에 의해 가운데 위치한 커패시터의 전압을 제어 할 수 있음을 의미한다. 그림 7(a)와 (b)를 살펴보면 전류가 주로 음의 영역에 분포함을 알 수 있다.



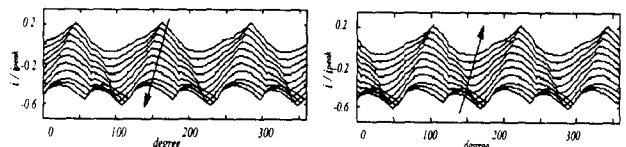
(a) $-100\% < V_{OFF}(k) < 0\%$ (전류) (b) $0\% < V_{OFF}(k) < +100\%$ (전류)



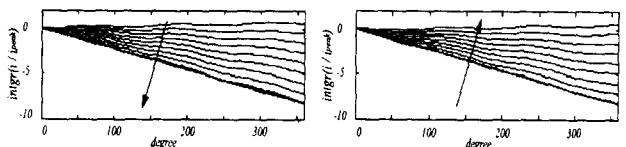
(c) $-100\% < V_{OFF}(k) < 0\%$ (전압) (d) $0\% < V_{OFF}(k) < +100\%$ (전압)

그림 6 C2 커패시터의 전류, 전압의 추이 ($M_d=0.3$)

Fig. 6 A behavior of C2 capacitor current and voltage with varied $V_{OFF}(k)$. ($M_d=0.3$)



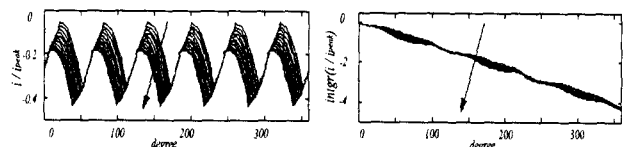
(a) $-100\% < V_{OFF}(k) < 0\%$ (전류) (b) $0\% < V_{OFF}(k) < +100\%$ (전류)



(c) $-100\% < V_{OFF}(k) < 0\%$ (전압) (d) $0\% < V_{OFF}(k) < +100\%$ (전압)

그림 7 C2 커패시터의 전류, 전압 변동의 추이 ($M_d=0.5$)

Fig. 7 A behavior of C2 capacitor current and voltage with varied $V_{OFF}(k)$. ($M_d=0.5$)



(a) $-100\% < V_{OFF}(k) < 100\%$ (전류) (b) $-100\% < V_{OFF}(k) < 100\%$ (전압)

그림 8 C2 커패시터의 전류, 전압 변동의 추이 ($M_d=0.85$)

Fig. 8 A behavior of C2 capacitor current and voltage with varied $V_{OFF}(k)$. ($M_d=0.85$)

그러나 양의 영역에 분포하는 전류 성분에 의해 커패시터 전압을 증가시킬 수 있는 가능성이 존재함을 그림 7(c)와 (d)에서 살펴 볼 수 있다. 따라서 변조지수 0.5의 경우도 V_{BAL} 에 의해 커패시터의 전압이 제어 될 수 있음을 알 수 있다. 반면 변조지수가 0.85인 그림 8(a)를 살펴보면 안쪽에 위치한 커패시터의 전류는 모두 음의 영역에 분포하게 되고 따라서 그림 8(b)와 같이 커패시터의 전압은 계속적으로 줄어들게 된다. 변조지수가 큰 경우, 직류 전압 오프셋에 의해서는 커패시터의 전압 불균형을 제어하는 것이 불가능함을 의미하며

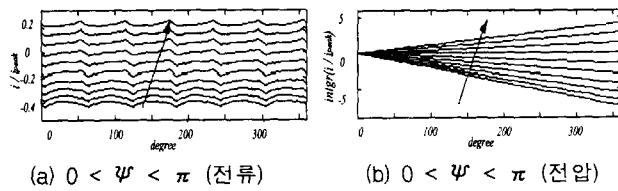


그림 9 C2 커패시터의 전류와 전압 변동의 추이 ($M_{\sigma}=0.3$)
 Fig. 9 A behavior of inner capacitor current and voltage with varied deviation angle(Ψ). ($M_{\sigma}=0.3$)

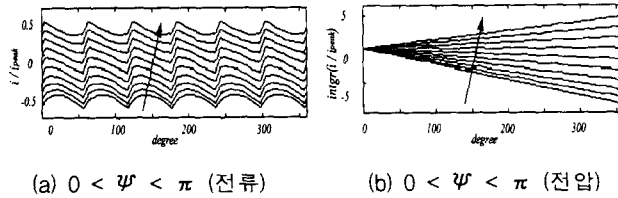


그림 10 C2 커패시터의 전류와 전압 변동의 추이 ($M_{\sigma}=0.5$)
 Fig. 10 A behavior of inner capacitor current and voltage with varied deviation angle(Ψ). ($M_{\sigma}=0.5$)

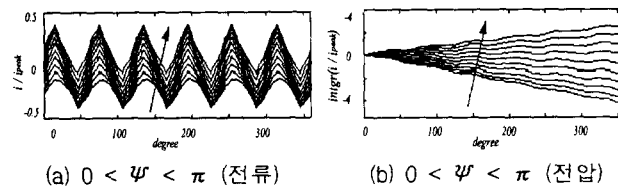


그림 11 C2 커패시터의 전류와 전압 변동의 추이 ($M_{\sigma}=0.85$)
 Fig. 11 A behavior of inner capacitor current and voltage with varied deviation angle (Ψ). ($M_{\sigma}=0.85$)

이 경우, 전압 불균형의 추이가 안쪽 커패시터의 전압은 계속적으로 감소하고 두개의 바깥쪽 커패시터는 계속적으로 상승하는 형태로 진행되게 된다.

그림 9과 그림 10 그리고 그림 11은 Ψ 를 변화시켰을 때의 안쪽 커패시터(C2 커패시터)에서 전류와 전압 분포를 보여준다. Ψ 가 증가함에 따라 커패시터 전류의 직류 오프셋 성분도 증가하여 변조 지수에 관계없이 전류는 음과 양의 전 영역에 고루 분포하게 된다. 커패시터 전압도 Ψ 가 증가함에 따라 거의 선형적으로 증가하게 됨을 알 수 있다. 고변조지수에서 안쪽 커패시터 전압의 불균형이 주로 감소하는 방향으로 발생됨을 고려한다면 4-레벨 인버터 시스템에 사용되는 부하가 출력 전압과 부하 전류의 위상차(Ψ)를 크게 만드는 저역률 부하일 때 V_{BAL} 에 의해 불균형을 제어할 수 있는 영역이 늘어나게 될 것임을 알 수 있다.

그림 12은 V_{BAL} 에 의해 가운데 위치하는 커패시터의 전압 불균형을 제어될 수 있는 영역을 보여주고 있다. 전압 불균형 제어 영역에서는 V_{BAL} 이 변화함에 따라 커패시터의 전류가 양과 음의 전 영역에 존재하게 되어 적절한 V_{BAL} 을 실효 상전압에 추가함으로써 가운데 위치한 커패시터의 전압을 제어할 수 있음을 의미한다. 전압 제어 불가능 영역은 커패시터의 전류가 양이나 음의 한쪽 영역에 위치하여 이러

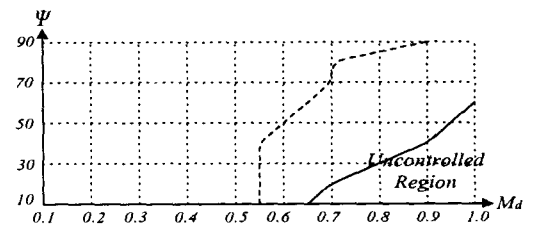


그림 12 변조지수와 위상차에 따른 C2 커패시터 전압 제어
 Fig. 12 A C2 capacitor voltage control region according to modulation depth and deviation angle(Ψ).

한 제어가 불가능함을 나타낸다. 그러나 DC-링크단을 구성하는 3개의 커패시터 각각에 대해 전압 제어가 이루어지는 경우 제어 가능한 영역은 더욱 작아지게 되며 이는 V_{BAL} 을 얻어내는 방법에 의해 달라질 수가 있다. 그림 12에 나타난 점선은 앞으로 논의될 저변조 제어 모드를 시뮬레이션을 통하여 구해진 제어 불가능 영역을 나타낸다. 또한 이들 제어 불가능 영역을 살펴 보면 변조지수가 증가하거나 반대로 Ψ 가 작아짐에 따라 점차 늘어나는 것을 알 수 있다. 이러한 제어 불가능 영역의 성질은 앞에서 설명한 커패시터 전류의 변화 추이에 의해 설명될 수 있다.

4. 저변조지수에서의 전압 균형 제어 기법

전술한 바와 같이 저변조지수에서는 실효 상전압에 동일한 크기를 지닌 직류 전압 오프셋을 추가함으로써 DC-링크 커패시터의 전압을 제어할 수 있다. 따라서 본 장에서는 직류 전압 오프셋을 이용하여 세 개의 커패시터 전압의 불균형을 제어하기 위한 기법을 제안한다. 일반적으로 제어기로는 지령치와 실측치의 에러를 제한하여 이를 보상하는 PI제어기가 널리 사용되고 있으나, 4-레벨 인버터의 DC-링크 제어와 같이 커패시터의 전류를 제어하는 시스템에서 PI제어기를 사용되면, 극점(Pole)의 위치에 따라 제어기가 불안정하게 되어 특정 제어 영역에서는 제어기를 사용하지 못하게 된다[15]. 따라서 본 연구에서는 이러한 시스템의 특성을 감안하여 지령 전압 벡터의 샘플링 주기 T_s 후의 DC-링크 커패시터 전압 변동을 예측함으로써 전압을 제어하는 피드-포워드 제어기를 제안한다.

4.1 전압 변동 예측

DC-링크 커패시터 전압을 예측하기 위해 다음과 같은 가정을 도입한다. 기준 전압 벡터의 샘플링 주파수가 출력 전압 주파수에 비하여 충분히 크다면 4-레벨 인버터의 부하 전류는 샘플링 시간동안 변화하지 않는다고 볼 수 있다. 이러한 가정은 4-레벨 인버터가 대용량의 유도 전동기와 같은 인덕턴스 부하를 가진 경우 더욱 타당할 수 있다. 유효 상전압의 크기는 각 커패시터에 흐르는 전류의 도통 시간을 결정하게 되며 이는 식 8과 같이 표현할 수 있다. DC-링크의 각 커패시터의 용량이 C라면 부하 전류와 커패시터 회로 방정식으로 부터 각 커패시터에 흐르는 전류에 의한 전압 변동을 식 9와 같이 구할 수 있다. 전술한 바와 같이 커패시터의 전압

변동은 부하 전류뿐만 아니라 정류기로부터 유입된 전류에 의해서도 발생되며 식 6과 커패시터 회로 방정식으로부터 이를 표현할 수 있다. 따라서 샘플링 주기 T_s 후의 DC-링크 커패시터 전압 변동은 식 9와 식 6의 합으로 주어지며 식 10과 같이 나타낼 수 있다.

$$H_{C1,C2,C3} = \begin{bmatrix} \eta(t_A) & \eta(t_B) & \eta(t_C) \\ \eta(t_A-1) & \eta(t_B-1) & \eta(t_C-1) \\ \eta(t_A-2) & \eta(t_B-2) & \eta(t_C-2) \end{bmatrix} \quad (8)$$

$$V_{inv,C1,C2,C3} = (T_s/C) \cdot H_{C1,C2,C3} \cdot I_{A,B,C} \quad (9)$$

$$V_{C1,C2,C3} = (T_s/C) \cdot L \cdot H_{C1,C2,C3} \cdot I_{A,B,C} \quad (10)$$

여기서,

$$H_{C1,C2,C3} = \begin{bmatrix} \eta(t_A) & \eta(t_B) & \eta(t_C) \\ \eta(t_A-1) & \eta(t_B-1) & \eta(t_C-1) \\ \eta(t_A-2) & \eta(t_B-2) & \eta(t_C-2) \end{bmatrix}$$

$$L = \begin{bmatrix} 2/3 & 1 & 1 \\ 1 & 2/3 & 1 \\ 1 & 1 & 2/3 \end{bmatrix}$$

$$t_{A,B,C} = 3 \cdot V_{AS,BS,CS} \div V_{DC}$$

4.2 저변조 제어 모드

최적의 직류 전압 오프셋은 기준 전압 벡터의 샘플링 시간 동안 각각의 DC-링크 커패시터의 전압 변동을 억제시켜 0으로 만드는 값으로 이는 식 10을 역으로 계산하여 구할 수 있다. 그러나 이러한 방법에 의해 전압 오프셋을 해석적으로 구하는 것은 매우 어려운 일이며 언제나 유효한 것은 아니다. 유효 상전압과 직류 전압 오프셋의 합이 0에서 V_{DC} 사이에 존재하지 않게 되는 경우가 있기 때문이다. 따라서 이러한 접근방법은 실제 적용에 적합하지 않게 된다.

따라서 본 논문에서는 최적의 직류 전압 오프셋을 실시간으로 계산하는 방법이 아닌 미리 정해진 3개의 직류 전압 오프셋에 대한 전압 변동을 식 10으로부터 예측하여 전압 변동을 억제할 수 있는 직류 전압 오프셋을 선택하는 방법을 사용한다. 이때 사용되는 직류 전압 오프셋은 유효 상전압과의 합이 언제나 0과 V_{DC} 사이에 존재하며 이는 식 11과 같이 계산되어진다.

$$\begin{aligned} PVO &: (V_{DC} - V_{MAX}) - \eta_2 (V_{DC} - V_{MAX}) \\ NVO &: -(V_{DC} - V_{MAX}) + \eta_2 (V_{DC} - V_{MAX}) \\ ZVO &: 0 \end{aligned} \quad (11)$$

$$\text{이때, } \eta_2 = 0.5 \cdot (|x - V_{DC}/3| - |x - 2 \cdot V_{DC}/3| + V_{DC}/3)$$

그림 13은 제안한 저변조지수 제어 모드의 블록도가 보여지고 있다. 벡터 제어기로부터 출력된 지령전압 V_d^* , V_q^* 으

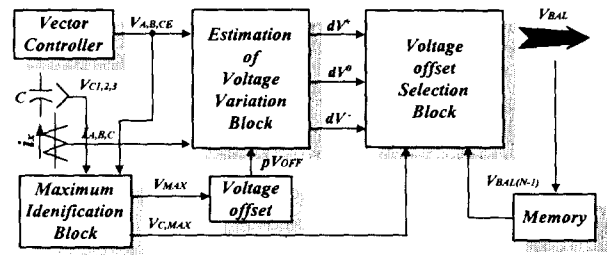


그림 13 제안된 저변조 지수 제어 모드의 블록도

Fig. 13 A block diagram of proposed low modulation depth control scheme..

로부터 얻어진 유효 상전압 V_{AE} , V_{BE} , V_{CE} 와 전압 센서에 의해 측정된 DC-링크 커패시터 전압 V_{C1} , V_{C2} , V_{C3} 가 MIB (Maximum Identification Block)으로 입력되어 각각의 최대 유효 상전압 V_{MAX} 와 최대 커패시터 전압 $V_{C,MAX}$ 를 출력한다. 출력된 최대 유효 상전압 V_{MAX} 으로부터 식 11을 이용하여 다음번 샘플링 시간 T_s 동안의 최적 직류 전압 오프셋을 선택하기 위한 세 개의 미리 정해진 직류 전압 오프셋 PVO , ZVO , NVO 을 계산한다. 최대 커패시터 전압 $V_{C,MAX}$ 는 최적 직류 전압 오프셋을 선택하는 기준 커패시터 전압으로 사용된다. 즉 최적 직류 전압 오프셋은 3개의 커패시터 전압의 변동을 동시에 억제하는 것이 아니라 가장 큰 전압 변동을 가진 1개의 커패시터 전압의 변동을 억제하게 된다. 부하측에 장착된 전류 센서로부터 측정된 I_A , I_B 와 이로부터 계산된 IC는 유효 상전압 V_{AE} , V_{BE} , V_{CE} 와 직류 전압 오프셋 PVO , ZVO , NVO 와 함께 $EVVB$ (Estimation of Voltage Variation Block)로 입력되어 식 10에 의해 각각의 직류 전압 오프셋 PVO , ZVO , NVO 이 유효 상전압에 더해진 경우의 전압 변동 dV^* , dV^0 , dV 을 예측하여 출력하게 된다. 출력된 전압 변동 dV^* , dV^0 , dV 을 최대 커패시터 전압 $V_{C,MAX}$ 와 비교하여 가장 큰 전압 변동을 가진 커패시터에 최적인 직류 전압 오프셋 V_{BAL} 을 $VOSB$ (Voltage Offset Selection Block)에서 출력한다. 이렇게 구해진 최적 직류 전압 오프셋 V_{BAL} 과 유효 상전압 V_{AE} , V_{BE} , V_{CE} 를 더하고 3개의 수직으로 배치된 삼각파와 비교하여 최종적인 스위칭 신호를 만들어 낸다.

만약 최적 직류 전압 오프셋 V_{BAL} 이 PVO 에서 NVO 로 또는 그와 반대인 NVO 에서 PVO 로 직접 변화되도록 선택된다면 인접하지 않은 스위칭 상태로의 천이가 발생한다. 따라서 이와 같은 인접하지 않은 상태로의 천이를 막기 위해 그림 13의 MB (Memory Block)에서 이전 샘플링 시점의 직류 전압 오프셋 $V_{BAL}(N-1)$ 을 출력하여 $VOSB$ (Voltage Offset Selection Block)에 입력한다. 만약 $VOSB$ 에서 선택된 직류 전압 오프셋이 인접하지 않은 스위칭 상태로의 천이를 발생시킬 수 있다면 최적 직류 전압 오프셋은 ZVO 로 바뀌게 되어 다음번 샘플링 시점에서의 전압 오프셋 선택 가능성을 증가시킨다.

그림 12에서 살펴 볼 수 있듯이 제안한 제어기는 피드백이 전혀 사용되지 않고 피드-포워드 성분으로만 구성되어 있다. 따라서 빠른 응답특성을 나타내고 PI-제어기와는 달리 이득 (Gain)을 선정할 필요가 없으며 극점의 위치에 따른 시스템의 불안정성을 대폭 감소시킬 수 있다.

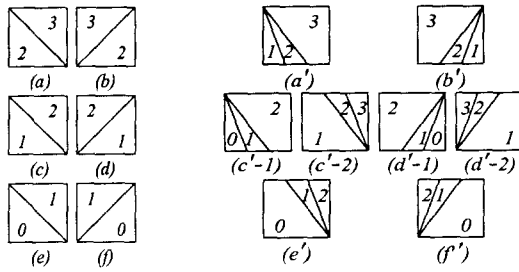


그림 14 기존의 삼각파 Carrier와 수정된 삼각파 Carrier
 Fig. 14 Conventional carrier waveforms and modified carrier waveforms.

5. 고변조지수에서의 전압 균형 제어 기법

식 5에서 볼수 있는 바와 같이 커패시터에 흐르는 전류는 전류 도통 패턴과 순시적인 부하 전류에 의해서 결정되게 된다. 부하 전류는 출력 전압과 부하 전류 사이의 위상차 ψ 인 역률에 의존하는 함수가 된다. 반면 전류 도통 패턴은 직류 전압 오프셋 V_{BAL} 과 삼각파 Carrier에 의존한다. 이때 위상차 ψ 인 역률은 부하인 기기의 상태에 의해 결정되기 때문에 인위적인 제어가 불가능하다. 뿐만 아니라, 이미 살펴 본 바와 같이 V_{BAL} 은 고변조 지수에서는 전류 도통 패턴에 미치는 영향이 미비하여 커패시터 전압을 제어하기 위한 방법으로 제시될 수 없다. 그러므로 유일한 해결책은 삼각파 Carrier를 수정하는 것이며 이를 사용한 PWM을 Modified Carrier-Based SVPWM으로 정의한다.

5.1 Modified Carrier-Based SVPWM

삼각파 Carrier를 수정하는데 있어서 중요하게 고려해야 하는 것은 수정된 Carrier가 기존의 삼각파 Carrier에 의해 발생된 유효 상전압과 똑같은 크기를 갖는 전압을 발생시킬 수 있어야 한다는 것이다. 이것은 기존의 삼각파 Carrier에서 샘플링 시간 T_s 동안 하나의 스위칭 상태를 유지했던 것을 3개의 스위칭 상태로 나누어 각각의 스위칭 상태가 $T_s/3$ 동안 유지되도록 함으로써 구현될 수 있다.

그림 14은 기존의 삼각파 Carrier와 이에 해당하는 수정된 Carrier를 보여 주고 있다. 이들은 각 커패시터의 전류 도통 패턴에 영향을 주어 커패시터로 흐르는 전류를 변화시키게 된다. 표 3에는 수정된 Carrier가 사용되었을 때 각 커패시터의 전류 도통 패턴의 변화를 보여준다. (+: 증가 - : 감소 0 : 변화 없음) 표 4는 부하 전류의 방향과 이러한 전류 도통 패턴의 변화를 고려했을 때 안쪽 커패시터 전압을 증가시키기 위한 일부의 룩-업 테이블을 보여주고 있다. U, M, L은 실효 상전압의 위치를 나타내며 (예를 들어 U는 실효상전압이 V_{DC} 사이에 위치함을 의미한다.) P, N은 부하 전류의 방향을 나타낸다. (예를 들어 P는 전류가 커패시터에서 부하로 흘러 나감을 의미한다.) 수정된 Carrier를 사용하는 Modified Carrier-Based SVPWM은 기존의 Carrier-Based SVPWM과 달리 기준 전압 벡터를 생성하는데 인접한 전압 벡터와 인접하지 않은 전압 벡터를 동시에 사용하게 된다. 이러한 전압 벡터들 특히, 인접하지 않은 전압 벡터들은 DC-링크 커패시터의 전압 변동을 억제하는데 기여한다.

표 3 커패시터 전류 도통 패턴 변화

Table 3 Change of capacitor current conduction pattern.

Capacitor	Modified Triangle Carriers							
	a'	b'	c'-1	c'-2	d'-1	d'-2	e'	f'
C3	+	+	0	+	0	+	0	0
C2	-	-	+	-	+	-	+	+
C1	+	+	-	+	-	+	-	-

표 4 C2 커패시터 전압 제어를 위한 룩-업 테이블

Table 4 Look-up table for the control of C2 capacitor voltage.

V_X	U	U	M	M	L	L
I_X	P	N	P	N	P	N
Optimal carrier	a'	a	c'-2	c'-1	e	e'
	b'	b	d'-2	d'-1	f	f

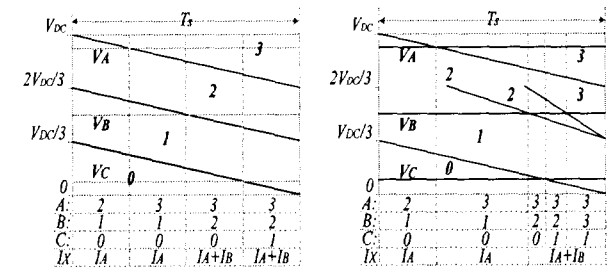


그림 15 기존의 삼각파 Carrier와 수정된 삼각파 Carrier에 의한 전압 벡터와 C2 커패시터 전류

Fig. 15 Voltage vector and C2 capacitor current by means of conventional carrier and modified carrier.

그림 15에는 기존의 Carrier-Based SVPWM과 Modified Carrier-Based SVPWM에서 각각 사용된 전압 벡터들과 이러한 전압 벡터에 의해 안쪽 커패시터로 흐르는 전류를 나타내고 있다. 이 경우는 안쪽에 위치한 커패시터를 증가시키기 위한 경우로 실효상전압 V_{AE} , V_{BE} , V_{CE} 는 $0.916V_{DC}$, $0.5V_{DC}$, $0.084V_{DC}$ 이며 부하 전류 I_A , I_B , I_C 의 방향은 N, P, P이다.(P는 커패시터로부터 부하로 전류가 흐르는 것을 의미하여 N은 부하로부터 커패시터로 흘러 들어오는 것을 의미한다.) 그림 15(a)와 (b)를 비교해보면 안쪽에 위치한 커패시터에 I_A 를 도통시켜 전압을 증가시키는데 기여하는 310 전압 벡터의 인가 시간이 크게 증가하였고 이에 반대되는 영향을 미치는 전압 벡터의 인가 시간은 감소되었음을 알 수 있다. 그러므로 안쪽에 위치한 C2 커패시터 전압이 증가하게 되어 전압 불균형을 제어 할 수 있다.

제안한 Modified Carrier-Based SVPWM은 단지 2가지 경우에서만 인접하지 않은 스위칭 상태로의 천이가 발생한다. 이러한 경우는 유효 상전압이 그림 14의 (c'-2)에서 (f)로 이동하거나 (d'-1)에서 (b)로 이동할 때 발생한다. 이러한 인접하지 않은 스위칭 상태로의 천이는 (c'-2)의 경우 스위칭 상태 2를, (d'-1)은 스위칭 상태 1을 절반으로 나누어 샘플링 시간의 끝에 위치하도록 수정함으로써 고려할 수 있다.

5.2 고변조 제어 모드의 스위칭 주파수와 고조파 검토

표 5 위상차에 따른 스위칭 횟수 비교

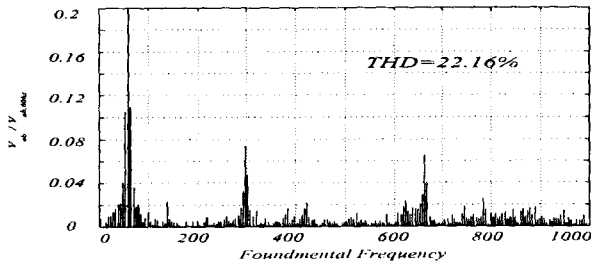
Table 5 A comparison of switching number according to deviation angle.

Angle	10	30	50	70	90	SVM
No. of switching	73	72	68	68	70	37
Percentage	197	194	183	183	189	100

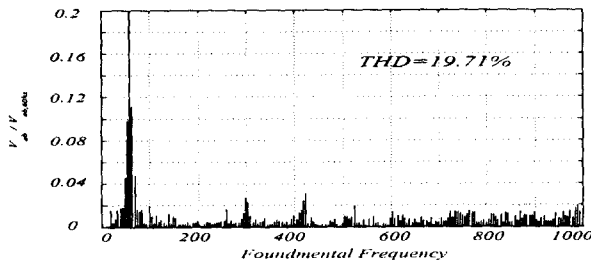
표 6 실험 파라미터

Table 6 Experiment parameters.

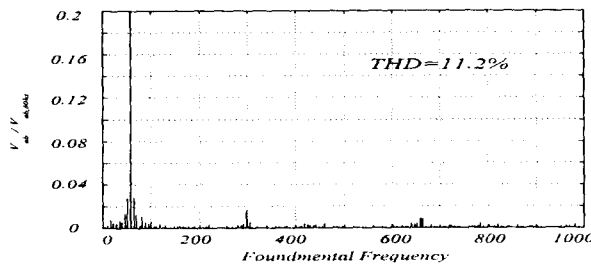
Inverter	T_S	1000[us]	C_{DC}	3000[μ F]
	V_{DC}	90[V]	Voltage Control	Low : 1000 [us] High : 5000 [us]
Motor	Power	2[HP]	Period	220/440[V]
	Speed	1105[RPM]	Current	6.8/3.4[V]



(a) 일반적인 SVPWM에 의한 3-레벨 인버터



(b) 수정된 Carrier-Based SVPWM에 의한 4-레벨 인버터



(c) 일반적인 SVPWM에 의한 4-레벨 인버터

그림 16 인버터 출력 선간전압 파형 고조파 성분 비교

Fig. 16 A comparison of harmonics in output line-to-line voltage.

제안한 Modified Carrier-Based SVPWM이 고변조지수에 서의 DC-링크 전압 불균형 제어를 위해 사용되는 경우 몇 가지의 장점을 지니게 되는데 첫째 전술한 바와 같이, 스위칭 패턴을 고려함으로써 반드시 인접한 스위칭 상태로의 천이를 확보하였다. 둘째, 스위칭 주파수를 최소화 함으로써 전체 4-레벨 인버터 시스템의 효율을 개선시킬 수 있었다. 표 5에는 2 주기동안의 스위칭 횟수를 출력 전압과 부하 전류의 위상차 (ψ)에 따라 변화시켜가며 구해 본 시뮬레이션 결과를 나타 내고 있다. 표에서 알 수 있는 바와 같이 제안한 Modified Carrier-Based SVPWM은 일반적인 SVPWM에 비해 대략 190%의 스위칭 횟수 증가를 나타내었다. 그러나 DC-링크 전

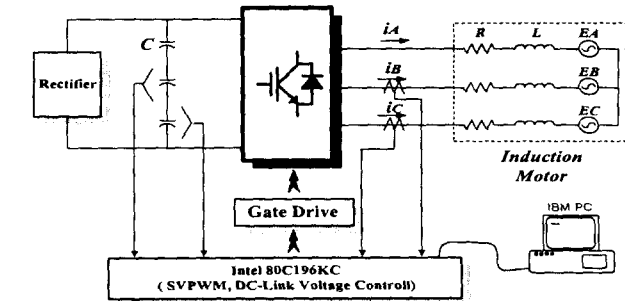


그림 17 4-레벨 인버터 시스템

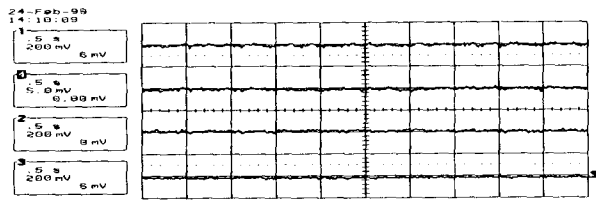
Fig. 17 A four-level inverter system.

압 균형을 유지하는데 적절한 전압 벡터만을 선택적으로 사용하는 방법 (Method 2)에 비해 모든 전압 벡터를 사용함으로써 스위칭 주파수의 증가를 최소화 할 수 있다, 셋째, 모든 전압 벡터를 사용함으로써 출력 전압의 고조파 성분을 최소화시킬 수 있었다. Modified Carrier-Based SVPWM은 DC-링크 전압 균형을 유지하는데 적절한 전압 벡터만을 선택적으로 사용하는 방법과 달리 모든 전압 벡터를 사용함으로써 선간 전압의 THD를 향상시켜 고조파 성분을 줄이게 된다.

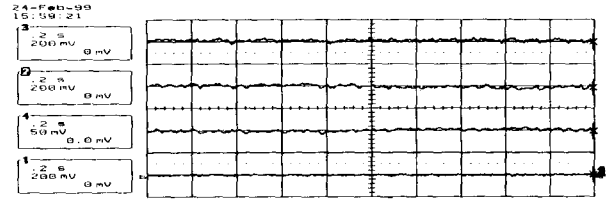
그림 16에는 일반적인 SVPWM을 사용한 3-레벨 인버터와 4-레벨 인버터 그리고 제안한 Modified Carrier-Based SVPWM을 사용한 4-레벨 인버터의 선간전압 파형의 고조파를 비교해 놓았다. 각각의 스위칭 주파수는 샘플링 주파수를 조절을 통해 동일한 조건이 되도록 설정되었다. 제안한 Carrier-Based SVPWM를 사용하여 얻어진 선간 전압은 일반적인 SVPWM을 사용한 4-레벨 인버터의 선간 전압에 비해 상당히 많은 고조파를 포함하는 것을 알 수 있다. 그러나 3-레벨 인버터의 선간 전압에 비해서는 고차 고조파 성분이 약간 증가하나 저차 고조파 (특히 5, 7 그리고 11차수 고조파)가 크게 줄었음을 알 수 있다. 따라서 제안한 SVPWM의 고조파 특성은 3-레벨과 4-레벨 사이에 위치하고 있음을 알 수 있다.

6. 실험 결과 및 검토

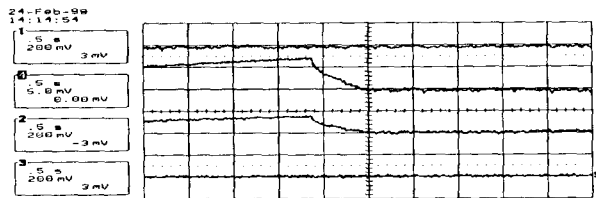
제안한 DC-링크 커패시터 전압 균형 제어 기법의 타당성을 입증하기 위하여, 9kW급 Diode Clamped 4-레벨 인버터의 Prototype 모델을 구축하여 실험을 행하였다. 실험에 사용된 4-레벨 인버터 시스템의 전체 구조도와 파라미터는 각각 그림 17과 표 6에 제시되어 있다. 전력용 반도체 소자로 600V/30A의정격의 IGBT를 주 스위치로 1000V/60A의 Fast Recovery 특성을 지닌 Diode를 브랜치 다이오드로 사용한다. 제어부로는 Intel 사의 16bit 마이크로컨트롤러인 80C196KC



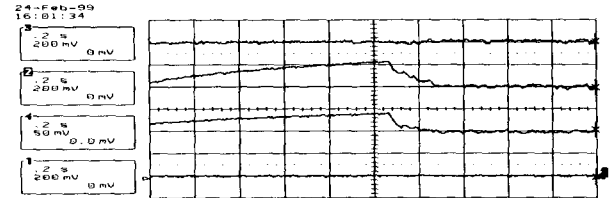
(a) 초기 균형 조건의 DC-링크 정상 상태 전압 파형



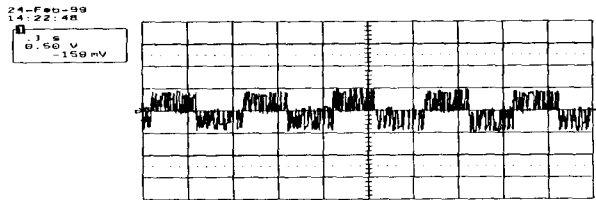
(a) 초기 균형 조건의 DC-링크 정상 상태 전압 파형



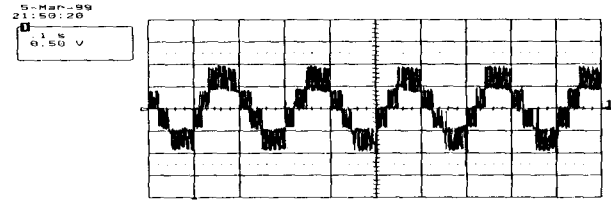
(b) 초기 불균형 조건의 DC-링크 과도 상태 전압 파형



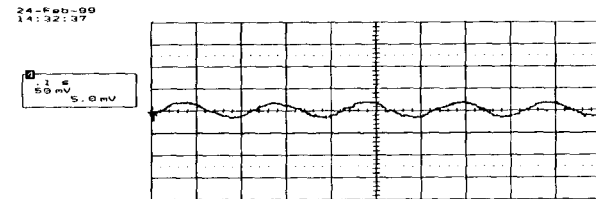
(b) 초기 불균형 조건의 DC-링크 과도 상태 전압 파형



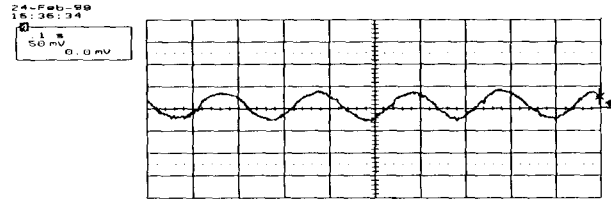
(c) 출력 선간 전압 파형 (V_{AB})



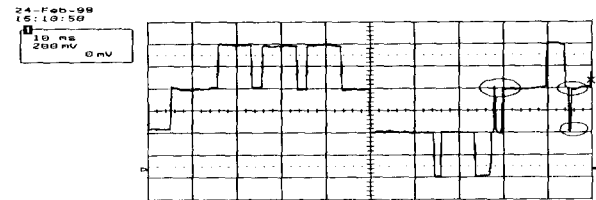
(c) 출력 선간 전압 파형 (V_{AB})



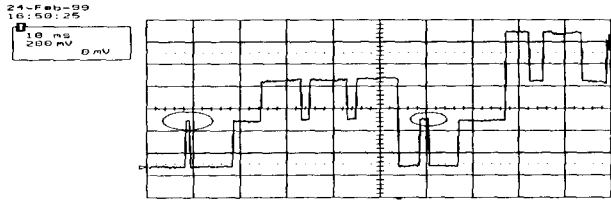
(d) 출력 부하 전류 파형 (I_A)



(d) 출력 부하 전류 파형 (I_A)



(e) 출력 상전압 확대 파형 (V_A)



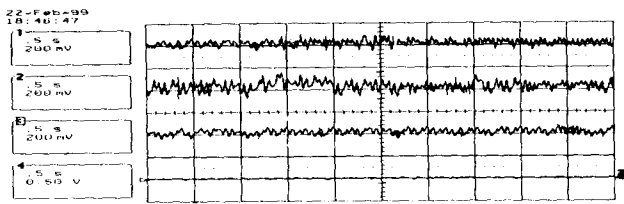
(e) 출력 상전압 확대 파형 (V_A)

그림 18 변조 지수 0.3에서의 4-레벨 인버터 실험 파형
Fig. 18 experiment results of a four-level inverter. ($M_f=0.3$)

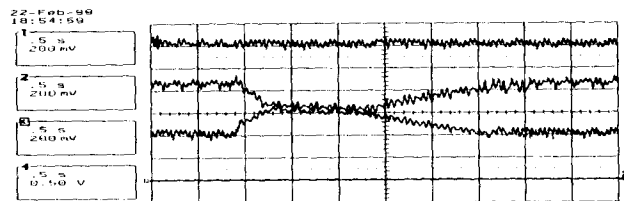
그림 19 변조 지수 0.5에서의 4-레벨 인버터 실험 파형
Fig. 19 experiment results of a four-level inverter. ($M_f=0.5$)

를 사용하여 호스트 컴퓨터로부터 DC-링크 전압 제어 기법을 코딩하였으며 이를 RS232 직렬 포트를 통해 전송하였다. DC-링크 전압 제어 주기와 기준 전압 벡터의 샘플링 주기는 저변조 제어 모드의 경우 1000[usec], 고변조 제어 모드의 경우는 5000[us]이다. 저변조 제어 모드와 고변조 제어 모드를 구분 짓는 임계 변조 지수는 인버터의 변조 지수와 이때의 부하 역률에 대해 함수로 표현되며 그림 12의 점선이 이를 나타낸다. 그러나 본 실험에서는 부하 역률은 고려하지 않고 변조지수만을 판단기준(MD=0.52)으로 설정하였다.

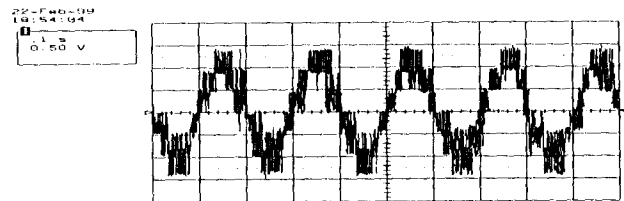
그림 18에는 변조지수가 0.3인 경우의 실험 파형으로 시뮬레이션과 마찬가지로 저변조 제어 모드에 의해 전압 제어가 이루어지고 있다. 그림 18(a)의 초기 균형 조건의 정상 상태 DC-링크 전압 파형과 그림 18(b)의 초기 불균형 조건의 과도 상태 전압 파형으로부터 제안한 저변조 제어 모드 전압 균형 제어 기법의 타당성을 확인할 수 있다. 그림 18(c)에는 2-레벨 형태의 선간 전압 파형이 나타나 있으며 부하 전류 파형이 그림 18(d) 보여지고 있다. 직류 전압 오프셋과 유효 전압의 합이 삼각파 Carrier와 비교되어 그림 18(e)와 같은



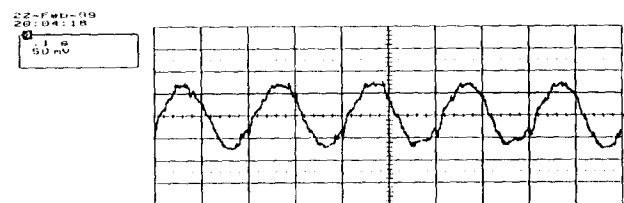
(a) 초기 균형 조건의 DC-링크 정상 상태 전압 파형



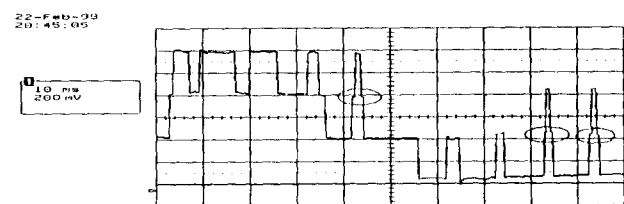
(b) 초기 불균형 조건의 DC-링크 과도 상태 전압 파형



(c) 출력 선간 전압 파형 (V_{AB})



(d) 출력 부하 전류 파형 (I_A)



(e) 출력 상전압 확대 파형 (V_A)

그림 20 변조 지수 0.9에서의 4-레벨 인버터 실험 파형

Fig. 20 experiment results of a four-level inverter. ($M_d=0.9$)

인버터 상전압의 확대 파형을 얻을 수 있다. 특히, 이를 살펴보면 제안한 저변조 제어 모드는 직렬연결된 소자가 동시에 턴-오프되어 발생할 수 있는 전압 분배문제를 해결하기 위해 인접한 스위칭 상태로의 전이만을 발생하고 있음을 확인할 수 있다.

그림 19에는 변조지수 0.5의 실험 파형이 나타나 있다. 선간 전압 파형에는 3-레벨 전압 파형이 나타나 있으며 저변조 제어 모드가 적용되고 있다.

그림 20에는 고변조 제어 모드에 의해 제어된 변조지수

0.9의 실험 파형이 나타나 있다. 고변조 제어 모드는 저변조 제어 모드에 비해 5배 정도 긴 전압 제어 주기가 사용되고 있다. 이는 실험에 사용된 80C196KC의 조건문 연산 시간이 오래 걸리는데 원인이 있다. 따라서 그림 20(a)와 (b)의 DC-링크 커패시터 전압 변동을 살펴보면 전술된 경우에 비해 다소 큰 리플을 가짐을 알 수 있다. 그러나 이와 같은 경우에도 제안된 고변조 제어 모드의 타당성을 확인하는데는 문제가 없다. 그림 20(c)에 나타난 선간 전압에는 고변조 제어 모드의 인접하지 않은 전압 벡터의 사용으로 인해 나타난 출력 선간 전압의 고조파 증가를 확인할 수 있으며 그림 20(d)에는 부하 전류의 파형이 나타나 있다. 부하전류는 변조 지수 0.3과 0.5에 비해 다소 큰 고조파 성분을 포함하고 있는데 이는 출력 선간 전압의 고조파 성분 증가와 길어진 전압 제어 주기로 인한 DC-링크 전압의 큰 리플의 영향으로 해석된다. 그림 20(e)의 인버터 한상의 확대 전압 파형으로부터 고변조 제어 모드에서도 인접하지 않은 스위칭 상태로의 전이가 발생하지 않고 짧은 순간이나 인접한 상태로의 전이를 거치는 것은 알 수 있다.

이상과 같은 결과로부터 제안한 Carrier-Based SVPWM과 DC-링크 전압 균형 제어 기법은 4-레벨 인버터의 성능 향상에 매우 적합하며 충분한 타당성을 지니고 있음을 확인할 수 있다.

7. 결론

본 논문에서는 Diode Clamped 방식의 4-레벨 인버터의 신뢰성을 향상시키고 실제 적용을 목적으로 변조 지수에 알맞은 DC-링크 전압 제어 기법을 제안하였고 이를 시뮬레이션과 실험을 통해 그 타당성을 입증하였다. 뿐만 아니라, 전류도동 패턴을 도입하여 DC-링크 커패시터에 흐르는 전류를 계산함으로써 변조지수와 부하 역률이 DC-링크 전압 불균형에 어떠한 영향을 미치는가를 분석하였다. 특히, 고변조 제어 모드의 경우는 인접하지 않은 전압 벡터의 사용으로 인하여 출력 전압의 THD와 스위칭 주파수의 증가를 나타내었으나, 이는 3-레벨 인버터에 비해 우수한 특성을 나타낸다. 3-레벨 인버터가 Traction이나 Steel mill과 같은 고압 대용량의 응용분야에서 널리 사용되고 있는 현실을 고려할 때, 같은 스위칭 주파수에서 보다 우수한 THD 성능을 나타내는 제안한 전압 제어 기법의 SVPWM은 4-레벨 인버터의 실제 적용과 인버터의 대용량 고압화를 앞당길 수 있을 것 기대된다. 뿐만 아니라, 본 논문에서 제안한 DC-링크 커패시터 전압 균형 제어 기법은 Diode Clamped 방식 4-레벨 인버터의 성능과 신뢰성 향상에 기여하고 실제 적용을 위한 기초적인 이론을 제시할 수 있을 것으로 사료된다.

부 록

$$\begin{aligned}
 f_{\alpha}(x) &= \begin{cases} a \cdot (|x+0.25| - |x-\delta_1| - |x-\delta_2| + |x-12.25|) + \rho_1 & (1) \\ 1 & (2) \\ e \cdot (|x+0.25| - |x-3.25| - |x-8.75| + |x-12.25|) + \rho_1 & (3) \end{cases} \\
 f_{\alpha}(x) &= \begin{cases} e \cdot (|x-\delta_1| - |x-\delta_2| - |x-\delta_3| + |x-\delta_4|) & (4) \\ b \cdot (|x-\delta_1| - |x-3.25| - |x-8.75| + |x-\delta_4|) & (5) \\ c \cdot (|x-0.25| - |x-\delta_3| - |x-\delta_4| + |x+12.25|) & (6) \\ 0.375 \cdot (|x+0.25| - |x-3.25| - |x+8.75| + |x+12.25|) & (7) \\ 0 & (8) \\ 1 & (9) \end{cases} \\
 f_{\alpha}(x) &= \begin{cases} d \cdot (|x-\delta_1| - |x-3.25| - |x-8.75| + |x-\delta_4|) & (10) \\ 0 & (11) \\ e \cdot (|x+0.25| - |x-3.25| - |x-8.75| + |x-12.25|) + \rho_3 & (12) \end{cases}
 \end{aligned}$$

각 식은 다음과 같은 조건에서 각각 적용된다.

- (1) $\rho_1 < 1, \rho_2 > 1$
- (2) $\rho_1 \geq 1, \rho_2 \geq 1$
- (3) $\rho_1 \leq 1, \rho_2 \leq 1$
- (4) $\rho_1 < 1, \rho_2 > 2$
- (5) $\rho_1 < 1, \rho_2 \leq 2$
- (6) $\rho_1 \geq 1, \rho_2 > 2$
- (7) $\rho_1 \geq 1, \rho_2 \leq 2$
- (8) $\rho_1 < 1, \rho_2 < 1$
- (9) $\rho_1 > 2, \rho_2 > 2$
- (10) $\rho_1 \leq 2, \rho_2 > 2$
- (11) $\rho_1 < 2, \rho_2 < 2$
- (12) $\rho_1 > 2, \rho_2 \leq 2$

여기서,

$$a = (-0.5 + 1.3125 \cdot M_d - k) \div (2 \cdot (\delta_1 + 0.25))$$

$$b = (0.5 + 1.3125 \cdot M_d + k) \div (2 \cdot (\delta_2 - 8.75))$$

$$c = (0.5 + 1.3125 \cdot M_d - k) \div (2 \cdot (\delta_3 + 0.25))$$

$$d = (-0.5 + 1.3125 \cdot M_d + k) \div (2 \cdot (-\delta_3 + 3.25))$$

$$e = 0.375 \cdot M_d$$

$$\rho_3 = \rho_1 + 1$$

참 고 문 헌

- [1] A. Nabae, I. Takahashi and H. Akagi, "A New Neutral-Point-Clamped PWM Inverter", *IEEE Trans. on Industry Applications*, Vol. 17, No. 5, pp. 518-523, 1981
- [2] T. A. Meynard, H. Foch, "Multi-level Conversion: High Voltage Chopper and Voltage-Source Inverters", *IEEE-PESC Conf. Rec.*, pp. 397-403, 1992
- [3] M. Marchesoni, M. Mazzucchelli and S. Tenconi, "A Non Conventional Power Converter for Plasma Stabilization", *IEEE-PESC Conf. Rec.*, pp. 122-129, 1988
- [4] Yo-Han Lee, Bum-Seok Suh, Dong-Seok Hyun, "A Novel PWM Scheme for a Three-Level Voltage Source Inverter with GTO Thyristors", *IEEE Trans. on Industry Applications*, Vol. 32, No. 2, pp. 260-268, 1996
- [5] S. Ogasawara, H. Akagi, Analysis of Variation of Neutral Point Potential in Neutral-Point-Clamped Voltage Source PWM Inverters, *IEEE-IAS Conf. Rec.*, pp. 965-970, 1993
- [6] C. Newton, M. Sumner, "Neutral Point Control for Multi-Level Inverters: theory, design and operational limitations," *IEEE-IAS Conf. Rec.*, pp.1336-1343, 1997.
- [7] G. Shinha, T. A. Lipo, "A Four Level Inverter Based Drive with a Passive Front End", *IEEE-PESC Conf. Rec.*, pp. 590-596, 1997
- [8] M. Fracchia, T. Ghiara, M. Marchesoni and M. Mazzucchelli, "Optimal Modulation Techniques For The Generalized N-level Converter", *IEEE-PESC Conf. Rec.*, pp. 1205-1213, 1992
- [9] R. W. Menzies, P. Steimer and J. K. Steinke, "Five level GTO Inverters for large Induction Motor Drives", *IEEE Trans. On Industry Applications*, Vol. 30, No. 4, pp. 938-944, 1994
- [10] R. Rojas, T. Ohnishi and T. Suzuki, "PWM control method for a four-level inverter", *IEE-EPA Proc.*, vol. 142, No. 6, pp. 390-396, 1995
- [11] M. Marchesoni, M. Mazzucchelli and P. Tenca,

- "ABOUT THE DC-LINK CAPACITORS VOLTAGE BALANCE IN MULTI-POINT CLAMED CONVERTERS", *IEEE-IECON Conf. Rec.*, pp. 548-553, 1998
- [12] G. Shinha, T. A. Lipo, "Improved DC Bus Utilization in Hard and Soft Switched Multilevel Inverters", *IEEE-IECON Conf. Rec.*, pp. 670-675, 1997
- [13] Y. H Lee, R. Y. Kim and D. S. Hyun, "A Novel SVPWM Strategy Considering DC-link Balancing for a Multi-level Voltage Source Inverter", *IEEE-APEC Conf. Rec.*, pp. 509-514, 1999
- [14] L. M. Tolbert, T. G. Habetler, "Novel Multilevel Inverter Carrier-Based PWM Methods", *IEEE-IAS Conf. Rec.*, pp. 1424-1431, 1998
- [15] C. Newton, M. Sumner, "Neutral Point Control for Multi-Level Inverters: theory, design and operational limitations," *IEEE-IAS Conf. Rec.*, pp.1336-1343, 1997

저 자 소 개



김래영 (金來瑛)

1974년 6월 6일생. 1997년 한양대 공대 전기공학과 졸업 1999년 동 대학원 전기공학과 졸업(석사). 현재 (주) 효성 중공업 연구소 연구원.
Tel : (02) 3487-0001, Fax : (02) 3487-0303
E-mail : raykim@pop3.hyosung.co.kr



이요한 (李 杓 漢)

1970년 5월 31일생. 1993년 한양대 공대 전기공학과 졸업. 1995년 동 대학원 전기공학과 졸업(석사). 현재 동 대학원 전기공학과 박사과정.
Tel : 02-2290-0341, Fax : 02-2297-1569
E-mail : johnlee@hanyang.ac.kr



최창호 (崔昌鎬)

1956년 10월 18일생. 1979년 아주대 전자공학과 졸업. 1984년 서울대 대학원 전기공학과 졸업(석사). 1983년~1987년 금성산전 연구소 주임연구원. 1987년~1991년 한국써보연구소 선임연구원. 1991년 현재 포스콘 기술연구소 수석연구원.
Tel : (02) 3290-4450 Fax : (02) 925-1812
E-mail : choich@poscon.co.kr

현동석 (玄東石)

전기학회 논문지 제48B권 제8호 참조
Tel : (02) 2290-0345 Fax : (02) 2297-1569
E-mail : dshyun@email.hanyang.ac.kr