

전류포화특성을 갖는 새로운 이중게이트 수평형 사이리스터의 순방향 특성

論 文
48C-12-4

The Forward Characteristics of A New Lateral Thyristor with Current Saturation

李 裕 相* · 崔 然 益** · 韓 民 九***
(You-Sang Lee · Yearn-Ik Choi · Min-Koo Han)

Abstract - A newly proposed lateral dual-gate thyristor was fabricated and measured, which has excellent current saturation characteristics of $1200A/cm^2$ even at an anode-gate voltage of 29V, through the elimination of the structurally existing parasitic thyristor. And through the comparison with the LIGBT, the excellent current saturation characteristics of a newly proposed device was verified.

Key Words : A newly proposed lateral dual-gate thyristor, excellent current saturation characteristics, elimination of the structurally existing parasitic thyristor

1. 서 론

MOS 구동 사이리스터는, 높은 입력 임피던스를 갖는 MOSFET의 장점과 낮은 순방향 전압강하를 갖는 사이리스터의 장점을 결합한 전압제어방식의 전력 스위칭 소자로서 많은 주목을 끌고 있다[1-3]. 그런데, 일반적으로 MCT(mos controlled thyristor), BRT(base resistance thyristor)와 같은 MOS 구동 사이리스터는, 게이트 전압이 증가하면, 기생 사이리스터의 래치-업(latch-up)으로 인해 전류포화특성을 갖지 못하여 안정성 측면에서 단점을 갖고 있다[4]. 낮은 게이트 전압에서는 전류포화특성을 갖는 EST(emitter switched thyristor)의 경우도, 게이트 전압이 증가하면 구조적으로 갖고 있는 기생 사이리스터의 래치-업으로 인해 전류포화특성을 상실하여, MOS구동 사이리스터의 장점이었던 MOS 게이트에 의한 소자제어가 불가능해진다[5]. 게다가, SOI수평형 소자의 경우, SOI소자의 여러 장점에도 불구하고, DI (dielectric isolation)때문에, 수직형 소자에 비해서 래치-업이 낮은 게이트 전압에서 일어나는 문제점이 있으므로, 수평형 소자에 있어서 래치-업의 문제는 더욱 중요한 고려대상이 된다. 새롭게 제안되는 이중게이트 수평형 사이리스터는 기존의 소자들이 구조적으로 갖고 있던 기생사이

리스터를 제거하여 래치-업 문제를 해결함으로써, 높은 게이트 전압에서도 우수한 전류포화특성을 갖도록 설계되었다

2. 소자구조

새롭게 제안된 이중게이트 사이리스터의 이차원 단면도는 그림 1과 같다. p+ 애노드를 갖는 LIGBT, LEST와는 달리, 구조적으로 기생 사이리스터를 제거하기 위해서 n+ 애노드를 채택하였다. 또한, 기존의 p+를 대신해서 정공(hole)을 n-drift영역으로 주입하기 위해서 애노드 쪽에 FOC를 넣고 그 하단에 n+와 p+를 설계하였다. n+는 애노드-게이트와 맞물려서 NMOSFET을 형성하여 제안된 소자의 전류를 제어한다. 그리고, 캐소드 쪽의 게이트와, 애노드와 FOC사이의 게이트가 각각 존재하는 이중게이트 구조를 채택했다.

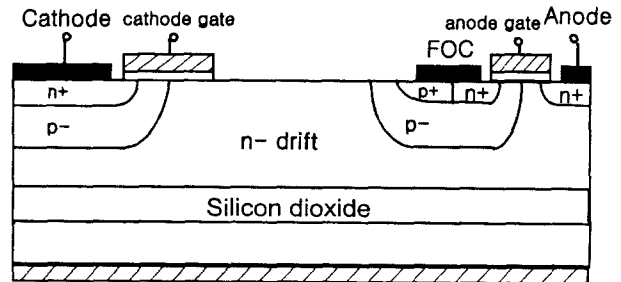
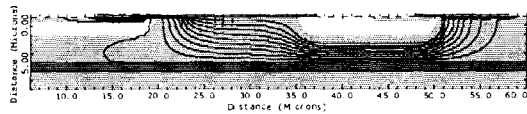


그림 1 새로운 수평형 이중게이트 사이리스터의 단면도
Fig. 1 The cross section of a new lateral dual-gate thyristor

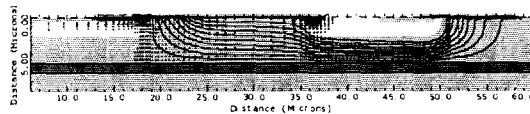
* 正 會 員 : 서울大 電氣工學部 博士課程
** 正 會 員 : 亞洲大 電氣工學部 教授 · 工博
*** 正 會 員 : 서울大 電氣工學部 教授 · 工博
接受日字 : 1999年 5月 31日
最終完了 : 1999年 11月 9日

3. 소자의 동작원리

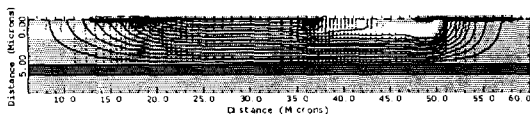
그림 2는 MEDICI 시뮬레이터에 의해 수행된 소자의 동작 원리를 보여주고 있다. 이중게이트에 양의 전압을 인가한다. 애노드 전압이 낮을 때, 캐소드-게이트 하단에 형성된 n-채널을 통해 캐소드로부터 n-drift 영역으로 전자가 주입된다. 주입된 전자는 n+ 애노드로 흘러가게 되며, 소자는 LDMOS와 같은 동작을 하게 된다 (그림 2(a)). 애노드의 전압이 증가하면서 전자전류가 증가하는데, 이 전자전류가 FOC의 p-well하단을 지나면서 저항성분에 의한 전압강하가 생긴다. 이러한 전압강하가 0.7V 이상이 되면 p-well과 n-drift 접합이 턴-온(turn-on)되어, FOC의 p+에서 n-drift영역으로 정공이 주입되기 시작한다. 이때, FOC의 전하보존[6]으로 정공의 전하량과 같은만큼의 전자가 애노드-게이트를 통해서 애노드로 빠져나가게 된다 (그림 2(b)). p+에서 주입된 정공은 n-drift를 지나서 캐소드의 p-base영역으로 들어가서 축적된다. 주입되어 축적된 정공의 양이 많아지면, 캐소드의 n+와 p-base 접합간의 전위장벽을 낮추어서 접합이 턴-온(turn-on)되며, 이때부터 LDMOS 동작에서 사이리스터 동작으로 전환된다 (그림 2(c)). 이렇게 동작한 사이리스터는 애노드-게이트에 인가된 전압에 의해서 전자전류를 제어하여 전체 소자를 제어할 수 있게 되며, 기생 사이리스터 구조를 갖고 있지 않기 때문에 게이트 전압이 증가하여도 기생 사이리스터 래치-업에 의한 소자의 제어 불가능 현상은 일어나지 않는다. 따라서, 어떠한 게이트 전압에서도 본 소자는 전류포화특성을 갖게 된다.



(a) 낮은 애노드-게이트 전압에서 LDMOS로 동작할 때 (Va = 0.1V)
 (a) LDMOS operation at a low anode-gate voltage (Va = 0.1V)



(b) 정공이 주입되고 p-base에 축적될 때 (Va = 0.66V)
 (b) Hole injection and accumulation in p-base (Va = 0.66V)

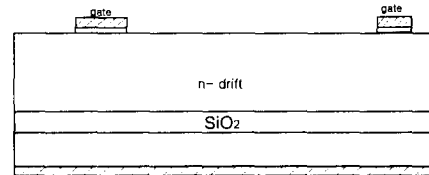


(c) 사이리스터 동작할 때 (Va = 0.78V)
 (c) Thyristor operation (Va = 0.78V)

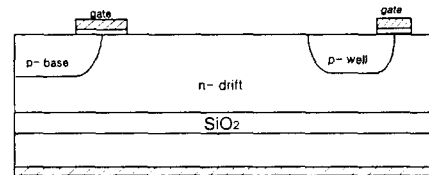
그림 2 MEDICI 시뮬레이션상의 소자의 동작원리
 Fig. 2 The operation principle of device on MEDICI simulation

4. 소자의 제작

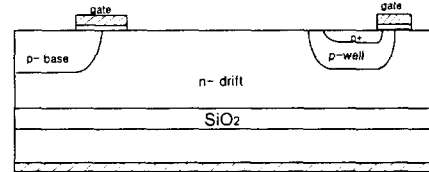
본 소자의 공정 흐름도는 다음과 같다. 게이트를 형성하고, 이온주입 후 확산공정을 통해 p-base와 p-well을 형성한다. 그 후 p+를 형성하고, 캐소드 n+와 FOC 하단의 n+ 그리고 애노드 n+를 동시에 형성하고, 캐소드, FOC, 애노드 메탈전극 형성한다.



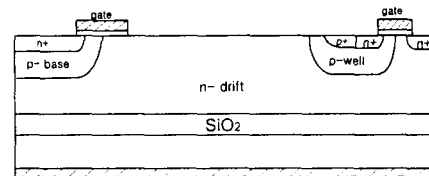
(a) 게이트 형성
 (a) Formation of gate



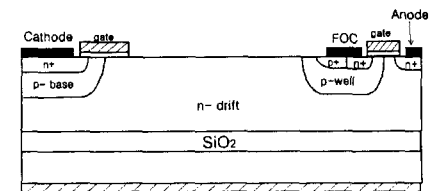
(b) p-base, p-well 형성 (이온주입 후 확산)
 (b) Formation of p-base and p-well (ion implantation and diffusion)



(c) p+ 형성(이온주입 후 확산)
 (c) Formation of p+ (ion implantation and diffusion)



(d) 캐소드 n+, FOC n+ 애노드 n+형성
 (d) Formation of cathode n+, FOC n+ and anode n+



(e) 캐소드, FOC, 애노드 메탈전극 형성
 (e) Formation of cathode, FOC and anode metal

그림 3 소자의 공정 흐름도
 Fig. 3 Device fabrication process

제작에 사용된 소자의 각 파라미터들은 표 1에 나타내었다.

표 1 소자 파라미터
Table 1 Device parameters

Experimental Parameters	Input Value
P substrate	$1 \times 10^{18} \text{ cm}^{-3}$
N-epi layer	$6 \times 10^{14} \text{ cm}^{-3}$
p- base	$5 \times 10^{17} \text{ cm}^{-3}$
N+ cathode	$1 \times 10^{20} \text{ cm}^{-3}$
P+ under FOC	$1 \times 10^{19} \text{ cm}^{-3}$
N+ under FOC	$1 \times 10^{20} \text{ cm}^{-3}$
N+anode	$1 \times 10^{20} \text{ cm}^{-3}$
Thickness of p- base	2um
Thickness of n+	0.5um
Thickness of p+	0.5um
Thickness of epitaxial layer	5um
Thickness of buried SiO ₂	1um
Thickness of gate oxide	500Å
Length of Cathode gate	6um
Length of Anode gate	2um
Drift length	15um

그림 4는 위의 공정에 따라 제작된 소자의 평면도를 보여 주고 있다. 좌측패드가 F.O.C., 중앙 상단 패드가 캐소드, 중앙하단이 애노드, 우측 상단이 캐소드-게이트, 우측 하단이 애노드-게이트이다.

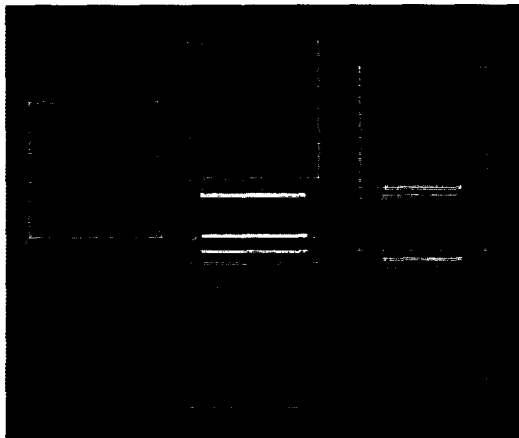


그림 4 제작된 소자의 평면도
Fig. 4 The top view of the fabricated device

5. 소자의 순방향 특성

제작된 소자의 순방향 전류-전압 특성은 그림 5와 같다. 소자의 캐소드-게이트에는 10V를 인가하고, 애노드-게이트에 인가된 전압을 변화시키면서 측정한 전류-전압 특성이다. 애노드-게이트에 인가된 전압을 증가시키면, n-drift영역으로 주입되는 정공이 늘어나서, 사이리스터의 전류밀도가

높아지고 있다. 그림 5의 LIGBT의 경우, 애노드 전압을 증가시키자, 670A/cm²에서 기생 사이리스터의 래치-업으로 인해서 게이트에 의한 소자제어가 불가능해졌다. 하지만 본 소자는 애노드-게이트 전압을 계속 증가시키더라도 소자의 전류포화특성은 계속 유지되고 있음을 알 수 있다. 본 소자는 소자의 내부에 구조적인 기생 사이리스터를 완전히 제거해서 29V 정도의 애노드-게이트의 전압에서도 우수한 전류포화특성을 유지하여 소자의 안정적인 제어가 가능하였다.

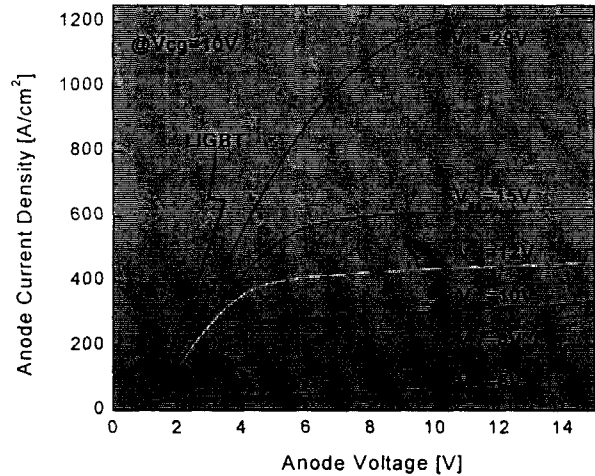


그림 5 제작된 소자와 LIGBT의 순방향 전류-전압 특성
Fig. 5 The forward I-V characteristics of the fabricated device and LIGBT

그림 6은 그림 5에서 100A/cm²까지의 전류-전압 특성을 확대하여 보여준다. A영역이 소자가 처음에 LDMOSFET으로 동작하는 영역이고, B영역은 정공이 주입되면서 정공전류에 의해서 전류레벨이 LDMOSFET보다는 큰 증가율을 갖는 영역이고, C영역은 소자가 사이리스터로 동작하는 영역을 나타낸다.

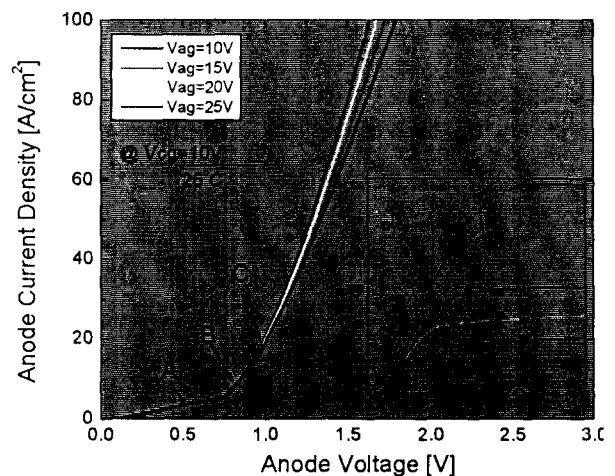


그림 6 제작된 소자의 낮은 전류밀도에서의 전류-전압 특성
Fig. 6 The I-V characteristics of the fabricated device at low current density level

6. 결 론

전류포화특성을 갖는 새로운 수평형 이중게이트 사이리스터를 제안하여 제작하였다. LIGBT의 경우, 상온에서 DPT 기생 사이리스터의 래치-업으로 인해서 소자제어가 불가능해졌으나, 본 소자는 구조적으로 기생 사이리스터를 없앴으로써, 사이리스터임에도 불구하고 우수한 전류포화특성을 획득하였다. 이러한 특성으로 높은 전류레벨에서도 MOS 구동 사이리스터의 게이트에 의한 소자제어가 가능한 안정적인 동작을 획득하였다.

감사의 글

본 연구는 1999년도 KISTEP의 지원에 의하여 이루어진 연구로서, 관계부처에 감사 드립니다.

참 고 문 헌

- [1] Victor A. K. Temple, MOS-Controlled Thyristor-A New Class of Power Devices, IEEE Trans., Vol. ED-33, no. 10, pp. 1609-1618, 1986.[1]
- [2] M. Nandakumar, et al., Theoretical and Experimental Characteristics of the Base Resistance Controlled Thyristor (BRT), IEEE Trans., Vol. ED-39, no. 8, pp. 1938-1945, 1992.
- [3] B. J. Baliga, The MOS-Gated Emitter Switched Thyristor, IEEE EDL, Vol. 11, no. 2, pp. 75-77, 1990.
- [4] M. S. Shekar, B. J. Baliga, High-Voltage Current Saturation in Emitter Switched Thyristors, IEEE EDL, Vol. 12, no. 7, pp. 387-389, 1991.
- [5] N. Iwamuro, M. S. Shekar and B. J. Baliga, A Study of EST's Short-circuit SOA, '95 ISPSD, pp. 376-380, 1995.
- [6] D. Flores, et al. The IBMCT : A Novel MOS-Gated Thyristor Structure, IEEE EDL, Vol. 18, no. 1, pp. 10-12, 1997.

저 자 소 개



이 유 상 (李 裕 相)
1973년 12월 9일생. 1997년 서울대학교 전기공학부 졸업. 1999년 서울대학교 전기공학부 석사. 1999년~현재 동 대학교 전기공학부 박사과정.

최 연 익 (崔 然 益)
전기학회 논문지 제48권 제3호 참조



한 민 구 (韓 民 九)
1948년 7월 21일 생. 1971년 서울대 전기공학과 졸업. 1975년 University of Michigan, Electrical Engineering 석사, 1979년 Johns Hopkins University, Electrical Engineering 박사. 1984년~현재 서울대학교 전기공학부 교수

Tel : 880-7992, Fax : 883-0827
E-mail : mkh@emlab.snu.ac.kr