

비정질 실리콘 박막을 이용한 Sodalime-Sodalime 정전 열 접합 및 FEA Packaging 응용

論 文
48C-9-9

Sodalime-sodalime Electrostatic Bonding using Amorphous Silicon Interlayer and Its Application to FEA Packaging

朱炳權*·李德重*·崔祐範*·金榮祚**·李南良***·吳明煥*
(Byeong-Kwon Ju · Duck-Jung Lee · Woo-Beom Choi · Young-Cho Kim · Nam-Yang Lee · Myung-Hwan Oh)

Abstract - As a fundamental study for FED tubeless packaging, sodalime-sodalime electrostatic bonding was performed by using amorphous silicon interlayer and its applicability was evaluated by panel capping of FEA devices in vacuum environment based on the developed bonding mechanism. The bonding properties of the bonded sodalime-sodalime structure were investigated through SEM and SIMS analyses. Mo-tip FEA was vacuum-packaged by the developed bonding process and the packaged device generated the field emission current.

Key Words : sodalime-sodalime bonding, electrostatic bonding, amorphous silicon interlayer, field emitter array, FED tubeless packaging

1. 서 론

전계 방출 표 시소자(field emission display : FED)는 기존 LCD가 갖는 시야각-동작 속도-동작 온도와 관련된 고유의 한계점을 돌파할 수 있는 차세대 평판 표시기로 최근 연구 개발이 더욱 가속되고 있는 분야이다[1-3]. 이러한 FED의 고수준 packaging으로 MEMS에 응용되어 온 기판 접합 기술을 응용하는 방법이 부각되고 있다[4]. 국내외의 FED packaging 현황을 보면, 98년 미국 SID학회에서 5인치급 FED를 발표한 MOTOROLA는 Laser로서 유리 frit을 녹여 실장하였으며, FUTABA에서는 VFD 실장공정을 사용함으로써 얇은 두께의 패널을 제작하고 있다. 반면, 최근 3.5인치급 FED를 발표한 오리온 전기를 비롯하여 국내에서는 배기용 세관을 이용하는 CRT packaging 공정을 사용하고 있다. 작은 체적으로서 3mm이내의 두께를 가지고 있는 FED패널에 세관을 이용하여 packaging하였을 경우, 전체 두께는 최소 1.5cm로 약 5배 증가된다. 또한 가늘고 긴 세관은 pumping 능력의 제한성을 가지고 있어 고진공을 요구하는 FED에는 적합하지 않다[5]. 한편, 다른 두 기판간의 정전 열 접합 방법은 MEMS분야에 널리 이용되어 지고 있는 방법이다. 이는 간단한 공정으로 강한 접합력을 가질 수 있으며, 소자를 완전히 밀폐 시킬수 있는 장점이 있다. 정전 열 접합은 기본적으로 실리콘 기판과 유리 기판간의 접합을 기본으로 하고 있지만, 본 실험에서는 이를 유리 기판간의 접합으로 응용하였다. 실리콘 기판 대신 유리기

판 위에 증착한 비정질 실리콘 박막을 이용하여 기본적인 원리와 같도록 하였다. 이에 응용되는 주요 공정인 유리-유리 간의 정전 열 접합과 관련된 연구 결과에 관해서는 앞서 보고한 바 있다[6, 7].

본 연구에서는 기존 방법에 의한 FED 고진공 packaging의 단점을 극복하기 위하여, 유리-유리 간의 정전 열 접합 방법을 이용한 tubeless packaging 방법을 제안하고자 한다. 배기용 세관을 제거하였을 경우 구조물의 conductance가 약 153배 증가되어 진공 실장시 개선된 진공 효율을 얻을 수 있다. 이는 계산된 값이며, conductance는 구조물이 가지는 pumping 효율로서 직경의 세제곱에 비례하고 길이에 반비례한다[8]. 따라서, 배기용 세관을 제거하면 그만큼의 진공 효율을 증가시킬 수 있어 packaging 시간을 단축 시킬수 있으며 두께 4mm의 디스플레이를 구현 할 수 있다. 또한, 500°C의 기존 공정에 비해 300°C 이내의 저온 공정으로 이에 수반되는 out-gassing 문제등을 해결할 수 있다. 따라서, 이를 이용하여 Mo-tip FEA(field emitter array) 소자를 진공 packaging하고 이의 동작 특성을 평가함으로써 개발된 공정의 FED tubeless packaging 응용도를 검증하고자 한다.

2. 접합 공정 및 특성 평가

사용한 유리 기판은 Corning #0080 sodalime 유리로서 이는 permeation 등 제반 진공 밀봉 특성이 우수하기 때문에 FED 용 기판으로 이용되고 있다. 즉, He 기체의 경우를 예로 들면 진공 밀봉된 패널의 경우, 내부 진공도가 10^{-16} Torr에서 10^{-6} Torr로 저하되는 기간이 silica를 밀봉용 기판으로 사용하였을 경우 3일, Pyrex일 경우에는 1 개월, 그리고 sodalime일 경우에는 100년으로 알려져 있다[9]. 이러한 이유로 본 실험에서는 FED 응용을 위해 ITO가 코팅되어 있는 sodalime 유리를 기판으로서 적용

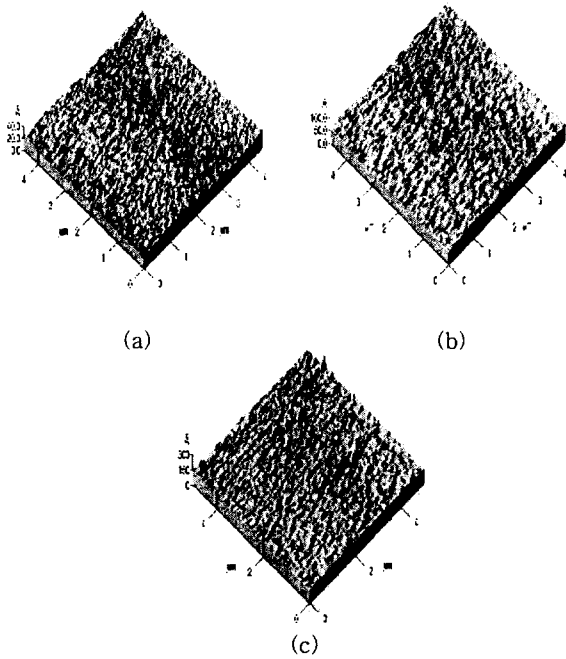
* 正 會 員 : KIST情報材料素子센터 研究員/先任/責任研究員
** 正 會 員 : 靑雲大 電子工學科 教授 · 工博
*** 正 會 員 : 오리온 電氣(株) 平板研究室 責任研究員
接受日字 : 1998年 9月 11日
最終完了 : 1999年 8月 5日

하였다. 다음으로 interlayer로서 비정질 실리콘 박막을 ITO 전극 위에 증착하였는데, RF magnetron sputtering을 이용하였으며 증착 조건은 표 1에 나타난 바와 같다. 아울러, 그림 1은 bare #0080 유리로부터 박막이 증착되어 감에 따라 표면 거칠기가 변화하는 정도를 보여주고 있다. 이러한 표면 거칠기는 접합 특성을 결정짓는데 주요한 요인으로 작용하며, 일반적으로 평균 거칠기가 10Å 이하를 만족시키는 것이 바람직하다.

표 1 Silicon interlayer의 RF sputtering 조건

Table 1 RF sputtering condition of Silicon interlayer

Target	Silicon disk, 3-inch dia., 1/8-inch thickness (99.999%)
base pressure, working pressure	2×10^{-5} Torr, 4×10^{-3} Torr
sputtering gas	$O_2 + Ar$ (buffer), Ar 100%
RF power density	$2.2 W/cm^2$
substrate temperature	120°C
deposition rate	10 nm/min
Thickness	0.2~2.0 μm (typically 3000 Å)



Substrate	Bare #0080 glass	ITO/#0080	Silicon/ITO/#0080
Roughness	(a)	(b)	(c)
Peak to valley	34 Å	82 Å	196 Å
RMS roughness	2.4 Å	3.7 Å	10 Å
Ave. roughness	1.9 Å	2.8 Å	6.2 Å

그림 1 표면 거칠기 (by AFM) (a) bare #0080 glass, (b) ITO/#0080 glass, (c) Si/ITO #0080

Fig. 1 Surface roughness (by AFM) (a) bare #0080 glass, (b) ITO/#0080 glass, (c) Si/ITO #0080

ITO와 비정질 실리콘 박막이 순차적으로 증착될 sodalime 기판의 크기는 두께 1mm의 $3 \times 3 cm^2$, 이와 접합될 sodalime 기판의 크기는 두께 1mm의 $2 \times 2 cm^2$ 로 하였다. 접합 공정 이전에 각각의 기판들은 아세톤/메탄올/초순수 내에서 각각 5 분 동안 초음파 세척된 뒤 150°C에서 10 분간 건조시켰다. 정전 열 접합 공정은 200~340°C의 온도와 200~320V_{ac}의 전압하에서 행하여졌으며, Keithley 237 장치를 이용하여 전기적 특성을 측정하였다. 접합은 비정질 실리콘 박막과 유리 기판 표면에서 발생하기 때문에 접합 파라미터는 거의 유사하다. 다만 박막의 두께가 1000Å 이하이면 작은 정전력으로 인해 공정 후 접합면이 서서히 분리되어지며, 박막의 두께가 1 μm 이상으로 두꺼우면 접합 후 비정질 실리콘 박막이 증착된 면으로부터 분리되거나 유리기판과의 열적 스트레스로 인해 박막이 손상된다. 본 실험 공정을 통해 보다 안정적인 두께의 조건은 표1에서 보여주는 바와 같다. 이와 같은 비정질 실리콘 박막의 sputtering 후 접합을 위한 구성도를 그림 2에서 보여주고 있다. 그림 3은 접합 온도와 전압의 변화에 따른 접합 시 흐르는 접합 전류의 변화를 측정하는 것이다. 이를 통하여 접합이 일어나기 시작하는 최저 온도 및 전압 범위를 설정할 수 있으며, 또한 온도 및 전압이 높을수록 이온화 되는 양이온의 수가 많아지고 이동도가 증가함으로써 초기 전류 피크가 높게 나타남을 알 수 있다. 접합된 sodalime-sodalime 기판 쌍에 대한 SEM 단면 사진을 그림 4에 보였다. 그림 4(a)는 접합이 잘 된 부분과 잘 안된 부분에 대한 10,000 배 확대 사진이고, 그림 4(b)는 (a)의 a□b 부분을 50,000 배로 확대 관찰한 것이다.

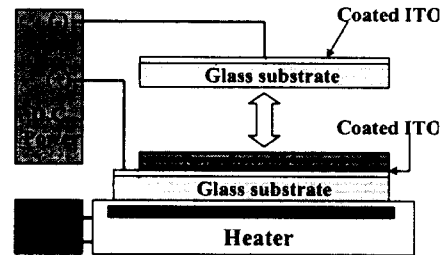


그림 2 정전 열 접합 공정도

Fig. 2 Set-up for electrostatic bonding

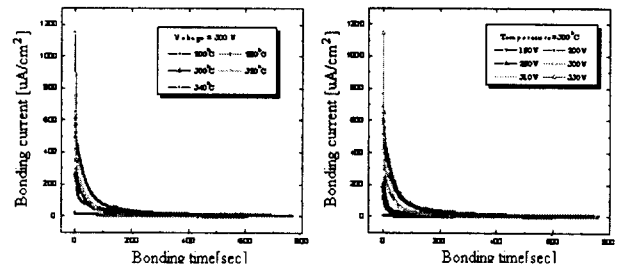


그림 3 정전 열 접합 공정 시 접합 온도

(a) 및 인가 전압 (b)에 대한 접합 전류의 변화

Fig. 3 Dependence of bonding current upon bonding temperature (a) and applied voltage (b) during electrostatic bonding process.

접합이 잘 된 부분의 경우 leak 등이 일어날 수 없을 정도로 완전한 재료적 연속성을 지니고 있음을 알 수 있으며, 잘 안된 부분의 경우 두 기판 간에 약 50 nm 정도의 틈을 갖는 미세한 틈이 형성됨으로써 leak가 일어날 소지가 있다. 기판 전체에 대한 단면 관찰 결과 접합이 불완전한 부분이 전체의 5% 이내에 불과한 점으로 미루어 보아 공정 개선에 의해 해결될 수 있을 것으로 판단되며, 또한 2차원적으로 볼 때 기판 쌍의 내부와 외부를 연결할 정도로 전파되지는 않아 후술할 밀봉된 공간의 진공 파괴에 크게 영향을 미치지 않을 것으로 보인다. 아울러 접합이 분리된 지점을 확대 관찰한 결과 각각의 기판 계면의 요철 모양이 유사한 성향을 띠고 있는 것으로 나타났는데, 이는 일단 접합이 일어났다가 재 분리된 것으로 볼 수 있으며, 따라서 접합 변수(표면 청정도, 사전 처리, 접합 온도 및 인가 전압, 전극 구조 변경 등)의 개선을 통한 접합 강도 강화에 초점을 맞춘다면 충분히 해결할 수 있을 것으로 생각된다.

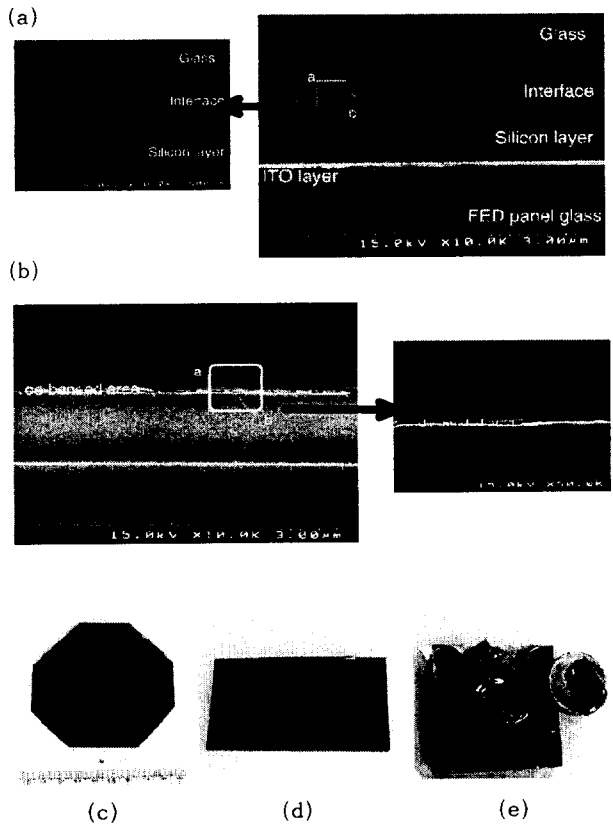


그림 4 접합된 sodalime-sodalime 기판 쌍에 있어서 접합이 잘 된 영역(a)과 접합 후 분리된 영역(b)에 대한 SEM 단면 사진 및 a□b 부분의 확대 사진, (c)접합된 두께 1mm, (d) 접합된 두께 3mm의 유리기판 쌍, (e) 접합강도 측정 후 파괴된 유리기판.

Fig. 4 SEM cross-sectional view and magnified view of a □b-marked area of the well-bonded(a),de-bonded (b) regions in the bonded glass pairs and bonded wafer pairs with thickness of 1mm(c),3mm(d) and fractured glass by tensile test.

그림 4(c)는 10 × 10cm² 크기의 두께 1mm인 유리기판간의 접합이며, 그림4(d)는 3×5cm² 크기의 두께 3mm인 유리기판을 접합한 사진의 모습이다. 접합된 기판 쌍들에 대해 인장 응력기를 이용하여 접합 강도를 평가한 결과 주로 sodalime의 bulk 내부에서 파괴가 일어나고 있음을 확인하였다. 그림 4(d)는 접합 강도 측정 후 유리기판이 파괴된 것을 보여 주며 이때의 접합 강도는 약 5.4MPa 이었다. 다른 기판간의 접합강도와 유사함을 볼 수 있다. 다른 경우 Si-ITO 박막 계면에서 분리가 일어났으며 이때의 접합 강도는 약 3MPa 이하이었다. Al 박막을 이용한 접합 강도는 약 3MPa로 보고되고 있다[10]. 접합과 비교 접합 강도 평가가 완료된 시편들 중에서 Si-ITO 박막 계면에서 분리가 일어난 부분들을 대상으로 하여 SIMS 깊이 분석을 행하여 접합 메커니즘에 기여하는 금속 양 이온들의 종류와 계면 과도 현상을 살펴보았다. 그림 5의 (a)와 (b)는 각각 앞면에 ITO가 코팅된 sodalime의 뒷면 즉, bare sodalime 표면과 접합 후 비정질 실리콘 박막의 계면에서 분리된 시편들 중 접합된 Si 막을 유지하고 있는 sodalime 기판에 대한 SIMS 분석 결과들을 보인 것이며, 이때 분석을 위한 sputtering rate는 약 100Å/min 정도이다.

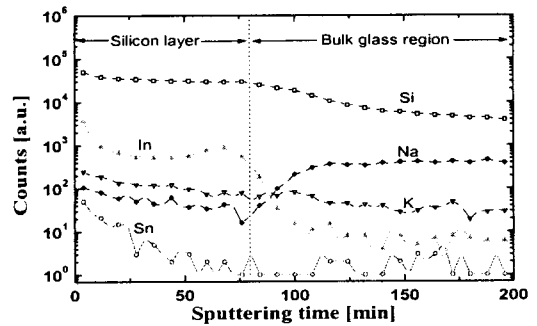


그림 5 접합 후 분리된 Si-sodalime 유리기판 계면에 대한 SIMS 깊이 분석 결과
Fig. 5 SIMS depth profile of de-bonded Si-sodalime bonding interface

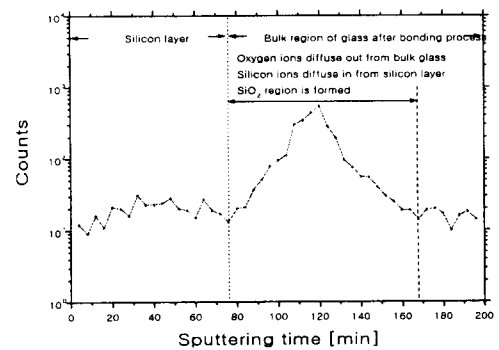


그림 6 접합 후 분리된 Si-sodalime 접합 계면의 SIMS 음이온(O) 분석 결과
Fig. 6 SIMS negative ion(O) analysis for the de-bonded Si-sodalime bonding interface

그림 5는 비정질 실리콘 박막-sodalime 접합 영역에 대한 결과로, sodalime의 접합 계면에 해당하는 영역에서 Na, K 등이 급격히 감소하는 점으로 미루어 보아 이들의 이온화 및 이동이 접합 메커니즘에 기여하는 것으로 판단된다. 또한, 실리콘 기판으로 In, Sn이 확산되어 있음을 볼 수 있다. 아울러, 0로 대표되는 음 이온 분석 결과를 그림 6에 나타내었는데 역시 sodalime의 접합 계면에 해당하는 영역에서 Si-O 성분이 축적되어 있는 것으로 나타났다. 이는 sodalime의 표면 근처에서 가열-전기장에 의해 금속 양이온들이 결핍되면서 두 물질(Si과 sodalime)이 정전력으로 강하게 끌어당겨지고, 이로 인해 접합 계면에서 약간의 화학 반응이 일어남으로써 Si-O 결합이 형성된다는 점을 뒷받침하고 있다[11].

3. Mo-tip FEA packaging 응용

Mo-tip FEA가 탑재된 패널에 대해, 하부 기판에 형성된 hole을 진공 내에서 sodalime-sodalime 접합에 의해 capping 함으로써 FED의 tubeless packaging을 위한 정전 열 접합 공정의 응용도를 평가하여 보았다. 본 실험에 사용된 Mo-tip FEA는 앞서 보고된 규격을 따르며 그 모양은 그림 7과 같다[12].

이러한 소자를 지름 6 mm의 hole과 음극용 Al 패턴이 가공되어 있는 sodalime 기판 상에 indium paste를 이용하여 mounting한 뒤 gate wiring을 하고 ITO가 코팅되어 있는 상부 기판과 frit sealing을 하였다. 이때 Mo-tip과 양극간의 거리는 가장자리의 유리 spacer를 이용하여 200 μm로 유지하였으며, frit이 둘러진 면적은 3×3 cm²가 되도록 하였다. 이와 같이 1차 조립된 패널을 capping 용 sodalime과 일정 거리만큼 분리하여 진공 챔버 내에 위치시킨 뒤 turbo pumping하여 진공도를 1.0×10⁻⁶ Torr에 이르도록 한 상태에서 진공-정전 열 접합을 수행하였다. 이때 정전 열 접합 조건은 300℃-250V_{dc}로 설정하였다. 접합 공정이 완료되어 진공 실장된 FEA 패널의 구조 및 모양을 그림 8에 보였다. 상부 기판의 ITO 전극을 통하여 인가되는 양극 전압을 400 V로 고정시킨 상태에서 gate 전압을 변화 시켜 가면서 하루 간격으로 전계 방출 전류를 측정하였다. 그림 9(a)로부터 알 수 있듯이 초기에는 85 V 정도의 gate 전압에 대해 150 nA의 전류를 얻을 수 있었으며, 이 후 시간이 경과함에 따라 동작 개시 전압이 증가하고 방출 전류가 감소하는 것으로 나타났다. 이러한 현상이 일어나는 이유를 추측하여 보면, 먼저 getter를 사용하지 않으므로써 패널 내부에 잔류하거나 발생하는 기체들에 의한 tip의 sputtering 및 전자의 scattering을 들 수 있으며, 다른 이유로 접합 계면을 통한 micro-leak도 고려할 수 있다. 그림 9(b)는 패널 내부에 getter를 사용하였을 경우의 전계 방출 곡선이다. 그림9(a)에 비해 안정적인 전계 방출을 하고 있음을 볼 수 있다. 그림에서 동작 개시 전압이 높은 것은 유리 frit의 seal line 형성과정에서 표면 산화에 의한 것이다. Day1에 비해 day 40, day 80에서 더 많은 전계 방출이 일어나는 것은 표면 산화되었던 Mo-tip이 충분한 aging을 거치면서 활성화된 것으로 보이며, 이후로 전계 방출이 줄어드는 것은 gate-leak current가 커지는 것으로 보아 내부 진공도의 악화 또는 phosphor의 영향 때문인 것으로 추측된다.

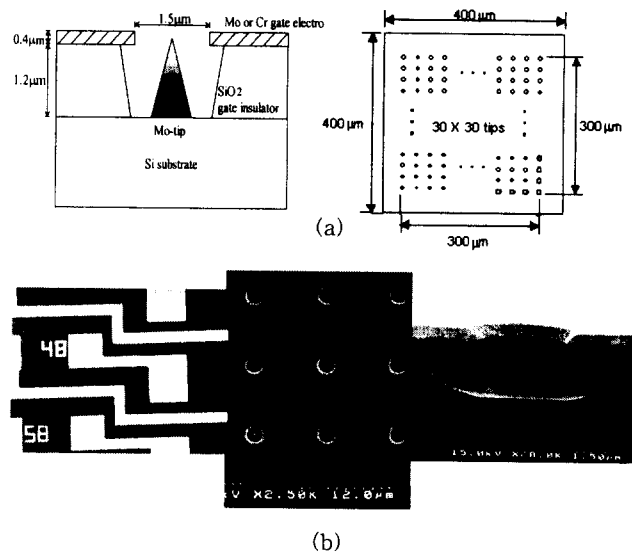


그림 7 본 실험에 사용된 Mo-tip FEA의 규격(a) 및 모양(b)[6]
 Fig. 7 Specification(a) and geometrical structure(b) for Mo-tip FEA used in this experiment[6]

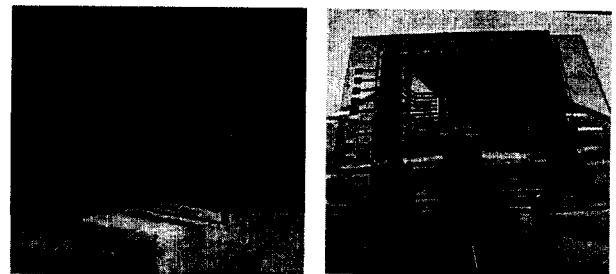
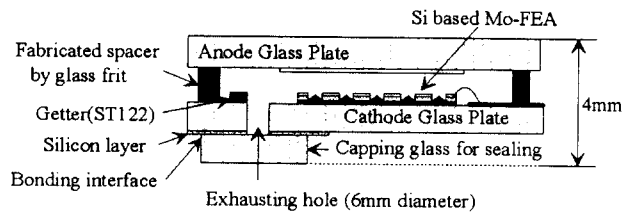


그림 8 진공-정전 열 접합 공정에 의해 실장된 FEA 패널 구조 및 사진
 Fig. 8 FEA panel structure and photograph packaged by vacuum-electrostatic bonding process

4. 결 론

FED의 tubeless packaging 적용을 위한 기판 실험으로써 1차 조립 과정을 거친 FEA 패널을 고진공 내에 넣고 유리-유리 간의 정전 열 접합에 의해 capping하는 실험을 행하였다. 이를 통하여 얻어진 결과들은 다음과 같다.

1) 두 장의 sodalime 유리들을 비정질 실리콘 박막을 이용하여 진공-정전 열 접합할 수 있는 공정을 개발하였다. 접합은 280~340℃의 온도와 200~330V_{dc}의 전압에서 이루어졌으며, SEM

확인 결과 대부분 우수한 접합 특성을 지니고 있는 것으로 나타났다.

2) 접합 계면에 대한 SIMS 분석 결과 sodalime 기판의 정전 열 접합에 기여하는 원소들은 Na, Al, K, Mg, Cl 등이며, 아울러 접합 계면 상에 Si-O 결합에 의한 oxide 물질이 형성됨을 실험적으로 알 수 있었다.

3) 고진공 내에서 정전 열 접합을 통하여 capping된 FEA 패널을 getter가 없는 경우와 삽입된 경우에 대해 날짜별로 전계 방출 특성을 보였으며, getter가 탑재된 경우에 장시간 동안 안정적인 방출이 일어나고 있음을 확인하였다.

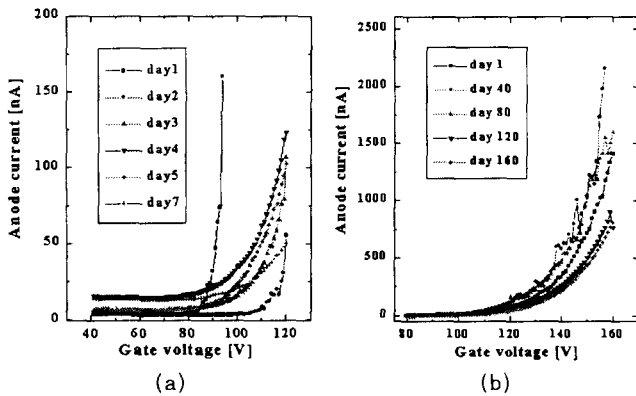


그림 9 실장된 Mo-tip FEA 패널의 시간 변화에 대한 I-V 특성; (a) 게터가 없을 경우 (b) 게터가 있을 경우

Fig. 9 I-V curve for time variation of the vacuum-packaged Mo-tip FEA panel (a) not inserted getter (b) inserted getter

본 연구는 과학기술부와 산업자원부에서 주관하는 초소형 정밀기계 선도기술 개발사업의 연구비 지원 및 KETI/ETRI의 일부 지원에 의한 것이며 이에 감사 드립니다.

참 고 문 헌

[1] P.H.Holloway et. al., Production and control of vacuum in field emission flat panel displays, Solid State Technology, August pp.47-54(1995)
 기술, 화학세계, 제37권, 6호, pp.17-26 (1997.6)
 [2] 주병권, 오명환, Field Emission Display의 최신 기술 분석, 월간 전자부품, pp.109-115 (1998.12)
 [3] 주병권, 오명환, 기판 접합 공정 및 이를 이용한 MEMS /FED Packaging 기술 동향, 전기학회지, 제47권, 12호, pp.21-29 (1998.12)
 [4] D.J.Lee et. al., Vacuum Sealing of Field Emission Array using Field Assisted Bonding Method", SID conference, pp.589-592 (1998.5)

[5] S.J.Jung et.al., High Vacuum Packaging and Vacuum Evacuation for Field Emission Display", Asia SID conference, pp.1157-1160 (1998.9)
 [6] B.K.Ju et. al., Electrostatic bonding between two ITO-coated glass for FED tubeless packaging applications, Trans.KIEE, vol.47, no.7, pp.1057-1061 (1998.7)
 [7] B.K.Ju et. al., Glass-to-glass electrostatic bonding for FED tubeless packaging application, Microelectronics Journal, vol.29, no.11, pp.839-844 (1998.11)
 [8] A. roth, Vacuum Technology, (ISBN 0-444-86027-4: Elsevier) pp.62-148 (1990)
 [9] J.F.OHanlon, A Users Guide to Vacuum Technology, John Wiley & Sons, Inc., USA (1989)
 [10] 김민수 et.al., 유리-Al 박막/유리 정전접합을 이용한 100 μ m 폭의 스페이서 형성, 제1회 MEMS학술 대회논문집, pp157-161 (1999)
 [11] Y.Kanda et. al., The mechanism of field-assisted silicon-glass bonding, Sensors and Actuators, vol. A21-A23, pp.939-943 (1990)
 [12] B.K.Ju et. al., Fabrication of Mo-tip field emitter array and diamond-like carbon coating effects, J.KIEEME, vol.11, no.7, pp.508-516 (1998.7)

저 자 소 개

주 병 권 (朱炳權)
 전기학회 논문지 제48권 제1호 참조
 Tel : (02) 958-5775
 E-mail : jbk@kist.re.kr

이 덕 중 (李德重)
 전기학회 논문지 제48권 제4호 참조
 Tel : (02) 958-5775
 E-mail : djlee@kist.re.kr



최 우 범 (崔祐範)
 1970년 5월16일생. 1995년 고려대 전기공학과 졸업. 1997년 동대학원 전기공학과 졸업 (공학석사). 1997~현재 동대학원 박사과정. 1995~현재 KIST정보재료소자센터 학생연구원
 관심분야 : SDB, MEMS, FED



김 영 조 (金榮祚)

1961년 12월 11일생. 1989년 서울시립대학교
전자공학과 졸업(공학사). 1991년 동대학원
전자공학과 졸업(공학석사). 1995년 동대학원
전자공학과 졸업(공학박사). 1995년~현재
청운대학교 전자공학과 조교수. 1997년~1998
년 청운대학교 전자공학과 학과장 역임.

주관심분야 : 반도체 박막 및 센서, MEMS, PDP

이 남 양 (李南良)

전기학회 논문지 제48권 제1호 참조

Tel : 0331-219-2207

오 명 환 (吳明煥)

전기학회 논문지 제48권 제1호 참조

Tel : 02-958-5775