

A Lateral Dual-Channel Emitter Switched Thyristor with the Segmented p-Base

吳在根* · 邊大錫** · 韓民九*** · 崔然益§
 (Jae-Keun Oh · Dae-Seok Byeon · Min-Koo Han · Yearn-Ik Choi)

Abstract - A new lateral device entitled SB-DCEST(segmented p-base dual-channel emitter switched thyristor), which suppresses the snapback is proposed and successfully fabricated. The proposed device effectively suppressed the snapback phenomenon by employing the high resistance in self-aligned segmented p-base when compared with the conventional DCEST. The SB-DCEST is successfully fabricated without any additional process steps as compared with conventional DCEST. The experimental results show that the SB-DCEST has the low forward voltage drop of 4.3 V at anode current of 150 A/cm² with the eliminated snap-back regime, while the conventional DCEST exhibits higher forward voltage drop of 5.3 V.

Key Words : snapback, EST, segmented p-base, forward voltage drop

1. 서 론

MOS 구동 사이리스터 중에서 EST (Emitter switched thyristor)는 IGBT (insulated gated bipolar transistor)[1]의 제조 공정과 같은 2중 확산 공정만으로 제작이 가능하기 때문에, 3중 확산 공정이 필요한 MCT에 비해 제작 공정이 용이하다. 또한, DCEST (dual channel emitter switched thyristor)는 게이트 구동에 의한 전류 포화 특징을 지니고 있어서 안전 동작 영역(safe operating area : SOA)이 넓은 장점을 갖는다. 그러나 EST는 순방향 동작 시 스냅백(snap-back) 현상이 발생하며 이것은 소자의 응용 시 문제점을 야기할 수 있다 [2, 3].

그림 1(a)은 일반적인 DCEST 소자의 단면도이다. 게이트에 문턱 전압보다 큰 전압을 가하고 애노드에 양의 전압을 가하면 캐소드에서 주입된 전자 전류는 pnp 트랜지스터(p' 애노드/n' 드리프트/p 베이스)를 구동시키는데 그 때 애노드에서 주입된 정공은 p' 베이스/n' 캐소드간의 전위 장벽을 넘지 못하고 그림 1(a)에 삽입된 그림과 바와 같이 p' 캐소드를 거쳐서 빠져나간다. 따라서 DCEST는 동작의 초반에는 트랜지스터 방식으로 도통되어 온-저항이 크게 나타난다. 애노드 전압이 증가하여, p 베이스 내의 수평 경로상의 션트(shunt) 저항(이하 R_p)에 의한 전압강하(V_p)가 0.7V

에 도달하면 p 베이스/n' 캐소드가 순방향으로 도통되어 pnp 트랜지스터와 npn 트랜지스터의 regenerative action으로 인한 사이리스터 동작이 발생하고 순방향 전압 강하가 낮아진다. 이와 같이 DCEST는 소자의 도통 시에 트랜지스터 방식에서 사이리스터 방식으로의 동작의 전환이 요구되므로, 그림 1(c)와 같은 스냅백 현상이 발생하게 된다.

표 1 제작에 이용된 소자 파라미터.

Table 1 The device parameters used for fabrication.

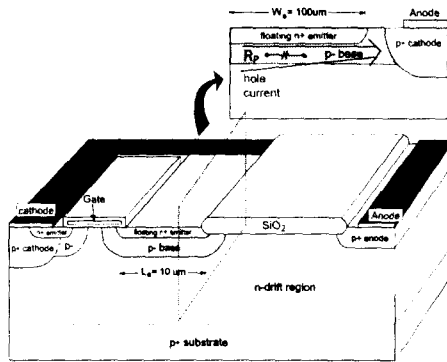
파라미터		설계값
접합 깊이	n' 캐소드	1 μm
	p 베이스	3 μm
	p' 캐소드	5 μm
표면농도	n' 캐소드	1 × 10 ²⁰ cm ⁻³
	p 베이스	5 × 10 ¹⁷ cm ⁻³
	p' 캐소드	1 × 10 ¹⁹ cm ⁻³
n-drift 영역 길이		80 μm
핑거 게이트의 폭, W _{fg}		5 μm
플로팅 n' emitter의 길이와 폭, L _e /W _e		10μm/100μm

사이리스터가 트랜지스터 방식으로부터 사이리스터 방식으로 동작이 전이되는 애노드 전류를 주 사이리스터 래칭 전류 (I_{lat} : main thyristor latching current)라 한다. 스냅백을 억제하기 위해서는 그림 1(a)에 나타낸 p-베이스의 수평경로상의 션트 저항(shunt resistance), R_p를 증가시킴으로써 래칭 전류를 낮추어야 한다 [4].

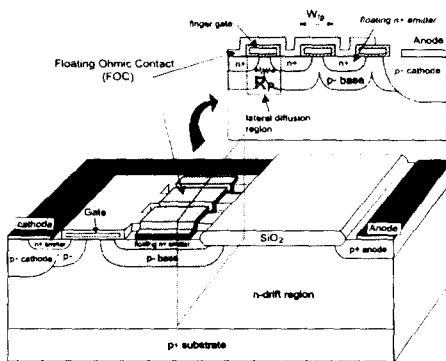
본 논문에서는 자기 정렬된 세그먼트 p-베이스 영역을 이용하여, 소자의 스냅백 현상을 억제하고, 순방향 전압 강

* 準會員 : 서울大 電氣工學部 碩士課程
 ** 正會員 : 서울大 電氣工學部 博士課程
 *** 正會員 : 서울大 電氣工學部 教授 · 工博
 § 正會員 : 亞洲大 電子工學部 教授 · 工博
 接受日字 : 1999年 4月 27日
 最終完了 : 1999年 6月 8日

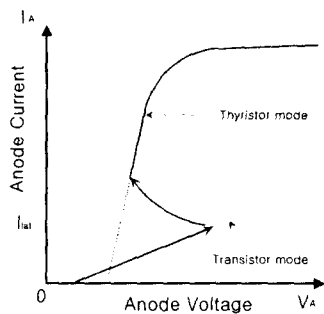
하를 크게 감소시킬 수 있는 새로운 이중 채널 에미터 스위치드 사이리스타(SB-DCEST : dual-channel emitter switched thyristor)를 제안하고, 제안된 소자와 기존의 구조를 함께 제작하여 소자 특성을 조사하였다.



(a)



(b)



(c)

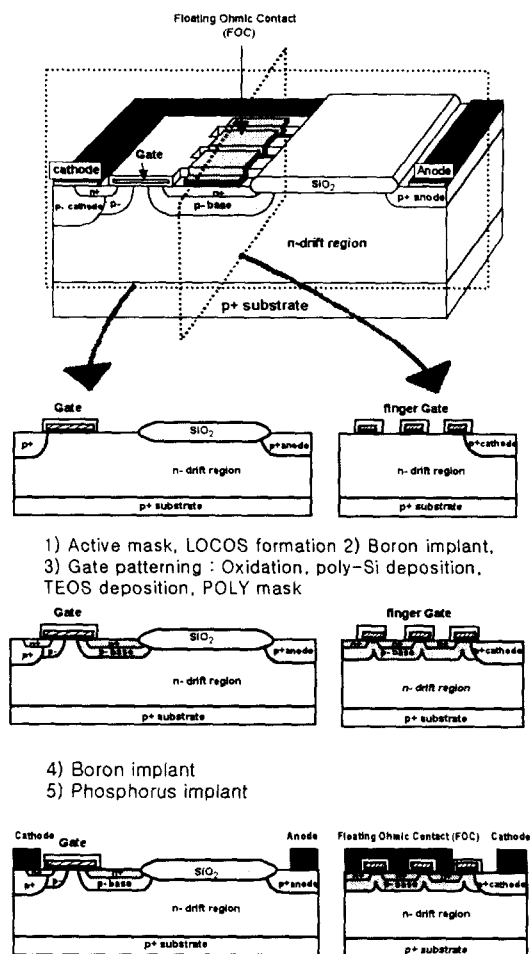
그림 1 DCEST의 단면도 및 I-V 특성 (a) 기존 구조, (b) 제안된 SB-DCEST, (c) 전류-전압 특성.

Fig. 1 The schematic views of (a) the conventional lateral DCEST, (b) the proposed lateral SB-DCEST, and (c) the I-V characteristics of the DCEST

2. SB-DCEST의 구조 및 제작 결과

제안된 SB-DCEST는 그림 1(b)에 나타낸 바와 같이 세

그먼트 p 베이스 구조를 이용하여 R_p 저항 경로에 고저항의 측방향 확산 영역을 다수 삽입함으로써 R_p 저항을 크게 증가시킬 수 있다. 세그먼트 p 베이스 구조는 게이트 폴리실리콘을 자기 정렬된 확산창으로 붕소 불순물을 확산시켜 형성된다. 각각의 p 베이스는 인접한 p 베이스와 측방향 확산에 의해 연결되며, 그 결과 그림 1(b)의 우측 상단의 그림과 같이 정공 전류 (hole current : I_h)는 고저항의 측방향 확산 영역을 경유하여 흐르게 되므로 저항 R_p가 크게 증가된 효과를 얻을 수 있다. 증가된 저항 R_p는 래칭 전류 I_{lat}를 낮춤으로써 스냅백의 억제력을 가능하게 함과 동시에 같은 전류 밀도에서 사이리스타 동작영역이 확대되는 효과를 가져오므로 소자의 순방향 전압 강하가 감소되는 효과를 얻을 수 있다.



6) Contact, 7) Metallization, 8) PAD

그림 2 SB-DCEST의 제작 공정.

Fig. 2 The process sequences of the SB-DCEST.

제안된 SB-DCEST는 집적회로용의 수평형 소자로 제작되었으며, (100) 결정 방향의 n-형 에피 웨이퍼를 이용하였다. 총 8장의 마스크를 이용하여 제작하였으며, 제작에 이용된 설계 파라미터를 표 1에 나타내었다.

그림 2는 소자의 제작 공정을 나타낸다. 3차원적 구조의 소자이기 때문에 소자를 정면에서 본 모양과 측면에서 본

모양을 함께 도시하였다. 제안된 SB-DCEST 소자는 LMCT와 달리 3중 확산 공정을 필요로 하지 않고 LIGBT와 같이 2중 확산 공정으로 제작이 가능하므로 LMCT에 비해서 공정 단계의 수가 줄어들며 LIGBT와 같은 수의 공정 단계로 제작이 가능하다.

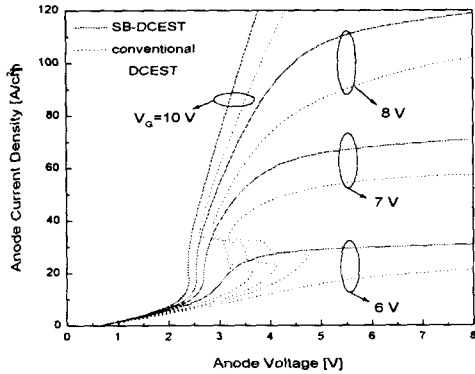


그림 3 SB-DCEST의 I-V 특성.
 Fig. 3 The measured I-V characteristics of the SB-DCEST.

제안된 SB-DCEST와 기존의 DCEST에 대한 전압-전류 특성의 측정 결과를 그림 3에 나타내었다. 게이트 전압을 6 V에서 10 V 까지 변화시키면서 각각의 경우의 기존 구조와 제안된 구조의 특성을 측정하였다. 제안된 SB-DCEST 구조의 전류-전압 특성에서 스넵백이 성공적으로 제거되었음을 알 수 있다. 이와 달리 기존의 DCEST 구조의 전류-전압 특성에서는 부성저항 영역 (negative resistance regime)을 포함하는 스넵백 영역이 관찰된다. SB-DCEST의 래칭 전류 밀도는 게이트 전압이 10 V 의 경우 12 A/cm² 로서, 기존 DCEST 구조의 20 A/cm²에 비해 40% 가 감소되었음을 확인하였다. 또한 게이트 전압이 6 V인 경우 기존 DCEST의 경우는 래치-업이 일어나지 않아서 트랜지스터 방식으로만 작동하고 사이리스터 동작을 하지 않는 것에 비해, 제안된 SB-DCEST는 사이리스터 동작을 하는 것이 관찰되었다. 애노드 전류 밀도 150 A/cm² 에서 제안된 SB-DCEST 소자의 순방향 전압 강하는 4.3 V로서 기존 DCEST 구조의 5.3 V에 비해서 1 V 가 감소했다. 제안된 SB-DCEST의 순방향 전압 강하가 기존 DCEST에 비해 감소하는 것은 주 사이리스터의 래칭 전류가 작아서 사이리스터 동작이 증대된 것에 기인한다.

3. 결 론

세그먼트 p⁻ 베이스를 이용한 새로운 DCEST 소자를 제안하고, 이를 제작하여 실험적으로 검증하였다. 제안된 SB-DCEST는 추가 마스크 없이 기존의 DCEST의 공정을 사용하여 성공적으로 구현되었다. 제안된 SB-DCEST는 고 저항의 측방향 확산 영역을 이용해 p⁻ 베이스의 셉트 저항을 크게 증가시켜 래칭 전류 밀도를 낮춤으로써 스넵백을 제거하였다. 제안된 SB-DCEST의 래칭 전류 밀도는 게이트 전압 10 V에서 12 A/cm² 로 기존 DCEST 구조의 20 A/cm²에 비해 40%가 감소된 크기이다. p⁻ 베이스의 셉트 저항의 증가는 소자의 사이리스터 동작 영역을 넓혀 줌으로써 소자의 순방향 전압 강하가 감소되는 효과를 얻었다. 제안된 SB-DCEST는 애노드 전류가 150 A/cm² 일 때 순방향 전압 강하가 4.3 V 로서 기존의 DCEST의 5.3 V 에 비해 크게 낮아진 결과를 확인하였다.

제안된 소자는 스넵백의 제거와 순방향 전압 강하의 감소 및 낮은 게이트 전압에서의 동작이 가능한 점으로 인해 전력집적회로(power integrated circuit)용 소자로서 유용할 것으로 기대된다.

감사의 글

본 연구는 과학기술부의 후원하에 99-X-4226으로 수행되었다.

참 고 문 헌

- [1] M. F. Chang, et al., "Comparison of N and P channel IGTs," Proc. IEDM, pp. 278-281, 1984
- [2] B.H. Lee, W.O. Lee, M.S. Lim, J.E. Park, M.K. Han, Y.I. Choi, "A New Dual-Gate LIGBT with the shorted Anode," Proc. SSDM, pp. 287-289, 1996.
- [3] V. Parthasarathy, and T. P. Chow, "Theoretical and Experimental Investigation of 500V p- and n-channel VDMOS-LIGBT Transistor," Proc. ISPSD, 1995, pp. 241-246.
- [4] B.J. Baliga, "Lateral Junction-Isolated Emitter Switched Thyristor," IEEE Electron Device Letters, Vol. 13, No. 12, pp. 615-617, 1992.