

Development and Application of TFT-LCD Pixel Design Tool (PDAST)

李泳三* · 郭志勳* · 崔涼宣**

(Young-Sam Lee · Ji-Hun Kwak · Jong-Sun Choi)

Abstract - A user-interactive pixel design tool for high-quality TFT-LCDs is realized and used to explore the sensitivity of the various array and device parameters for optimizing pixel design. In this tool, the Thompson cable equation and gradual-channel approximation were used for the gate time delay and TFT current modeling respectively. With this tool, each capacitance element, and TFT and array dimensions can be optimized under given design specifications. The electrical characteristics such as charging ratio, gate time delay, pixel voltage level-shift, and holding ratio can be analyzed. The sensitivity analysis of those design parameters were executed and presented.

Key Words : TFT, LCD, Pixel, PDAST, 화소설계

1. 서 론

21세기 정보전자 기술은 통신 기술과 컴퓨터 기술에 의해 급속히 발전될 것으로 예상되는데, 이를 뒷받침하여 주는 핵심 기술은 고부가가치를 갖는 반도체 기술과 디스플레이 기술이다. 반도체 기술은 인간의 두뇌 기능과, 디스플레이 기술은 인간의 시각 기능과 비교할 수 있다. 과거의 디스플레이에 대한 개념은 Cathode Ray Tube (CRT) 일변도의 제한된 영역에 의미를 두어 왔으나, 현재에는 여러 가지 사회적 변화의 요구에 의해 평판 디스플레이에 대한 연구가 활발히 이루어지고 있다. 여러 평판 디스플레이들 중에서, 지난 20년간 급속한 성장을 거두어온 액정 디스플레이(LCD)는 현재 평판 디스플레이 시장의 대부분을 점유하고 있는데, LCD는 가벼우면서 얇고, 전력 소모가 적어 무한한 발전 가능성을 내포하고 있는 분야이다. 이 중에서도 박막 트랜지스터(TFT)를 화소의 구동 소자로 사용한 TFT-LCD가 주류를 이룬다. TFT-LCD는 액정 기술과 반도체 기술이 복합된 기술 집약적 품목으로 CRT를 대체할 수 있는 첨단 제품이다.

고정세 및 대면적 제품의 개발이 지속적으로 진행되고, 적기에 출하되어야 하는 필요를 고려할 때, TFT, 화소, 액정패널 등의 특성이 정확히 분석될 수 있는 현실적인 설계 도구 또는 시뮬레이터의 개발은 필수적이다. 이는 TFT 어레이의 설계에 소요되는 비용과 시간을 크게 절감시킬 것이다. 일본의 여러 회사와 IBM[1]-[5]에서 화소의 설계를 위한 여러 연구 결과를 발표하였지만 직접 입력되는 TFT와

어레이의 물성 파라미터와 물리적 사양으로부터 화소와 어레이의 설계와 전기적 특성의 계산이 가능한 도구의 개발에 관한 보고는 없었다. 일반적으로는 이러한 화소의 설계에 SPICE 같은 회로 분석 프로그램을 사용하는데 시간적으로도 비경제적이며 TFT와 어레이의 물성 파라미터와 물리적 사양을 직접 입력하지는 못한다. 또한 PC용 SPICE인 경우 1000개 이상의 부화소(subpixel 또는 dot, 이후 화소로 표기함)로 구성된 어레이는 노드의 수가 너무 많아 분석이 불가능하다. 본 연구에서는 Visual C++을 사용하여 화소 설계에 제약이 없는 PC용32-bit 도구인 PDAST(Pixel Design and Array Simulation Tool)을 개발하고, 이의 유용성을 검증하기 위해서 13.3", 64계조, SVGA급 TFT-LCD의 화소를 설계하여 실제 발표된 데이터들과 비교·분석하였다. 그리고 그 결과를 AIM-SPICE에서 계산된 화소의 과도 충전 특성과 비교하였다. 또한 PDAST를 이용하여 TFT-LCD가 더 넓은 화면의 고정세 디스플레이에 응용되어 최적의 표시 기능을 나타내기 위해 만족되어야 할 몇 가지 요건들에 대한 분석도 수행하였다. 화소 설계를 위해서는 최악의 경우(worst case)에 대한 고려만으로도 충분하지만, PDAST는 TFT의 동작 영역이 선형일 때뿐만 아니라 포화 및 off 영역에서의 과도 특성도 정확히 계산할 수 있도록 쉽게 확장이 가능하며 어떤 크기나 어떤 해상도를 가지는 TFT 어레이에 대해서도 화소와 어레이의 설계가 가능하고, 어레이 상의 어떤 위치나 어떤 시간에 대해서도 특정 화소의 거동을 계산할 수 있다.

2. 화소 및 어레이 설계의 기초

안정된 표시성능을 얻기 위한 화소의 설계 시 화소에 인가되는 신호 전압이 배선의 저항과 각 종 용량에 의해 변형되는 것을 최소화하고 게이트 선택 시간(gate selecting

* 準 會 員 : 弘益大 工大 電子電氣工學部 碩士課程

** 正 會 員 : 弘益大 工大 電子電氣工學部 助教授 · 工博

接受日字 : 1998年 8月 28日

最終完了 : 1998年 4月 28日

time)이내에 화소로 충실히 전달될 수 있도록 게이트 및 데이터 배선의 재료가 선택되고 그 구조가 설계되어야 한다. 또한 화소에 인가된 신호 전압이 비선택 시간 동안 잘 유지되어 계조 표시에 지장이 없고 균일도가 보장되도록 화소의 용량들과 스위칭 소자의 특성이 고려되어야 한다. 뿐만 아니라 액정에 인가되는 비대칭의 전압이 30Hz의 플리커(flicker)를 발생시키는데 이러한 플리커를 최소화하기 위하여 대응 전극에 인가하는 전압이 최적화되고 보조 또는 부가용량도 화소의 충·방전을 방해하지 않는 범위 내에서 최대화되어야 한다. 그림 1에 개략적인 설계 도구의 구성을 흐름도 형식으로 나타내었다. PDAST는 먼저 입력되는 제품(panel)의 정보로부터 두 종류의 가장 일반적인 화소 레이아웃에 대해 화소의 크기와 개구율을 계산하여 사용자에게 제시한다. 다음으로는 화소 각 부분의 저항과 용량 성분이 입력된 구조와 물성 파라미터들로부터 계산된다. 이 계산된 회로 요소 값들로부터 설계할 패널에서 요구되는 on 및 off 전류값과 그 변화 허용 범위, TFT의 W/L비율, 전계효과 이동도와 문턱전압의 요구되는 균일도 등이 계산되어 제시된다. 이렇게 계산된 값들은 게이트 신호의 지연시간, 충전 시간(또는 충전율), 전압 유지율, 화소전압의 강하, 화소전압 강하의 최대 허용 편차 등의 계산에 사용되고, 계산된 값들은 이미 설정되어 입력되어 있는 어레이 설계기준 값들과 비교된다. 설계기준에 부합되지 않을 경우는 여러 가지 구조와 물성 파라미터들의 설계 값을 반복적으로 조절하여 최적의 어레이가 설계되도록 도구가 구성되었다. 아래에 상기의 여러 요소들에 대한 기본적인 수식들과 설계시 고려되어야 할 기준들을 제시하였다.

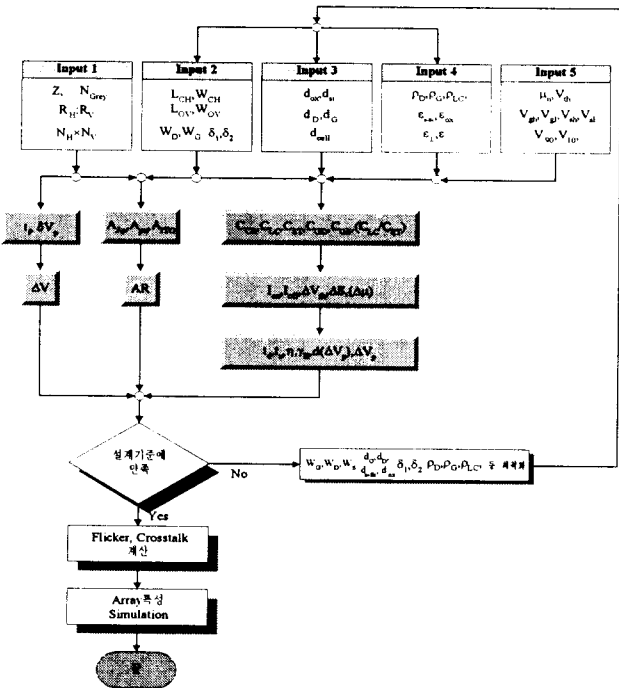


그림 1 개략적인 설계 Tool의 구성. 각 변수들의 의미는 본문에 설명되어 있음.

Fig. 1 Schematic structure of design tool. Definitions of parameters and variables are explained in the text.

2.1 화소의 레이아웃과 등가회로

우선 설계하고자 하는 화소의 여러 사양들이 필요한데, 화면의 크기(Z inch), 해상도($N_H \times N_V$) 및 영상비(aspect ratio, $R_H:R_V$)들로부터 화소의 크기($P_H \times P_V, \mu m^2$)가 계산된다. TFT의 채널길이(L_{CH}), 채널폭(W_{CH}), 게이트와 소오스/드레인 간의 중첩길이(L_{OV}), 배선의 폭(W_G 또는 W_D)과 배선들 간의 간격 등이 주어지면 보조(storage capacitor-on-common) 또는 부가용량(storage capacitor-on-gate)이 점유하는 면적을 제외한 개구부의 면적이 계산된다. 계속되는 화소구조의 최적화에 따라 반복 수정 계산되고 최종 설계되는 화소의 레이아웃과 등가회로의 여러 요소(저항, 용량)들이 정확히 계산되어질 수 있다.

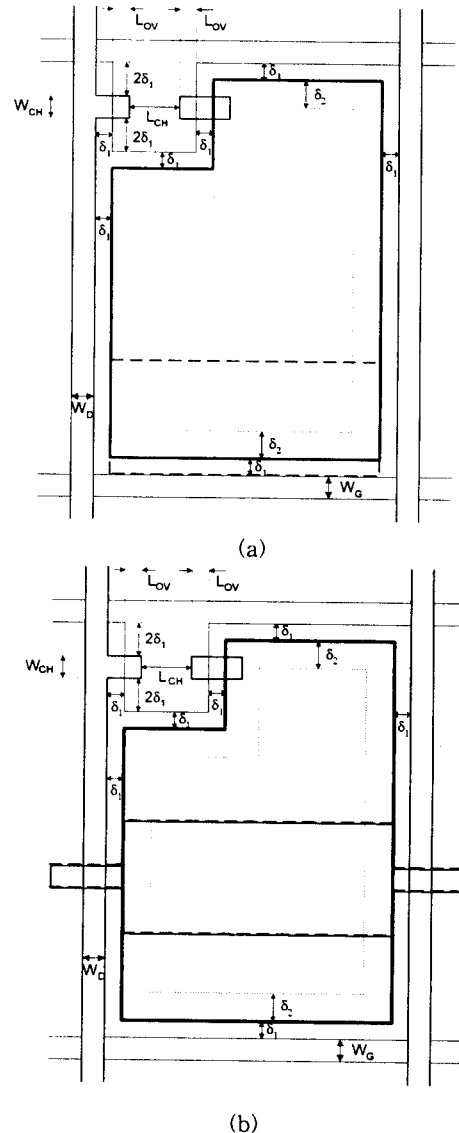


그림 2 PDAST에 사전 설정된 두 가지 화소 레이아웃: (a) 게이트 라인에 연결된 부가용량 형태, (b) 공통 전극에 연결된 보조 용량 형태.

Fig. 2 Two pre-defined pixel layouts used in PDAST: (a) additional capacitance type on gate (b) storage capacitance type on common

그림 2에 PDAST에서 다룰 수 있는 가장 일반적인 두 레이어아웃이 나타나 있다. 이 레이어아웃은 일반적인 형태이고 설계에 따라 달라진다. δ_1 은 화소 전극과 금속 배선간의 간격이고 δ_2 는 블랙 매트릭스 선단부와 화소전극 선단부 사이의 간격이다. 그림 3에는 부가용량이 연결된 화소의 등가 회로가 나타나 있다.

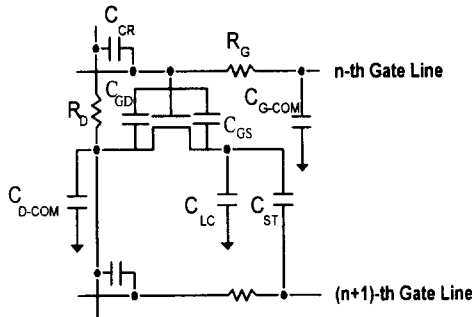


그림 3 TFT-LCD 화소의 등가회로.

Fig. 3 Equivalent circuit for a TFT-LCD pixel.

C_{CR} : 데이터 배선과 게이트 배선의 교차부 용량,
 C_{LC} : 액정 용량, C_{ST} : 축적 용량, C_{GD}/C_{GS} : 게이트와 소오스/드레인의 중첩에 의한 용량,
 C_{G-COM}/C_{D-COM} : 게이트 및 드레인 배선과 공통 전극 사이의 용량, R_G/R_D : 데이터 및 게이트 배선의 한 화소 당 저항.

2.2 액정전압의 허용 변화 전압

액정은 투과율이 90%가 되는 전압(rms 값) V_{90} 과 투과율이 10%가 되는 전압 V_{10} 사이에서 구동되며 계조 표시를 위해서 $|V_{10}-V_{90}|$ 값을 계조수(N_{grey})로 나누어 구동시키고, 이 값에 밝기 변화의 허용도에 상응하는 전압 변화 허용도 (δ_{Vc})를 곱하면 화소전압의 허용 변화 전압 ΔV 를 구할 수 있다:

$$\Delta V = \frac{|V_{10} - V_{90}|}{(N_{grey} - 1)} \cdot \delta_{Vc} \quad (1)$$

2.3 배선의 저항 및 용량 계산

금속 배선의 총 저항은 다음과 같이 나타낼 수 있다: $R_T = \rho \cdot L / (W \times t_m)$. 여기서 ρ 는 금속 물질의 저항률, L 은 배선의 길이, W 는 배선의 선폭, t_m 은 배선의 두께를 나타낸다. 데이터 배선과 게이트 배선의 한 부화소 당 저항은 해당되는 R_T 값을 데이터 배선과 게이트 배선 상의 부화소 수로 나누어 구한다. 한 부화소 당 각종 용량 성분은 데이터 배선과 게이트 배선의 교차부의 용량 C_{CR} , 액정 용량 C_{LC} , 축적 용량 C_{ST} , 게이트와 소오스/드레인의 중첩에 의한 기생 용량 C_{GD} , C_{GS} 으로 구성되어 있다. C_{CR} 은 반도체 층의 용량 C_{a-Si} 과 절연층의 용량 C_{ox} 이 직렬로 연결되어 있고 교차부의 면적은 데이터선의 폭 W_D 와 게이트선의 폭 W_G 의 곱으로 나타낼 수 있다. 반도체 층의 유전율과 두께 ϵ_{a-Si} , d_{a-Si} , 절연층의 유전율과 두께는 ϵ_{ox} , d_{ox} 는 입력 값이다. 이 중의 절연층을 갖는 경우는 다음 식으로 절연층 용량을 대체하면

된다:

$$C_{ox} = \frac{C_{ox1} \cdot C_{ox2}}{C_{ox1} + C_{ox2}} \quad (2)$$

C_{LC} 는 액정의 유전율(ϵ_{LC}), ITO의 총면적(A_{ITO}), cell gap(d_{cell})의 값으로 구할 수 있다. 액정의 유전율은 전계가 인가된 경우 $\epsilon_{//}$ 와 무전계인 경우 ϵ_{\perp} 가 다른 값을 갖는데 각각 다음 식으로 구할 수 있다:

$$C_{//} = \frac{\epsilon_0 \cdot \epsilon_{//}}{d_{cell}} \cdot A_{ITO} \quad (3)$$

$$C_{\perp} = \frac{\epsilon_0 \cdot \epsilon_{\perp}}{d_{cell}} \cdot A_{ITO} \quad (4)$$

부가 또는 보조용량(C_{ST})을 사용하면 화소간의 전압 유지특성이 향상되고 계조 표시가 안정화되며 잔상현상이 감소되나, 개구율이 저하되고 신호지연이 발생된다. C_{ST} 는 절연층의 용량 성분으로 구성되어 있으므로, 설계 면적 A_{ST} 가 정해지면 쉽게 구할 수 있다. 이중 절연층인 경우 C_{CR} 의 경우와 같은 방법으로 계산할 수 있다. 게이트 용량 C_{GD} , C_{GS} 는 액정을 구동하는 교류 전계에 직류 성분을 발생시켜 표시 특성에 치명적인 결함을 발생시킬 수 있으므로 매우 낮은 값을 갖도록 설계해야 한다. C_{GD} 와 C_{GS} 는 C_{a-Si} 와 C_{ox} 가 직렬로 연결된 형태이다. 또한 C_{GD} 와 C_{GS} 는 진성의 채널용량(C_{GD1} 와 C_{GS1})과 게이트 전극과 소오스/드레인 전극의 중첩에 의한 기생용량(C_{GD0} 와 C_{GS0})의 합이고 채널용량의 경우는 게이트 절연체 용량(C_{ox})과 인가전압에 따른 반도체 층의 공간전하의 변화에 의한 용량(C_{sc})이 직렬로 연결된 용량(C_{mis})으로 모델링할 수 있다. 그런데 $1/C_{sc}$ 와 $1/C_{ox}$ 의 비가 최악의 경우 0.019 : 1정도이고 C_{mis} 가 $0.98C_{ox}$ 가 되므로 $C_{mis} \approx C_{ox}$ 로 계산하여도 큰 문제는 없다. 채널용량(C_{GD1} 와 C_{GS1})을 인가 전압의 함수로 단순화 한 Meyer[6]의 MOSFET 채널용량 모델을 사용하였다:

$$C_{ox} = \frac{\epsilon_0 \cdot \epsilon_{ox}}{d_{ox}} \quad (5)$$

$$C_{GSi} = \frac{2}{3} W_{CH} \cdot L_{CH} \cdot C_{ox} \cdot \left[1 - \frac{(V_G - V_D - V_{th})^2}{(2V_G - 2V_{th} - V_D - V_P)^2} \right] \quad (6)$$

중첩용량의 면적은 중첩의 길이 L_{ov} 와 채널폭 W_{CH} 의 곱으로 나타낼 수 있다. 게이트 배선과 공통전극 사이의 용량은 게이트 절연막과 액정층에 의한 용량이 직렬로 연결되어 있는 용량으로 계산할 수 있는데, 이 용량에는 채널용량, 소오스용량, 드레인용량, 게이트 중첩 부위 용량은 포함되지 않고, 그 면적은 $W_G \times L_G / (3 \times N_v)$ 로 계산된다:

$$C_{G-COM} = \frac{C_{LC} \cdot C_{OX}}{C_{LC} + C_{OX}} \times FF \quad (7)$$

FF는 fringing 효과를 고려한 보정 상수로 사용자가 설정할 수 있는 입력변수이다. 데이터 배선과 공통전극 사이의 용량도 같은 방법으로 모델링되는데, 면적은 $W_D \times L_D / N_H$ 이다.

2.4 On/Off 전류값과 균일성 설계

게이트 선택 시간 t_g 에서 시간지연 등을 고려한 시간 동안에 V_P 가 데이터 전압 V_{sh} 의 일정 수준까지 도달할 수 있는 전류를 최소의 I_{ON} 으로 정의한다:

$$I_{ON} = C_{PX} \frac{dV_P(t)}{dt} = \frac{(V_D - V_P(t))}{R_{ON}} \quad (8)$$

여기서 $C_{PX} = C_{GS} + C_{ST} + C_{LC}$ 이고, 위 식을 풀면 $V_P(t)$ 에 대한 식을 얻을 수 있고, $V_D = V_{sh}$ 이다:

$$V_P(t) = V_{sh} - (V_{sh} - V_{sl}) \cdot e^{-\frac{(t-t_0)}{R_{ON} \cdot C_{PX}}} \quad (9)$$

V_{sl} 은 데이터 전압의 초기 값이다. $t_g/2$ 동안 인가전압 V_{sh} 보다 V_P 의 허용 변화 전압 ΔV 보다 더 낮아지지 않는 허용 최대 on 저항과 최소의 I_{ON} 은 다음과 같이 나타낼 수 있다:

$$R_{ON} \leq \frac{-t_g}{2 \cdot C_{PX} \cdot \ln[\Delta V / (V_{sh} - V_{sl})]} \quad (10)$$

$$I_{ON} \geq \frac{(V_{sh} - V_{sl})}{R_{ON}} \quad (11)$$

I_{OFF} 는 다음 프레임(frame)까지 화소전위를 일정 수준 이상 유지할 수 있는 허용 최대 누설전류로 정의한다. 그런데 TFT가 off상태로 될 때, 기생용량으로 인해 $V_P(t)$ 에 ΔV_P 의 강하가 발생하며, ΔV_P 는 다음과 같이 나타낼 수 있는데[7]

$$\Delta V_P = (V_{gh} - V_{gl}) \cdot \frac{C_{GSon}}{(C_{GSoff} + C_{ST} + C_{LC})} - (V_D + V_{th}) \cdot \frac{(C_{GSon} - C_{GSoff})}{(C_{GSoff} + C_{ST} + C_{LC})} \quad (12)$$

off기간 동안 ΔV_P 를 고려한 $V_P(t)$ 는 다음과 같이 구할 수 있다:

$$V_P(t) = (V_{sh} - \Delta V_P) \cdot e^{-\frac{t}{\tau_{PX}}} \quad (13)$$

$$\tau_{PX} = \frac{R_{OFF} \cdot R_{LC}}{R_{OFF} + R_{LC}} \cdot C_{PX} \quad (14)$$

한 프레임시간 t_f 가 지난 후의 화소전극 전압은 누설전류에 의해 감소하게 되는데, 감소되는 전압이 V_P 의 허용 변화 전압 ΔV 를 초과해서는 안 되므로 이때 허용되는 최소의 off저항과 최대 I_{OFF} 는 다음과 같이 나타낼 수 있다:

$$R_{OFF} \geq \frac{-t_f}{C_{PX} \cdot \ln[1 - \Delta V / (V_{sh} - \Delta V_P)]} \quad (15)$$

$$I_{OFF} \leq \frac{(V_{sh} - V_{sl})}{R_{OFF}} \quad (16)$$

액정의 누설전류도 존재하지만 여기서 I_{OFF} 는 TFT를 통하여 흐르는 누설전류만을 고려한 것인데 일반적으로 액정의 누설전류는 액정 저항이 R_{OFF} 의 10배 이상인 경우에 무시할 수 있다.

표시 특성의 균일성을 유지하기 위한 각 특성 변화의 허용 범위는 일반적으로 $\Delta V/2$ 를 기준으로 하므로 on 및 off 전류의 허용 변화 범위인 ΔI_{ON} 과 ΔI_{OFF} 는 $\Delta V/2$ 와 ΔV 에 대한 허용 가능한 최소 전류들의 차이인 $I_{ON}(\Delta V/2) - I_{ON}(\Delta V)$ 와 $I_{OFF}(\Delta V) - I_{OFF}(\Delta V/2)$ 가 된다. 문턱전압의 허용 변화 범위 ΔV_{th} 는 선형영역에서의 전류-전압 관계식을 이용하여 다음과 같이 나타낼 수 있다:

$$\Delta V_{th} = \frac{\Delta I_{ON}}{\mu_n \cdot C_{ox} \cdot (W/L) \cdot V_D} \quad (17)$$

문턱전압은 계면 상태, 소오스-드레인의 접촉저항 등과 밀접한 관계가 있으므로 실제로 ΔV_{th} 는 이론값보다 낮은 값으로 설정해야 한다. 또한 문턱전압을 일정하게 고정하고 포화영역에서의 전류-전압 관계식으로부터 전계효과 이동도의 허용 변화 범위 $\Delta \mu$ 를 계산할 수 있다:

$$\Delta \mu = \frac{\Delta I_{ON}}{C_{ox} \cdot (W/2L) \cdot (V_G - V_{th})^2} \quad (18)$$

2.5 게이트 배선의 충전 특성

TFT-LCD 화소 어레이에서 게이트 구동 배선의 주 기능은 게이트 용량을 충전하여 TFT를 켜는 것이고, 데이터 구동라인의 경우는 TFT를 통해 화소용량을 충전하는 것이다. 그림 3의 한 화소에 포함된 회로 구성 요소들은 게이트 구동 배선과 데이터 구동 배선을 제외하고는 모두 집중된(lumped) 요소들로 모델링할 수 있다. 게이트 및 데이터 구동 배선은 분산된(distributed) 저항과 용량을 가지고 있으므로, 이들은 여러 개의 집중된 미세 저항과 용량으로 구성된 회로들이 cascade되어 있는 회로망으로 모델링되어야 한다. 그림 4에 나타난 것과 같이 cascade된 π -network으로 게이트 구동 배선과 데이터 구동 배선을 모델링할 수 있다.

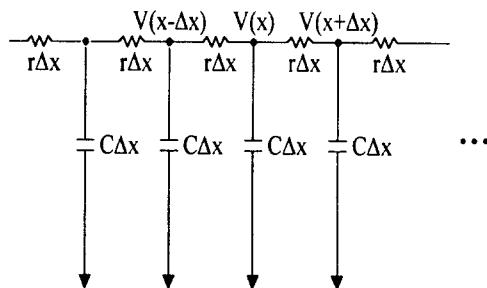


그림 4 TFT-LCD 배선의 등가회로.
Fig. 4 Equivalent circuit for signal busline of TFT-LCDs

Cascade된 π -network의 배선 상의 한 점(node)에서의 전압을 나타내는 식은 아래에 유도된 미분방정식을 풀어서 구할 수 있다[8],[9]:

$$rc \cdot \frac{dV(x)}{dt} = \frac{d^2 V(x)}{dx^2} \quad (19)$$

윗 식에서 x 는 신호 입력점에서의 거리이고, r 은 단위길이 당 저항이며, c 는 단위길이 당 용량이다. 또한 전류에 대한 미분방정식도 Thompson 케이블 방정식으로부터 구할 수가 있고, 이 방정식들을 푸는 데는 Laplace 변환을 이용하고 게이트 전압과 전류의 초기 조건을 적용하게 된다. RC 라인의 길이가 L_G 이고 끝점이 단선 처리되었을 경우, 게이트 라인의 충전시의 경계조건을 적용하고 역 Laplace 변환을 통해 게이트 배선 상의 전압 및 전류식들을 구할 수가 있다 ($\Delta V_{Gon} = V_{gh} - V_{gl}$)[9]:

$$v(x, t) = V_{gh} - \frac{4 \cdot \Delta V_{Gon}}{\pi} \sum_{n=0}^{\infty} \frac{1}{(2n+1)} \cdot \exp\left[-\frac{(2n+1)^2 \pi^2}{4rcL_G^2} t\right] \cdot \sin\left[\frac{(2n+1)\pi x}{2L_G}\right] \quad (20)$$

$$i(x, t) = \frac{2 \cdot \Delta V_{Gon}}{rL_G} \sum_{n=0}^{\infty} \exp\left[-\frac{(2n+1)^2 \pi^2}{4rcL_G^2} t\right] \cdot \cos\left[\frac{(2n+1)\pi x}{2L_G}\right] \quad (21)$$

위의 식들과 아래 식들에 포함된 변수나 상수들의 정의는 그림 5에 나타나 있는 것과 같은 게이트 및 데이터 인가 신호와 액정에 부가되는 전압 파형에 표시되어 있다. 유사한 방법으로 방전시 게이트 전압과 전류의 초기 조건을 고려하여 적용하면 방전시의 전압과 전류의 식도 구할 수 있다 ($\Delta V_{Goff} = V_{gl} - V_{gh}$):

$$v(x, t) = V_{gl} - \frac{4 \cdot \Delta V_{Goff}}{\pi} \sum_{n=0}^{\infty} \frac{1}{(2n+1)} \cdot \exp\left[-\frac{(2n+1)^2 \pi^2}{4rcL_G^2} t\right] \cdot \sin\left[\frac{(2n+1)\pi x}{2L_G}\right] \quad (22)$$

$$i(x, t) = \frac{2 \cdot \Delta V_{Goff}}{rL_G} \sum_{n=0}^{\infty} \exp\left[-\frac{(2n+1)^2 \pi^2}{4rcL_G^2} t\right] \cdot \cos\left[\frac{(2n+1)\pi x}{2L_G}\right] \quad (23)$$

위의 식들에서 r 은 배선의 단위길이 당 저항이고 c 는 단위길이 당 용량인데, TFT-LCD의 경우 r 과 c 를 한 화소 당 게이트 배선의 저항과 용량으로 하고 L_G 를 게이트 배선에 연결된 화소의 수로 계산하면 된다. 이 경우 c 는 게이트 배선과 칼라필터 상의 대응전극 사이 또는 데이터 배선과의 사이에 형성되는 용량이다. 그림 3의 경우와 같이 부가용량이 연결된 경우, 한 화소에서 총 용량은 다음과 같이 나타낼 수 있다:

$$C_{GT} = C_{CR} + C_{CD} + C_{G-COM} + \frac{1}{\frac{1}{C_{GS}} + \left(\frac{1}{C_{ST} + C_{LC}}\right)} + \frac{1}{\frac{1}{C_{ST}} + \left(\frac{1}{C_{LC} + C_{GS}}\right)} \quad (24)$$

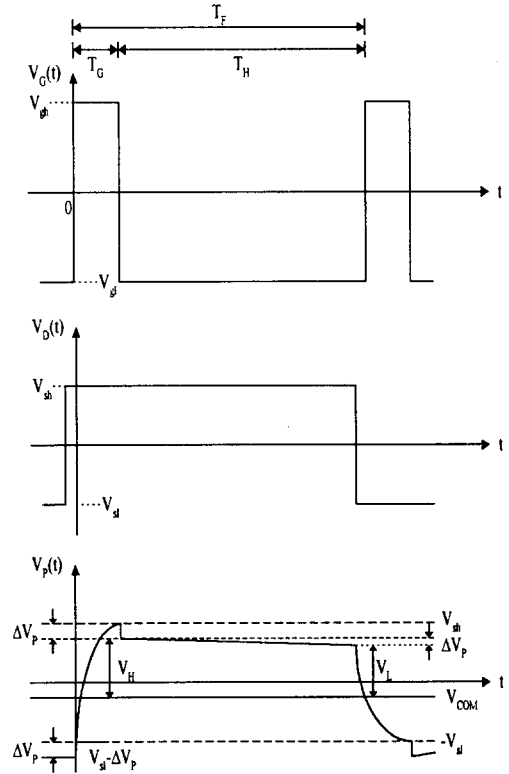


그림 5 어드레스(게이트), 데이터 및 화소 전압 파형.
Fig. 5 Typical waveforms of gate, data, and pixel voltage signals.

게이트 지연시간을 나타내는 설계 기준식을 구하기 위해 위의 충전시 게이트 전압식에 $x=L_G$ 를 대입하면 아래와 같이 된다[9]:

$$\frac{v(L_G, t)}{V_{gh}} = 1 - \frac{4}{\pi} \left(1 - \frac{V_{gl}}{V_{gh}}\right) \sum_{n=0}^{\infty} \frac{(-1)^n}{(2n+1)} \exp\left[-\frac{(2n+1)^2 \pi^2}{4rcL_G^2} t\right] \quad (25)$$

2.6 화소 설계기준

TFT-LCD에서는 데이터 신호가 TFT를 통해 액정셀에 인가되고 이 전압이 빛의 세기를 조절한다. 그림 5에 나타나 있는 것과 같은 전압 파형을 가정하여 액정셀의 충전 특성에 대한 관계식을 유도하였다. 화소전극에 축적된 전하량은 아래와 같고[9],

$$Q_P = C_{GS} \cdot (V_P - V_G) + C_{ST}(V_P - V_{ST}) + C_{LC}(V_P - V_{COM}) \quad (26)$$

충전 드레인 전류는 $I_D = dQ_P/dt$ 이다. 여기서 V_P 는 화소전압, V_G 는 게이트전압, V_{ST} 는 부가용량의 대응전극의 전압이며 V_{COM} 은 화소전극의 대응전극 전압인데, 편의상 접지로 가정한다. TFT는 출력특성의 선형영역 ($V_G - V_{th} \geq V_D$)에서 작동하여 액정셀을 충전하므로 gradual-channel 근사 방법으로 유도한 전류식은 다음과 같다:

$$I_D = \beta_0 \cdot [(V_G - V_{th} - V_P) \cdot (V_D - V_P) - (V_D - V_P)^2/2] \quad (27)$$

$$\beta_0 = \mu_n \cdot C_{ox} \cdot (W_{CH}/L_{CH}) \quad (28)$$

μ_n 은 전자의 채널이동도, C_{ox} 는 단위 면적 당 게이트용량, V_{th} 는 TFT의 문턱전압을 의미한다. 위의 두 식과 $I_D = dQ_P/dt$ 관계로부터 얻어진 방정식에서 $V_P(t)$ 를 구한다:

$$\frac{dV_P(t)}{dt} = \frac{1}{2} \cdot \frac{\beta_0}{C_{PX}} \cdot [(V_G - V_{th} - V_P)^2 - (V_G - V_{th} - V_D)^2] \quad (28)$$

식 (28)의 근은 초기 값이 $V_P = V_{P0}$ 이면 아래와 같이 구해지고 관련 상수들도 정의된다[9]:

$$V_P = \frac{1 - A \exp(-t/\tau)}{1 - B \exp(-t/\tau)} \cdot V_D \quad (29)$$

$$\tau = \frac{C_{PX}}{\beta_0(\Delta V_G - V_{th} - V_D)} \quad (30)$$

$$A = \frac{(V_D - V_{P0})}{V_D} \quad (31)$$

$$\cdot \frac{2 \cdot (\Delta V_G - V_{th} - V_D) + V_D}{2 \cdot (\Delta V_G - V_{th} - V_D) + V_D - V_{P0}}$$

$$B = \frac{V_D - V_{P0}}{2 \cdot (\Delta V_G - V_{th} - V_D) + V_D - V_{P0}} \quad (32)$$

부주기(negative cycle)에서 정주기(positive cycle)로 갈 경우 $\Delta V_G = V_{gh} - V_{gl} (= \Delta V_{Gon})$ 이고, $V_D = V_{sh}$, $V_{P0} = V_{sl}$ 이며 반대로 정주기에서 부주기로 갈 경우 $\Delta V_G = V_{gl} - V_{gh} (= \Delta V_{Goff})$ 이고, $V_D = V_{sl}$, $V_{P0} = V_{sh}$ 이다. 위의 식으로부터 충전율을 정의할 수 있다[9]:

$$\eta = \frac{1 - A \exp(-t_c/\tau)}{1 - B \exp(-t_c/\tau)} \quad (33)$$

t_c 는 충전시간으로 화소용량의 충전에 할당된 게이트 선택 시간(t_s)동안 이루어져야 한다. 설계 조건에 따라 달라지는데, 고품질 표시를 위해서는 $t_s/2$ 동안 95% 이상의 충전이 필요하다. 게이트 접근 시간은 t_i/N_v 로 주어지고 여기서 t_i 는 프레임 시간(frame time)이고 N_v 는 게이트 구동 배선의 수

이다. 게이트 신호 지연시간은 게이트 배선의 한 쪽 끝에 신호가 인가된 후 배선의 다른 쪽 끝의 전압이 인가 전압의 95%에 도달 할 때까지의 시간으로 정의하는 경우 $t_d \approx 1.32rcL_G^2$, 인가 전압의 90% 기준일 때는 $t_d \approx 1.03rcL_G^2$ 의 식으로 개략적인 게이트 배선의 지연시간을 계산할 수 있다 [9].

이 충전 특성으로부터 TFT의 외관비에 대한 기준이 유도될 수 있는데 95% 충전시간이 선택 시간의 반인 $t_s/2$ 이하라야 한다는 조건($t_c \leq (1/2) \cdot t_s$)과 게이트 신호 지연 시간(t_d)을 고려하여 위의 충전율 식으로부터 다음 기준을 유도할 수 있다[9]:

$$\frac{W}{L} \geq \text{Ln} \left(\frac{A - \eta B}{1 - \eta} \right) \cdot \frac{2}{(t_s - 2t_d)} \cdot \frac{C_{PX}}{\mu_n C_{ox}} \cdot \frac{1}{(V_G - V_{th} - V_D)} \quad (34)$$

t_d 는 게이트 선택시간의 10% 이내로 하고 구동 조건과 각 박막층의 두께가 정해져 있다면 외관비 W/L 과 C_{PX} 가 설계시 최적화 되어야 할 파라미터들이다. 위에서 구한 $V_P(t)$ 식에서부터 구할 수 있는 다른 중요한 설계의 기준은 TFT의 충분한 유지 특성이다. 프레임시간 동안 화소에 충전된 전하가 off상태인 TFT를 통해 방전되어서는 안 된다. 비선택 시간이 시작될 때 기생용량으로 인한 V_P 의 강하 ΔV_P 를 고려한 화소전압 값은 $V_H = V_{sh} - \Delta V_P$ 가 되므로 화소전압은 다음과 같이 주어진다:

$$V_P(t) = V_H \cdot e^{-t/\tau_{PX}} \quad (35)$$

$$\tau_{PX} = \frac{R_{off} \cdot R_{LC}}{R_{off} + R_{LC}} \cdot C_{PX} \quad (36)$$

비선택 기간이 끝나는 시점의 화소전압은 다음과 같이 표시할 수 있고 유지율도 구할 수가 있다:

$$V_L \approx V_P(t_f) = V_H \cdot e^{-t_f/\tau_{PX}} \quad (37)$$

$$r_H = \frac{V_L}{V_H} = e^{-t_f/\tau_{PX}} \quad (38)$$

화소전극에 인가되는 실효(rms) 전압을 구하여 유지율로 표시하면 아래와 같다:

$$\begin{aligned} \overline{V_P} &= \sqrt{\frac{1}{t_f} \int_0^{t_f} V_P^2(t) dt} \\ &= (V_{sh} - \Delta V_P) \cdot \sqrt{\frac{1}{2 \text{Ln}(r_H)} (r_H^2 - 1)} \\ &: 0 < r_H < 1 \end{aligned} \quad (39)$$

화소의 전위는 게이트 전극과 소오스 전극에서 생성되는 기생용량 C_{GS} 에 의해 TFT가 off상태로 되면 V_P 가 ΔV_P 만큼 감소한다. V_{COM} 을 적절히 보정하면 정주기와 부주기에 인가

되는 실효 전압 값이 비슷하게 되게 하기 위해 교류 전압을 인가할 필요가 있다. 이 ΔV_P 는 LCD의 표시 특성을 저하시키는 요인이 되는데, 플리커, image sticking, 영구적인 휘도의 불균일 등을 유발시키게 된다. 윗 식에서 기생용량 C_{GS} 는 게이트 전압의 변화에 따라 변하지만 게이트 펄스의 과도특성이 TFT의 반응속도보다 훨씬 빠르면 게이트 전압의 최고치에 대응되는 값으로 일정하다고 가정할 수 있다. 액정의 용량도 인가되는 전압에 따라 변하는데 전압이 인가되지 않았을 때 유전율($\epsilon = \epsilon_{\perp}$)이 전압이 인가되었을 때 유전율($\epsilon = \epsilon_{\parallel}$)보다 낮다. 두 화소 사이의 ΔV_P 의 최대 차이는 다음과 같이 되고,

$$d(\Delta V_P)_{\max} = \Delta V_{P1} - \Delta V_{P2} \quad (40)$$

ΔV_{P1} 과 ΔV_{P2} 는 C_{LC} 대신 C_{\perp} 와 C_{\parallel} 를 각각 식 (12)에 대입하여 얻을 수 있다. 화소 설계 시 ΔV_P 와 $d(\Delta V_P)_{\max}$ 가 일정한 수준 이하가 되도록 하여야 한다. 이 때 ΔV_P 를 보정하기 위해 칼라필터 상에 있는 대응전극에 인가해 주는 전압 V_{COM} 은 다음과 같이 주어진다:

$$V_{COM} = - \frac{|\Delta V_{P1} + \Delta V_{P2}|}{2} \quad (41)$$

$$\delta V_{COM} = \Delta V_{P1} + V_{COM}, \quad \Delta V_{P2} + V_{COM} \quad (42)$$

설계 기준이 되는 항목과 그 내용에 표 1에 정리하였다. 설계 기준은 사용자가 원하는 내용으로 설정하여야 하는데 입력 값이 없으면 사전 설정된 값으로 한다.

표 1 화소 설계의 기준 항목과 내용

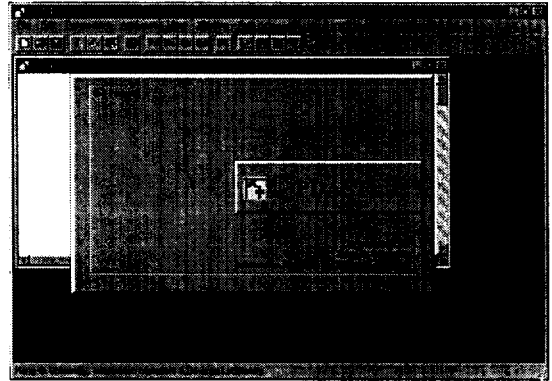
Table 1 Criteria of pixel design

설계 기준		
항 목		기준
t_d	게이트 신호 지연 시간	$d(\Delta V_P)_{\max} < 0.2V$
t_c	95% 화소 충전 시간	$t_c \leq t_s/2$
r_H	화소 전압 유지율	95% 이상
AR	개구율	50% 이상
C_{GS}	기생용량	$C_{GS} < (1/30) \cdot C_{Total}$
$d(\Delta V_P)_{MAX}$	화소 전압 강하 최대 편차	$t_d \leq 0.1 \times t_s$

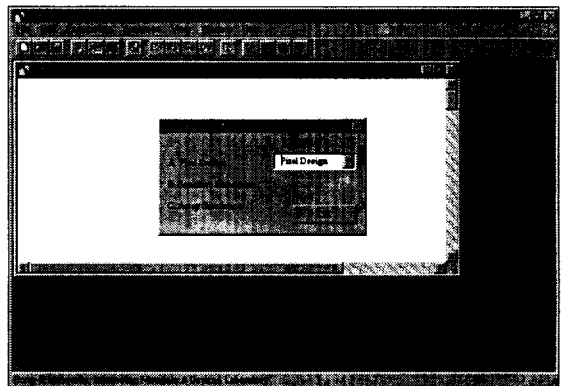
3. 설계 도구의 구성과 운용

화소 설계 도구 PDAST는 Visual C++로 코우딩된 32-bit PC용 프로그램으로 사용자가 쉽게 사용 가능하도록 윈도우 상에서 GUI(Graphic User Interface) 기능을 최대한 부여하여 개발하였다. PDAST는 다중 문서 인터페이스 기능이 부여되어, 몇 개의 다른 설계들이 동시에 비교될 수 있고, 그

결과가 OLE(Object Linking and Embedding)에 의해 그래픽 프로그램으로 전달될 수 있다. PSPICE와 AIM-SPICE도 OLE를 통해 PDAST와 연결되어 진다. 그림 6에 초기 화면의 사상이 나타나 있는데 여기서 화소의 설계, 중요 파라미터의 민감도 분석 또는 어레이 시뮬레이션 등을 선택하여 수행할 수 있다.



(a)



(b)

그림 6 (a) 초기 화면 및 (b) 작업 선택 화면 상태.

Fig. 6 (a) Initial and (b) job selection screens of PDAST

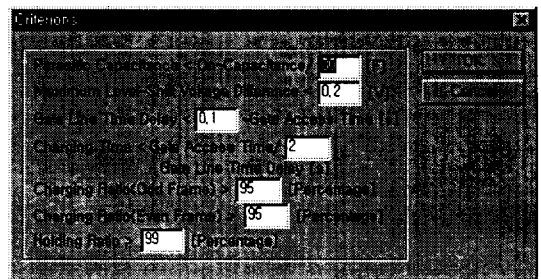


그림 7 화소 설계의 기준 파라미터 값들을 설정하는 대화 상자

Fig. 7 Dialogue box for design criteria set-up

화소 설계의 경우, 설계 기준을 설정하는 대화 상자를 메뉴 명령에서 선택하여 그 값들을 입력하게 되는데 이 때의 대화 상자가 그림 7에 나타나 있다. 사전 설정되어 있는 (default) 값들은 10.4", 8계조, VGA급을 기준으로 한 것이

며, 이 설계 기준을 변경하는 데는 제약이 없다. 설계 기준 값들을 설정한 후에 여러 가지 설계 값을 입력하는 property sheets를 메뉴 명령에서 선택하여 입력한다(그림 8). 메뉴 명령이나 tool-bar 명령에서 화소 설계를 실행시키면, 각 설계 기준들에 대해 설정되어 있는 값과 계산 값이 대화 상자에 나타난다(그림 9).

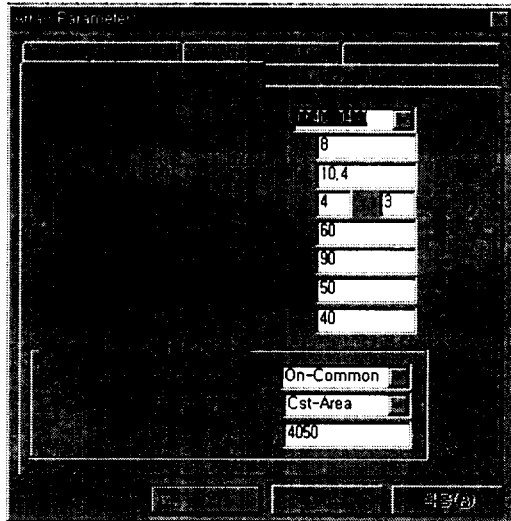
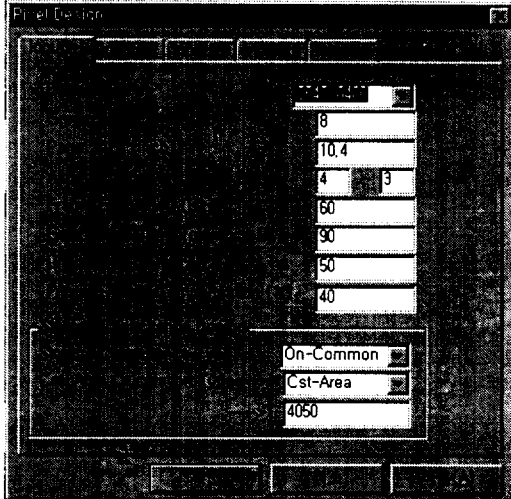


그림 8 화소 설계와 어레이 시뮬레이션의 파라미터 값들을 설정하는 Property Sheets.

Fig. 8 Property sheets for pixel design and simulation parameter inputs

계산 값이 설정되어 있는 기준에 만족되지 않는 경우에는 도움말을 통해 설계 방향을 수정할 수 있다. 모든 설계 기준들의 계산 값이 설정된 값들을 만족시켜 화소 설계를 완료하게 되면, 전체적인 결과가 그림 10처럼 나타난다. 화소 설계의 결과는 저장 및 출력이 가능하므로 여러 경우의 설계들을 비교하는데 용이하다. 그리고 설계 기준 및 입력 변수들을 설정하지 않고서 화소 설계를 실행시키면 오류 발생을 알리는 전달 상자가 나타난다. 화소 설계의 입·출력 값들을 입력 값으로 사용하여 화소의 충·방전 특성을 시뮬

레이션할 수 있고 그 결과는 지정된 파일에 저장되고, PDAST에 연결된 그래픽 프로그램에 결과를 이식시켜 쉽게 그래프화할 수 있다. 또한, AIM-SPICE 또는 PSPICE로 시뮬레이션한 결과도 PDAST와 연결된 그래픽 프로그램으로 옮겨 PDAST의 결과와 쉽게 비교·분석할 수 있다.

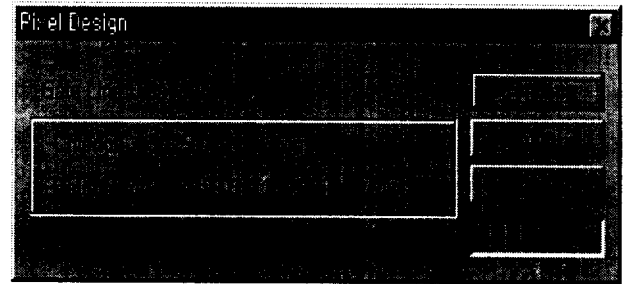
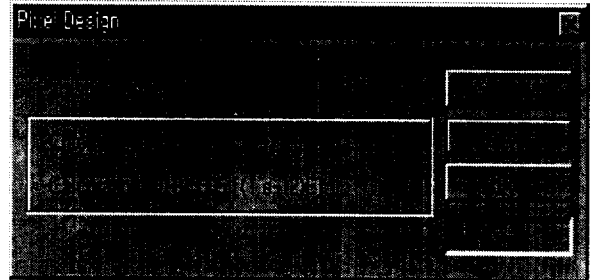


그림 9 화소 설계의 기준 파라미터들에 대한 각각의 기준값과 계산값을 나타내는 대화상자

Fig. 9 Dialogue box for design criteria and calculated parameter values

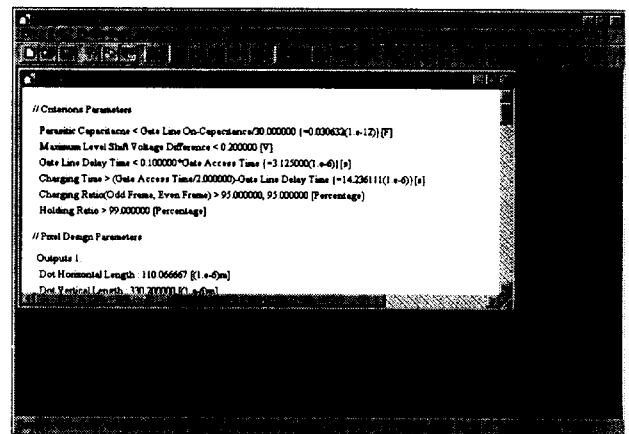


그림 10 화소 설계가 완료되었을 때 결과 출력.

Fig. 10 Presentation of optimized design results.

4. 설계 결과 및 응용

우선 독립된 단독 화소의 등가회로에 대해 PDAST로 계산한 충·방전 특성을 AIM-SPICE로 계산한 결과와 비교하여 그림 11과 12에 나타내었는데 거의 동일한 결과를 보여 주고 있다. 이를 통해 부분적이지만 PDAST의 신뢰성을 검

정할 수 있다. 아래 표 2와 3에는 13.3", 64계조, SVGA급 TFT-LCD의 설계 기준 항목들, 설계 입력값, 요구되는 TFT의 전류 값들과 변화 허용치 그리고 각 설계 기준 항목들에 대한 계산 결과 값들이 정리되어 있는데 실제 제조되고 있는 제품들의 설계 값과 비슷한 범위 내에 드는 값들이다. 그런데 개구율은 가장 일반적인 두 종류의 화소 레이아웃에 대해 50% 이상으로 설정하였다. 물론 실제 제조되는 제품은 각 사마다 고유한 레이아웃 설계로 60% 이상의 개구율을 얻고 있다. PDAST에서도 가장 일반적인 두 종류의 레이아웃이 아닌 설계에 대해서도 약간의 코드 변화로 계산이 가능하게 할 수 있다.

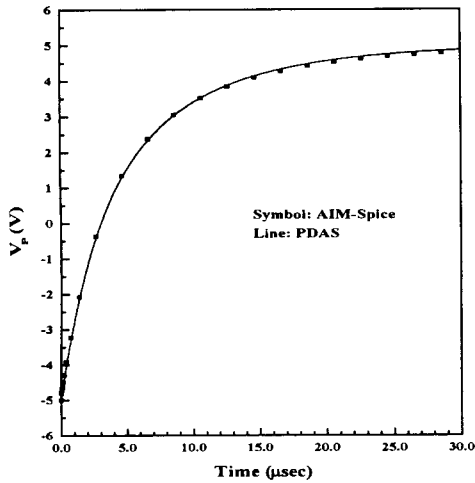


그림 11 AIM-Spice와 PDAST로 계산한 독립화소의 충전 특성
Fig. 11 Charging characteristics of an individual dot calculated by AIM-Spice and PDAS

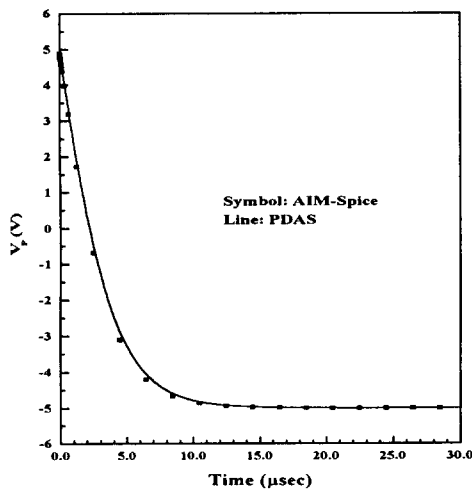


그림 12 AIM-Spice와 PDAST로 계산한 독립 화소의 방전 특성.
Fig. 12 Discharging characteristics of an individual dot calculated by AIM-Spice and PDAS

표 2 13.3", 64계조, SVGA급 TFT-LCD의 파라미터 입력 값과 최적 설계 값.

Table 2 Input and optimized values of parameters for 13.3", 64 gray-level, SVGA TFT-LCD

입력 파라미터		
항 목		값
Z	대각 크기	13.3"
N _H ×N _V	해상도	800×600
R _H :R _V	외관비	4:3
t _f	프레임 시간	16.67ms
N _{grey}	계조수	64
V _{g0} ~ V _{l0}	액정 구동 범위	1.0~3.3 V
δ V _p	화소전압 변화 허용도	0.1(10%)
d _{a-Si}	실리콘 층의 두께	1500Å
ε _{a-Si}	실리콘 유전율	11.0
d _{ox}	절연체 두께	3000Å
ε _{ox}	절연체 유전율	6.5
ε _{//} , ε _⊥	액정 유전율	9.8, 3.2
μ _n	전계효과 이동도	0.5cm ² /V·s
V _{th}	문턱전압	3.0V
V _{gl} ~ V _{gh}	게이트 전압	-5.0~20V
V _{sl} ~ V _{sh}	데이터 전압	3.5~13.5V
최적화된 파라미터		
항 목		값
L _{CH}	채널길이	5 μm
L _{OV}	중첩길이	3 μm
W _{CH}	채널폭	25 μm
W _{OV}	중첩폭	25 μm
W _G	게이트 배선폭	15 μm
W _D	드레인 배선폭	10 μm
W _S	보조용량폭	40 μm
ρ _{Gate}	배선물질 저항률	7 μΩcm
d _m	배선두께	3000Å
d _{cell}	셀 갭	6 μm

중요한 소자 파라미터들의 변화에 따른 화소 동작의 변화를 시뮬레이션하였는데, TFT의 전계효과 이동도와 문턱전압의 변화에 대한 화소의 충전을 변화를 그림 13와 14에 나타나 있고 게이트 배선의 선폭에 대한 화소 충전을 이동

도를 변수로 하여 계산한 결과는 그림 15에 나타내었다. 소자 물리에 기초하여 예상할 수 있는 결과와 동일한 경향을 보이고 실제 여러 문헌상에 발표된 결과와도 유사하다 [1],[2],[3]. 이런 계산 결과들을 잘 이해함으로써 파라미터들의 화소 충전 능력에 대한 일반적인 경향을 볼 수가 있고 중요한 설계 내용의 변경이나 설정이 효과적으로 진행될 수 있을 것이다.

한편 지속적으로 대화면화 고정세화가 진행되어감에 따라 중요 파라미터 값들도 상향 조절되어야 할 것이다. PDAST를 이용하여 표 1에 설정되어 있는 설계 기준을 만족시키기 위해 요구되는 TFT의 전계효과 이동도와 게이트 배선 물질의 저항률 값들을 표 4에 나와 있는 패널들에 대해 계산하여 보았다. 그 결과가 표 5에 정리되어 있는데 화소의 크기(dot pitch), 계조수 및 배선의 선폭은 각각 $100 \times 300 \mu\text{m}^2$, 256계조, $12 \mu\text{m}$ 로 일정하게 설정하였다. 게이트 배선 수가 많아지고 배선의 길이가 길어짐에 따라 게이트 선택 시간이 짧아지고 배선의 저항이 커지므로 충전율과 게이트 신호의 지연을 일정 수준 이상으로 유지하기 위해서는 이동도는 높아지고 배선 물질의 저항률은 낮아져야 한다.

표 3 계산된 TFT 및 어레이의 요구 파라미터 값들과 변화 허용치.

Table 3 Required values of calculated TFT and array.

출력 파라미터		
항 목	요 구 값	
I_{on}	최소 on current	$\geq 6.44 \mu\text{A}$
I_{off}	최대 off current	$\leq 0.19\text{pA}$
ΔI_{on}	On current 변화허용치	$\leq 0.564 \mu\text{A}$
ΔI_{off}	Off current 변화허용치	$\leq 0.097\text{pA}$
ΔV_p	화소 전압 강하	0.32V
ΔV_{th}	문턱전압 변화허용치	$\leq 0.82\text{V}$
$\Delta \mu_n$	이동도 변화허용치	$\leq 0.02\text{cm}^2/\text{Vs}$
C_{CR}	배선 cross-over용량	0.022pF
C_{LC}	액정용량	0.409pF
C_{ST}	축적용량	0.711pF
C_{GD}, C_{GS}	TFT 기생용량	0.023pF
A_{AP}	개구부 면적	$19950.01 \mu\text{m}^2$
A_{ITO}	화소부 면적	$28249.22 \mu\text{m}^2$
AR	개구율	52.44%

그런데 UXGA와 HDTV용으로는 구리의 저항률 $2.3 \mu\Omega/\text{cm}$ 보다 낮은 저항률을 가지는 물질이 필요한데, 이는 공정 기술의 고정세화로 배선의 선폭과 두께를 조절하여 해결해야 할 것이다. 게이트 배선 물질의 저항률이 게이트 신호와 화소 전압에 어떤 영향을 주는지가 그림 16에 잘 나타나 있는데, 게이트와 화소 전압의 지연뿐만 아니라 화소 전압의 강하에도 영향을 미침을 알 수 있다. 저항률이 높을수록 화소 전압의 강하가 작아지는데 문헌상에 발표된 실험 데이터와 동일한 경향을 보인다.

표 4 여러 가지 해상도의 패널 사양.

Table 4 Specifications of panels with various resolution used for simulations.

Resolution	Aspect ratio	Diagonal size	계조수	
SVGA	800×600	4:3	11.8"	256
XGA	1024×768	4:3	15.1"	256
SXGA	1280×1024	5:4	19.4"	256
UXGA	1600×1200	4:3	23.6"	256
HDTV	1920×1080	16:9	26.0"	256

표 5 여러 가지 해상도의 패널들에 요구되는 파라미터 값.

Table 5 Required values of field effect mobility of TFT and resistivity of gate line for panels with various resolution.

Resolution	이동도 ($\text{cm}^2/\text{V} \cdot \text{sec}$)	저항률 ($\mu\Omega/\text{cm}$)
SVGA	0.40	8.0
XGA	0.55	5.0
SXGA	0.60	3.0
UXGA	0.70	2.0
HDTV	0.73	1.5

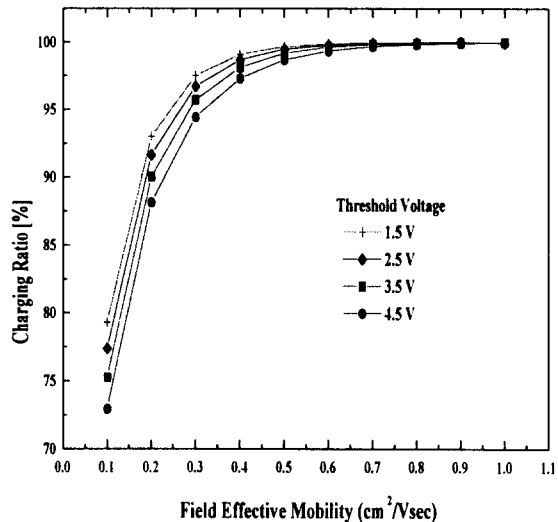


그림 13 μ_n 의 변화에 따른 화소 충전율의 변화

Fig. 13 Variation of charging ratio with varying μ_n

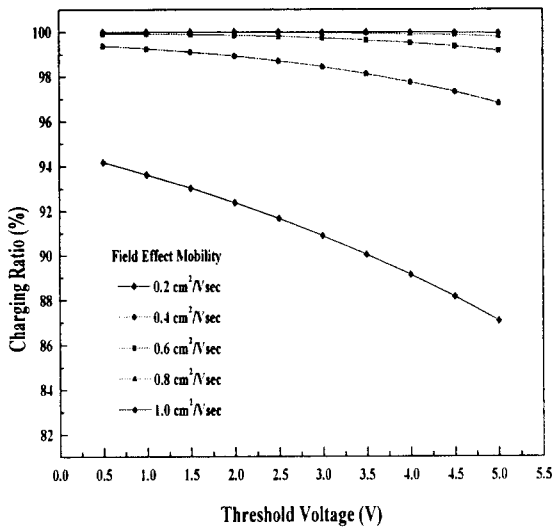


그림 14 V_{th} 의 변화에 따른 화소 충전율의 변화
Fig. 14 Variation of charging ratio with varying V_{th}

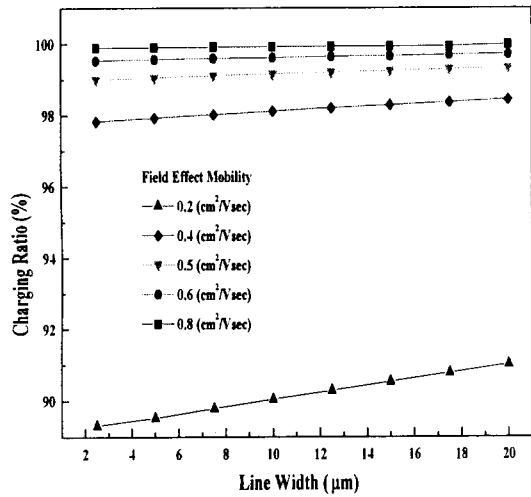


그림 15 배선 폭의 변화에 따른 화소 충전율의 변화
Fig. 15 Variation of charging ratio with varying bus line width

현재 PDAST로는 어떤 크기나 어떤 해상도를 가지는 TFT 어레이에 대해서도 화소와 어레이의 설계가 가능하고, 어레이 상의 어떤 위치나 어떤 시간에 대해서도 특정 화소의 거동을 계산할 수 있다. 그림 17에 게이트 펄스(20 V)가 인가된 후 2 μ s와 10 μ s이 경과한 시점에 배선 상의 위치에 따른 전압의 변화를 계산한 결과가 나타나 있다. 신호의 지연을 확연히 알 수 있다. 2 μ s가 경과한 시점에서의 데이터 전압과 화소 전압의 차이로부터 완전 충전되지 않은 화소의 상태를 알 수 있다. 그러나 현재 PDAST에서 패널의 구동은 프레임 반전에 대해서만 계산이 가능하고, 부가 용량의

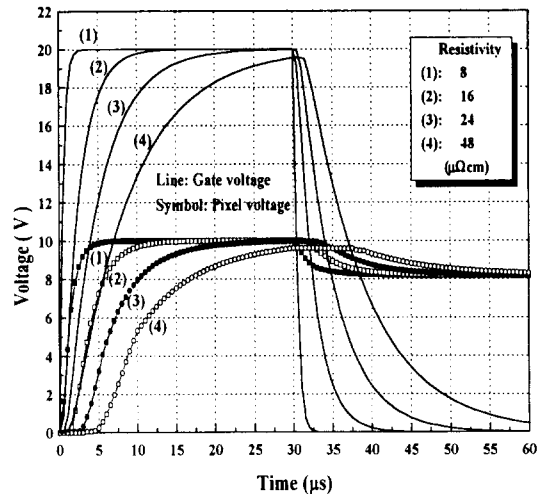


그림 16 배선 물질의 저항률 변화에 따른 게이트 및 화소 전압의 변화.
Fig. 16 Gate and pixel voltage variations with varying gate line resistivity.

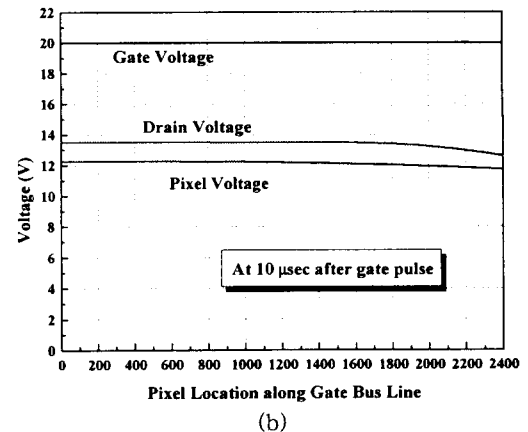
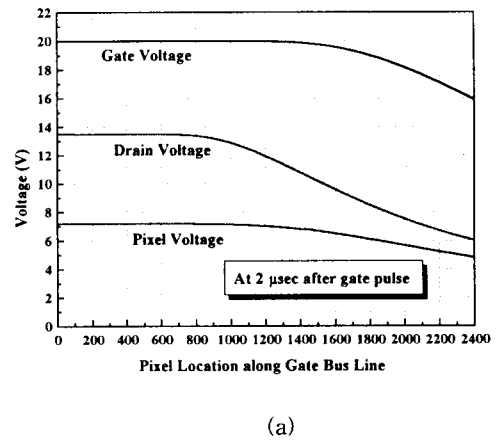


그림 17 게이트 펄스 인가 후 (a) 2 μ s 경과했을 때, (b) 10 μ s 경과했을 때 화소의 배선상의 위치에 따른 전압의 분포.
Fig. 17 Gate, drain and pixel voltage distributions along gate bus line (a) at 2 μ s and (b) at 10 μ s after gate pulse applying.

연결에 따라 인접 열(row)에 인가되는 전압의 시간에 따른 변화도 고려되어 있지 않다. 이런 문제들은 어렵지 않게 PDAST에 추가될 수 있는데 인접 화소에 포함되어 있는 노드들에 대한 방정식들을 수치 해석적으로 풀어서 원하는 정보를 얻을 수 있다.

5. 결 론

본 연구에서는 Visual C++을 사용하여 화소 설계에 제약이 없고 사용자가 편리하게 사용할 수 있는 32-bit 도구인 PDAST를 개발하고, 이의 유용성을 검증하기 위해서 13.3", 64계조, SVGA급 TFT-LCD의 화소를 설계하여 실제 발표된 데이터들과 비교·분석하였다. 그리고 그 결과를 AIM-SPIICE에서 계산된 화소의 과도 충전 특성과 비교하였다. PDAST를 이용하여 TFT-LCD가 더 넓은 화면의 고정세 디스플레이에 응용되어 최적의 표시기능을 나타내기 위해 만족되어야 할 몇 가지 요건들에 대한 분석도 수행하였다. PDAST는 TFT의 동작 영역이 선형일 때뿐만 아니라 포화 및 off 영역에서의 과도 특성도 정확히 계산할 수 있다.

PDAST로는 어떤 크기나 어떤 해상도를 가지는 TFT 어레이에 대해서도 화소와 어레이의 설계가 가능하고, 어레이 상의 어떤 위치나 어떤 시간에 대해서도 특정 화소의 거동을 계산할 수 있어서 TFT와 어레이의 구조와 특성의 변화에 따른 화소의 동작 변화를 계산하여 대면적 고화질의 디스플레이를 구현하는데 영향을 미치는 여러 가지 파라미터 성분들을 최적화할 수 있다. 그러나 추후 보조 또는 부가용량의 연결과 구동방법에 따른 신호의 변화들이 고려되어 인접 화소에 포함되어 있는 노드들에 대한 방정식들을 수치 해석적으로 풀어서 원하는 정보를 얻을 수 있게 보완되어야 할 것이다.

감사의 글

본 연구는 산업자원부와 과학기술부에서 시행한 선도기술개발(G-7)사업의 지원에 의하여 이루어진 연구로서, 관계부처에 감사 드립니다.

참 고 문 헌

[1] K. Suzuki, "Pixel Design of TFT-LCDs for High-Quality Images," 1992 Soc. Inform. Display Symp. Digest of Technical Papers, pp.39-42, 1992.

[2] R. L. Wisnieff, "Numerical Simulations for Large-Area TFT-LCDs," 1993 Soc. Inform. Display Symp. Digest of Technical Papers, pp.731-734, 1993.

[3] M. Akiyama et al, "Effects of Source/Drain Electrodes Overlapping on the Stopper-Insulator in a Self-Aligned TFT-LCD," 1991 Soc. Inform. Display Symp. Digest of Technical Papers, pp.10-13, 1991.

[4] K. Ono et al, "Effects of Line Resistance and Parasitic Capacitance on Transmittance Distribution in TFT-LCDs," IECE Japan Trans. Electron, vol. E75-C, No.1, pp. 93-100, 1992.

[5] T. Kitazawa et al, Analysis of Dynamic Characteristics in a-Si TFT Structures," Conference Record of the 1991 International Display Research Conference," pp.89-92, 1991.

[6] J. E. Meyer, "MOS Models and Circuit Simulation," RCA Review 32, pp.42, 1971

[7] H. S. Carslaw, J. C. Jaeger, Conduction of Heat in Solids, Calarendon Press, Oxford, 1959.

[8] R. L. Wisnieff, "Line Delay and Capacitive Crosstalk Effects in TFT/LCDs," Proceedings of the SID, vol. 29/2, 1988.

[9] T. Tsukada, TFT-LCD, Gordon and Breach Publishers, Amsterdam, 1996.

저 자 소 개



이 영 삼 (李 泳 三)
 1973년 7월 2일생. 1996년 동신대 전기 전자 공학부 졸업. 1999년 홍익대 전자 전기공학부 석사과정 졸업.
 Tel : 02-745-4821
 E-mail : gly203e@wow.hongik.ac.kr



곽지훈(郭志勳)

1972년 6월 17일생. 1996년 홍익대 전자전기공학부 졸업. 1998년 홍익대 전자전기공학부 석사과정 졸업

Tel : 02-569-0301, Fax : 02-569-0302

E-mail : jhkwak@Ohsung.co.kr



최종선(崔淙宣)

1957년 8월 14일생. 1983년 서울대 공대 금속공학과 졸업. 1987년 University of California, San Diego 전기공학과 대학원(석사) 졸업. 1992년 Purdue University 전기공학과 대학원(공박) 졸업. 1992~1994년 현대전자 TFT생산기술팀장. 현재 홍익대학교 전자전기공학부 조교수.

Tel : 02-3142-9159, 02-320-1488, Fax : 02-320-1110

E-mail : jschoi@wow.hongik.ac.kr