

수소화된 비정질 실리콘 박막 트랜지스터의 이차원 소자 시뮬레이터 TFT2DS

論 文
48C-1-1

Two-Dimensional Device Simulator TFT2DS for Hydrogenated Amorphous Silicon Thin Film Transistors

崔淙宣* · G.W. Neudeck**
(Jong Sun Choi · Gerold W. Neudeck)

Abstract - Hydrogenated amorphous silicon thin film transistors are used as a pixel switching device of TFT-LCDs and very active research works on a-Si:H TFTs are in progress. Further development of the technology based on a-Si:H TFTs depends on the increased understanding of the device physics and the ability to accurately simulate the characteristics of them. A two-dimensional device simulator based on the realistic and flexible physical models can guide the device designs and their optimizations. A non-uniform finite-difference TFT Simulation Program, TFT2DS has been developed to solve the electronic transport equations for a-Si:H TFTs. In TFT2DS, many of the simplifying assumptions are removed. The developed simulator was used to calculate the transfer and output characteristics of a-Si:H TFTs. The measured data were compared with the simulated ones for verifying the validity of TFT2DS. Also the transient behaviors of a-Si:H TFTs were calculated even if the values of the related parameters are not accurately specified.

Keywords : Amorphous Silicon, Thin Film Transistor, Numerical Analysis, Device Simulator, Parameter Sensitivity, Transient Analysis, Transfer Characteristics, Field Effect Mobility, Parasitic Resistance

1. 서 론

TFT-LCD는 액정기술과 반도체기술이 복합된 기술집약적 품목으로 경박단소화, 고화질, 및 저소비화가 가능하여 부분적이지만 이미 CRT를 대체하고 있는 응용범위가 무한한 첨단 제품이다. TFT-LCD는 TFT 소자, 액정셀 및 주변회로 등이 복합되어 있는 전기·광학적 시스템으로 전기적 소자 및 회로와 광학적 액정셀의 전기·광학적 특성에 대한 포괄적인 이해가 요구되는 기술이다. 고정세 TFT-LCD 제품개발에 필요한 여러 기술 중, 제품의 최적 설계 및 불량 원인의 체계적 분석 등을 위해 표시기의 표시기능을 정확히 계산할 수 있는 컴퓨터 시뮬레이션 기술은 필수적이다. 종합적인 시뮬레이션 기술은 재료의 결정에서부터 TFT 설계 및 모듈의 조립까지 단기간 내에 신제품 개발이 이루어져야 한다는 점을 고려하면, 그 중요성이 한층 부각되나, 아직 종합적이고 정확한 tool의 개발은 이루어져 있지 않다. 특히 고정세 TFT를 위한 이차원 소자시뮬레이터는, 결정체 반도체 소자의 발전과정에서 쉽게 알 수 있듯이, 다양한 소자들의

설계, 응용 가능성 및 그 한계에 관한 연구와 기술개발에 큰 역할을 할 것으로 예상된다. 화소 구동소자로서 TFT에 관한 연구가 대단히 활발하지만, 소자의 기본적인 작동원리의 규명뿐만 아니라 소자기술의 개선 등 그 연구개발의 여지는 아직도 많다. 비정질 실리콘 박막트랜지스터 개발의 현황을 고려할 때, 축적된 다양한 실험결과와 설명을 통한 재료의 물성 및 소자 작동원리의 정확한 규명을 위해 아주 현실적인 이차원 소자시뮬레이터가 필요하다. 최근 다수의 연구 그룹에서[1-3] 비정질 실리콘 박막트랜지스터의 이차원 소자시뮬레이터에 관한 발표가 있었지만, 그 컴퓨터 모델들은 단순화를 위하여 많은 가정들을 포함하고 있어 시뮬레이션 결과의 정확성에도 한계가 있다. 이런 가정들을 가능한 제거하고 필요시 여러 가정들이 포함되어 있는 모델들의 비교분석까지도 가능한 현실적이고 융통성이 있는 시뮬레이터가 필요하다. 또한 비정질 실리콘의 물성 파라미터들이 자세히 규명되어 있지 않기 때문에 여러 가지 파라미터들의 선택에 융통성을 가질 수 있고, 파라미터들에 함축된 물리적 의미를 충분히 연구할 수 있는 모델이 요구된다. 이러한 요구에 부응할 수 있게 본 컴퓨터 모델에서는 금지대 내의 현수결합 상태들의 분포를 기존의 소자시뮬레이터들처럼 간단하게 지수함수적으로 처리하지 않았고, 불순물의 분포와 이온화율, 전하의 생성과 재결합을 등을 매우 현실적인 형태로 모델링하였다. 본 논문에서는 이 물성 모델을 사용하여 개발한 이차원 소자시뮬레이터의

* 正 會 員 : 弘益大 工大 電氣電子學科部 助教授 · 工博

**非 會 員 : Purdue Univ. Electrical Eng. 教授 · 工博

接受日字 : 1998年 5月 9日

最終完了 : 1998年 11月 6日

개요를 설명하고 실제 측정된 소자의 특성과 시뮬레이션 결과를 비교하여 그 유용성을 검증하였다. 또한 이 시뮬레이터를 소자의 설계 최적화에 적용하여 개략적인 방향을 제시하였다.

2. 시뮬레이터의 이론적 개요

2.1 운반체 운송 방정식

비정질 실리콘은 전도대 경계(conduction band edge: E_C)와 충만대 경계(valence band edge: E_V)로 취급될 수 있는 이동도 금지대 경계(mobility gap edge)들이 존재하고 그 사이의 이동도 금지대를 정의함으로써 모델링될 수 있는데, E_C 보다 높은 에너지를 가진 전자와 E_V 보다 낮은 에너지를 가진 정공들이 이동성 운반체가 된다. 이런 방법으로 비정질 실리콘 소자들도 일반적인 drift-diffusion식들로 모델링되어 진다. 그러나 비정질 실리콘 소자의 경우 이동도 금지대 내부에 연속적으로 분포해 있는 높은 밀도의 트랩된 전하를 고려해야만 한다. 따라서 비정질 실리콘 소자의 컴퓨터 시뮬레이션은 아래의 미분 방정식 세트의 해에 기본을 두게 된다:

$$\nabla^2 V = -\frac{q}{\epsilon} (p - n + N_{GAP} + N_D^+ - N_A^-) \quad (1)$$

$$\nabla \cdot J_n - q \cdot \frac{\partial n}{\partial t} = q \cdot (R_n - G_n) \quad (2)$$

$$\nabla \cdot J_p + q \cdot \frac{\partial p}{\partial t} = -q \cdot (R_p - G_p) \quad (3)$$

위의 식들에서 V 는 정전적 전위, q 는 전자전하, ϵ 은 유전율, p 는 정공농도, n 은 전자농도를 나타내며, N_{GAP} 은 지수함수적 분포의 꼬리상태(tail state)와 가우시안 분포의 현수결합(dangling-bond) 상태에 트랩된 전하를 나타낸다($N_{GAP} = N_{tail} + N_{db}$). N_D^+ 와 N_A^- 는 각각 이온화된 도우노와 억셉터의 농도를 나타낸다. 시간에 관한 미분항은 정상상태의 경우에는 없어지게 된다. 전자와 정공의 전류밀도는 아래의 식으로 나타낼 수 있다:

$$J_n = kT\mu_n \cdot \nabla n - q\mu_n n \cdot \nabla V \quad (4)$$

$$J_p = -kT\mu_p \cdot \nabla p - q\mu_p p \cdot \nabla V \quad (5)$$

k 는 볼츠만 상수, T 는 절대온도를 나타낸다. 꼬리와 현수결합 상태들에서 발생하는 재결합은 식 (2), (3)의 R-G항에 포함되어 있다. 전자와 정공의 이동도(μ_n 과 μ_p)는 대이동도(band mobility)이다. 전자와 정공의 밀도는 볼츠만(Boltzman)통계를 따른다고 가정하였다.

2.2 물성(Physical) 모델

위에 기술된 식에 포함되어 있는 중요한 항들은 이온화된 불순물상태, 대꼬리 상태, 현수결합 상태 그리고 이러한 결함상태에서의 재결합들이다. 먼저 도우노와 억셉트상태들은 가우시안 분포로써, 평균에너지와 분포의 표준편차로 그 특징을 나타내는데, 이 상태들은 재결합 센터로는 동작하지 않으며, 전자와 정공의 준페르미 준위가 도우노와 억셉트의 점유를 결정하게 된다. 대꼬리의 에너지분포는 지수함수이고, 전도대 꼬리는 도우노형으로 충만대 꼬리는 억셉트형으로 취급한다. 현수결합 상태는 이동도 금지대의 중앙 부근에 분포해 있고, 특성상 전기적으로 양전성(amphoteric)이며 가우시안 분포 특성을 가진다. 트랩된 전하와 재결합에 관련된 계산은 다중(multiple) 에너지준위 결함상태 통계에 따른다. 이런 금지대 상태를 개략적인 에너지대 모델을 아래 그림 1에 나타냈다.

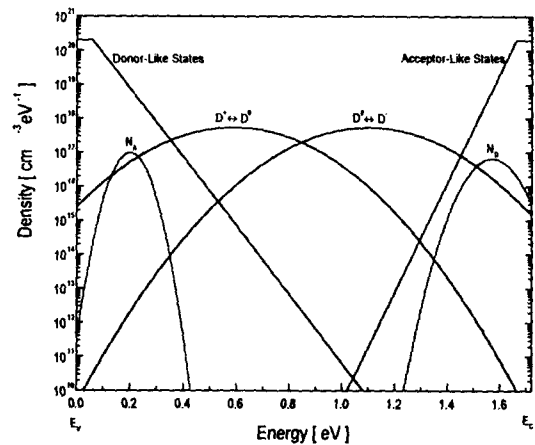


그림 1 비정질 실리콘의 band model의 개략도

Fig.1. Schematic band model diagram of amorphous silicon

대꼬리 상태의 지수함수적 에너지분포에 관한 모델은 Taylor와 Simmons[4]의 임의로 분포된 트랩준위에 관한 이론을 적용하여 구하였다[5]:

$$N_{tail} = \int_{E_v}^{E_c} [(1 - f_D(E)) \cdot g_D(E) - f_A(E) \cdot g_A(E)] dE \quad (6)$$

여기서 점유통계, $f_D(E)$ 및 $f_A(E)$ 는 다음과 같이 표시할 수 있다:

$$f_D(E) = \frac{c_{nd} \cdot n + c_{pd} \cdot N_V \cdot e^{(E_V - E)/kT}}{c_{nd} \cdot \{n + N_C \cdot e^{(E - E_C)/kT}\} + c_{pd} \cdot \{n + N_V \cdot e^{(E_V - E)/kT}\}} \quad (7)$$

$$f_A(E) = \frac{c_{na} \cdot n + c_{pa} \cdot N_V \cdot e^{(E_V - E)/kT}}{c_{na} \cdot \{n + N_C \cdot e^{(E - E_C)/kT}\} + c_{pa} \cdot \{n + N_V \cdot e^{(E_V - E)/kT}\}} \quad (8)$$

c_{nd} 와 c_{pd} 는 전도대 꼬리에서의 전자 및 정공의 포획단면적이고, c_{na} 와 c_{pa} 는 충전대 꼬리에서의 전자 및 정공의 포획단면적이다. ϕ_n 과 ϕ_p 는 각각 전자와 정공의 준(quasi) 페르미 준위를 나타내고 N_C 와 N_V 는 각각 전도대와 충전대의 유효 상태밀도를 나타내고 E_C 는 금지대 폭이다. 도우너형의 충전대 꼬리상태의 밀도와 엑셉터형인 전도대 꼬리상태의 밀도는 각각 아래와 같다:

$$g_D(E) = \begin{cases} g_{Dmax} & \text{for } g_D(E) \geq g_{Dmax} \\ g_{max} \cdot \exp[(E_V - E)/E_d] & \text{for } g_D(E) < g_{Dmax} \end{cases} \quad (9)$$

$$g_A(E) = \begin{cases} g_{Amax} & \text{for } g_A(E) \geq g_{Amax} \\ g_{max} \cdot \exp[(E - E_C)/E_d] & \text{for } g_A(E) < g_{Amax} \end{cases} \quad (10)$$

위의 식에서, g_{max} 는 외삽된(extrapolated) 지수함수 특성을 가지는 엑셉터형 꼬리의 상태밀도이다. g_{Dmax} 와 g_{Amax} 는 에너지준위 E_V 에서의 충전대 꼬리의 상태밀도와 E_C 에서의 전도대 꼬리의 상태밀도를 각각 나타낸다. 그리고 E_a 와 E_d 는 전도대와 충전대 꼬리들의 특성에너지들이다. 이 꼬리상태에서의 재결합비율은 다음 식으로 계산된다[5]:

$$(R - G)_{tot} = (p - n_i^2) \int_{E_V}^{E_C} (T_{id} + T_{ia}) dE \quad (11)$$

$$T_{id} = \frac{c_{nd} c_{pd} V_{th} g_D(E)}{c_{nd} \cdot \{n + N_C \cdot e^{(E - E_C)/kT}\} + c_{pd} \cdot \{p + N_V \cdot e^{(E_V - E)/kT}\}} \quad (12)$$

$$T_{ia} = \frac{c_{na} c_{pa} V_{th} g_A(E)}{c_{na} \cdot \{n + N_C \cdot e^{(E - E_C)/kT}\} + c_{pa} \cdot \{p + N_V \cdot e^{(E_V - E)/kT}\}} \quad (13)$$

v_{th} 는 열운동속도이다. 현수결합 상태는 위에서 언급한 것처럼 양전성이고 가우시안 에너지 분포 특성을 가지고, 세 가지의 가능한 전하상태 (양성, 음성, 중성)를 가질 수 있다는 모델에 기본을 두고 있다. 이 들 세가지 상태의 상태밀도는 각각 N_D^+ , N_D^0 , N_D^- 로 나타내고, 전체 현수결합 상태 밀도는 $N_{D_{tot}} = N_D^+ + N_D^0 + N_D^-$ 가 된다. 현수결합 상태의 점유확률의 계산도 다중 에너지준위 결합상태 통계에 따르고, 이 결합상태에서의 재결합율도 꼬리상태에서와 같은 이론에 의해 결정된다. 이 현수상태에 트랩된 전체 전하는 $N_{db} = N_D^+ - N_D^-$ 이 되고, 각 항은 다음과 같다[5,6]:

$$N_D^+ = \int_{E_V}^{E_C} n_D^+(E) dE \quad (14)$$

$$N_D^- = \int_{E_V}^{E_C} n_D^-(E) dE \quad (15)$$

$$n_D^+(E) = \frac{n_{dbTot}(E) \cdot T^+(E)}{1 + T^+(E) + T^-(E)} \quad (16)$$

$$n_D^-(E) = \frac{n_{dbTot}(E) \cdot T^-(E)}{1 + T^+(E) + T^-(E)} \quad (17)$$

$$n_{dbTot}(E) = \frac{N_{D_{Tot}}}{\sigma_d \cdot \sqrt{2\pi}} \cdot e^{-(E - E_d)^2/2\sigma_d^2} \quad (18)$$

$$T^+(E) = \frac{c_{p0} \cdot p + c_{n+} \cdot N_C \cdot e^{(E - \Delta E_d - E_C)/kT}}{c_{n+} \cdot n + c_{p0} \cdot N_V \cdot e^{(E_V - E + \Delta E_d)/kT}} \quad (19)$$

$$T^-(E) = \frac{c_{n0} \cdot n + c_{p-} \cdot N_V \cdot e^{(E_V - E - \Delta E_d)/kT}}{c_{p-} \cdot p + c_{n0} \cdot N_C \cdot e^{(E + \Delta E_d - E_C)/kT}} \quad (20)$$

$$E_d = \frac{1}{2} (E_D^+ + E_D^-) \quad (21)$$

$$\Delta E_d = \frac{1}{2} (E_D^- - E_D^+) \quad (22)$$

E_D^+ 와 E_D^- 는 현수결합 상태의 실제 에너지준위가 아니고, $D^+ \leftrightarrow D^0$ 전이와 $D^- \leftrightarrow D^0$ 전이의 유효 에너지준위를 나타낸다. 그리고 c_{p0} 와 c_{p-} 는 $D^0 \rightarrow D^+$ 와 $D^- \rightarrow D^0$ 전이에 관련된 정공의 포획 단면적이고, c_{n+} 와 c_{n0} 는 $D^+ \rightarrow D^0$ 와 $D^0 \rightarrow D^-$ 전이에 관련된 전자의 포획 단면적을 나타낸다. 이 현수결합 상태에서의 재결합율은 다음의 식으로 표시된다[5,6]:

$$(R - G)_{db} = (p \cdot n - n_i^2) \cdot \int_{E_V}^{E_C} (T_{db+} + T_{db-}) dE \quad (23)$$

$$T_{db+}(E) = \frac{c_{n+} \cdot c_{p0} \cdot v_{th} \cdot (n_{D^+}(E) + n_{D0}(E))}{c_{n+} \cdot (n + N_C \cdot e^{(E - E_C)/kT}) + c_{p0} \cdot (p + N_V \cdot e^{(E_V - E)/kT})} \quad (24)$$

$$T_{db-}(E) = \frac{c_{n0} \cdot c_{p-} \cdot v_{th} \cdot (n_{D^-}(E) + n_{D0}(E))}{c_{n0} \cdot (n + N_C \cdot e^{(E - E_C)/kT}) + c_{p-} \cdot (p + N_V \cdot e^{(E_V - E)/kT})} \quad (25)$$

비정질 실리콘의 무정형한 특성 때문에 도우너와 엑셉터 불순물들이 금지대 내의 에너지인 E_D 와 E_A 를 중심으로 가우시안 분포를 이룬다고 다루는 것이 합리적일 것이다. 이온화된 불순물들의 분포는 아래의 식들로 수식화 될 수 있다[5]:

$$N_D^+ = \int_{E_v}^{E_c} \frac{n_D(E)}{1 + \frac{n}{n_1(E)}} dE \quad (26)$$

$$N_A^- = \int_{E_v}^{E_c} \frac{n_A(E)}{1 + \frac{p}{p_1(E)}} dE \quad (27)$$

$$n_D(E) = \frac{N_D}{\sqrt{2\pi}\sigma_D} \cdot \exp\left[-\frac{(E-E_D)^2}{2\sigma_D^2}\right] \quad (28)$$

$$n_A(E) = \frac{N_A}{\sqrt{2\pi}\sigma_A} \cdot \exp\left[-\frac{(E-E_A)^2}{2\sigma_A^2}\right] \quad (29)$$

$$n_1(E) = \frac{1}{g_d} \cdot N_C \cdot \exp\left[-\frac{(E-E_C)}{kT}\right] \quad (30)$$

$$p_1(E) = g_a \cdot N_V \cdot \exp\left[-\frac{(E_v-E)}{kT}\right] \quad (31)$$

σ_D 와 σ_A 는 도우너와 엑셉터의 가우시안 분포의 표준편차이고, g_d 와 g_a 는 이들의 degeneracy factor들이다. 이 불순물상태들은 재결합센터로 작용하지는 않는다고 가정하였고, 이 상태들에 캐리어 존재 여부는 전자와 정공의 준 페르미 준위에 의해 결정된다.

2.3 경계조건

두 종류의 경계조건, 옴익(ohmic) 경계와 노이만(Neumann) 경계가 사용된다. 옴익경계는 단순한 Dirichlet 경계 조건으로, 캐리어들의 준 페르미 포텐셜들이 그 전극에 인가된 전압과 같게 되며 전자와 정공의 농도는 평형상태의 값들을 그대로 유지하게된다. 노이만 경계는 두 재료의 경계에서는 전기적 변위의 수직 성분(경계면에 대해)의 차이가 표면 전하밀도와 같다는 조건을 만족하는 것이 가장 일반적인 상황이다. 반도체와 게이트 절연체 계면에 전하가 존재할 때, Sutherland[7]가 제안한 방법을 응용하여 계면 윗 쪽의 반도체 내의 노드와 계면 아래 절연체 내의 노드에서의 두 Poisson식을 얻었다. 계면 전하밀도인 N_{ss} 는 에너지 준위에 무관하게 일정하다고 가정하였다. 에너지 위치에 따른 계면전하의 관계를 이식하기 위해서는 다른 계면 결합 모델과 이의 수식화가 필요하나 본 연구에서는 다루지 않았다.

2.4 중요 수치해석적 방법

본 컴퓨터 모델에 사용된 중요한 수치해석적 방법들을 아래에 간략하게 정리하였다. 먼저 drift-diffusion 방정식은 Scharfetter-Gummel[8] 방법을 이용해, (i,j) 노드와 오른쪽 (i+1,j) 노드 사이에 x 방향으로 흐르는 정공에 의한 전류 밀도

식이 아래와 같이 이산화(discretize)되었다:

$$J_{pR} = -\mu_R \cdot \frac{\Delta V_R}{h_R} \cdot \left(\frac{p_R \cdot \exp(\Delta V_R) - p_{ij}}{\exp(\Delta V_R) - 1} \right) \quad (32)$$

윗 식에서 $\Delta V_R = V_R - V_{ij}$ 이고 아인슈타인 관계식 $D_p = (kT/q) \cdot \mu_p$ 가 성립한다고 가정하였다. 아래 첨자 R은 우측 노드를 의미한다. Poisson 식과 전자 및 정공 연속 방정식은 비균일 유한 차분법으로 이산화하였다. Poisson식과 두 개의 연속 방정식에 포함된 변수와 상수들은 주어진 단위 체계 내에서 서로 크기의 차이가 매우 크기 때문에 A. de Mari[9] 방법으로 표준화(normalization)하였다. 표준화된 비선형의 운송 방정식들을 선형화하여 풀기 위해 뉴턴 축차법을 사용하였다. 이 방법에서는 모든 변수들의 값이 매 반복마다 변할 수 있고 변수들 간의 상호 관련성들이 모두 고려되어지기 때문에 알고리즘 자체가 안정되어 있고, 해를 구하는데 소요되는 시간이 인가 전압에 관계없이 일정하다. 행렬 형태로 표시된 뉴턴 축차법은 매 반복마다 $A \cdot x = b$ 형태의 선형 시스템이 되고 포트란 수치해석 패키지인 LINPACK의 서브루틴들을 사용하여 해를 구하였다. 시뮬레이션 과정에서 소자의 전극에 인가되는 전압이 큰 폭으로 증가할 경우 뉴턴 반복에서 발생하는 수치적 요동(ringing)을 감쇄시킬 필요가 있는데 본 연구에서는 Brown과 Lindsay[10]가 제시한 방식을 사용했다:

$$u^{k+1} = u^k + Z(\Delta u^{k+1}) \quad (33)$$

$$Z(\Delta u) = \begin{cases} \Delta u & \text{for } |\Delta u| \leq 1 \\ \frac{\Delta u}{|\Delta u|} \cdot |\Delta u|^{1/5} & \text{for } 1 < |\Delta u| \leq 3.7 \\ \frac{\Delta u}{|\Delta u|} \cdot \ln(|\Delta u|) & \text{for } |\Delta u| > 3.7 \end{cases} \quad (34)$$

u^k 는 k번 째 반복 후 각 노드에서의 변수를 나타낸다. 또한 중요한 수치해석적 기술의 하나로 복잡한 수식들의 적분 및 미분항의 계산을 용이하게 하기 위해 15-point Laguerre 적분과 9-point Hermite 적분을 채용하였는데, 근의 정확도에는 영향을 미치지 않고 수식의 용이성과 계산 시간의 단축이 얻어진다[5]. 대꼬리 상태의 경우, 전하와 재결합율을 나타내는 적분의 형태는 아래와 같은데,

$$I(a) = \int_0^a f(z) \cdot e^{-z} dz \quad (35)$$

대꼬리는 대경계에서 멀어짐에 따라 급격히 감소하므로 $I(a) \approx I(\infty)$ 의 관계가 성립하고 아래와 같은 Laguerre 다항식으로 표시할 수 있다[5]:

$$I = \int_0^\infty f(z) \cdot e^{-z} dz = \sum_{i=1}^M w_i \cdot f(z_i) \quad (36)$$

w_i 와 z_i 는 Laguerre 다항식의 가중치와 zero이다. 이외의 상태 함수들은 모두 가우시안 형태를 가지고, 이들의 적분은 다음의 식으로 대표된다:

$$K(a, b) = \int_b^a f(z) \cdot e^{-z^2} dz \quad (37)$$

이 가우시안들이 중심을 기준으로 넓게 분포되어 있지 않으면 $K(a, b) \approx K(-\infty, \infty)$ 이 성립하고 아래와 같이 Hermite 다항식으로 표시될 수 있다[5]:

$$I = \int_{-\infty}^{\infty} f(z) \cdot e^{-z^2} dz = \sum_{i=1}^n w_i \cdot f(z_i) \quad (38)$$

본 연구에서는 Laguerre 다항식은 15항으로 Hermite 다항식은 9항으로 처리하였다.

2.5 과도 상태

정상상태일 경우 상기의 상호 결부(coupled)되어 있는 세 개의 편 미분방정식에 대해 각 노드에서의 해를 모든 노드에서 동시에 구해야 하고 여기에 시간 의존성을 포함시키기 위해서는 아래와 같이 표시할 수 있다:

$$F_{p_s}^h(t_k) = f_{p_s}^h = 0 \quad (39)$$

$$F_{p_s}^h(t_k) = f_{p_s}^h + \left(\frac{\partial p}{\partial t}\right)^{h_k} = 0 \quad (40)$$

$$F_{n_s}^h(t_k) = f_{n_s}^h - \left(\frac{\partial n}{\partial t}\right)^{h_k} = 0 \quad (41)$$

여기서 $(\partial p / \partial t)^{h_k}$, $(\partial n / \partial t)^{h_k}$ 은 full backward 시간 차분이고 h 는 위치 i 에 대한 선형화를 의미하며 아래 첨자 k 는 시간 t_k 에서 구한 해를 의미한다. 선형적 시간 의존성을 가지는 경우 아래와 같이 선형화 될 수 있다:

$$\left(\frac{\partial u}{\partial t}\right)^{h_k} = \frac{u_k - u_{k-1}}{\Delta t_k} \quad (42)$$

시간의 선형화는 주위 노드의 변수들에는 영향을 받지 않고, 그 노드에서의 변수들에만 의존하게 된다. p_k 는 시간이 t_k 일 때 노드(i,j)에서의 정공의 농도이고, p_{k-1} 과 n_{k-1} 은 초기 값이나 직전의 시간에서 구한 해를 나타낸다. 선형적 시간 의존성을 가질 경우 자코비안 매트릭스와 선형화된 방정식의 오른쪽 항의 수정은 다음에 주어진 식들로 표시될 수 있다:

$$\frac{\partial F_{p_s}^h}{\partial v_k} = \frac{\partial f_{p_s}^h}{\partial v_k} + \frac{p_k}{\Delta t_k} \quad (43)$$

$$\frac{\partial F_{n_s}^h}{\partial v_k} = \frac{\partial f_{n_s}^h}{\partial v_k} - \frac{n_k}{\Delta t_k} \quad (44)$$

$$F_{p_s}^h(t_k) = f_{p_s}^h + \frac{p_k - p_{k-1}}{\Delta t_k} \quad (45)$$

$$F_{n_s}^h(t_k) = f_{n_s}^h + \frac{n_k - n_{k-1}}{\Delta t_k} \quad (46)$$

여기서 Δt_k 가 매우 큰 값을 가지면 정상상태의 경우와 같아진다. 이 시간 간격이 매우 적은 경우 빠른 수렴을 보일 것이고 뉴턴 축차법으로 해가 구해질 것이다.

3. 시뮬레이터의 응용 및 시뮬레이션 결과

개발된 시뮬레이터는 그림 2에 제시된 두 가지 형태의 역스태거형 TFT를 시뮬레이션할 수 있도록 코우딩되어 있는데 본 연구에서는 그림 2 (a)에 제시된 구조에 대해 수행되었다. TFT의 트랜스퍼특성, 출력(I-V)특성, 전위/전자/정공/재결합을 분포, turn-on 및 turn-off 특성들을 계산하였고, 여러 물성 파라미터들의 민감도와 소자구조 연구에 응용하여 쉽게 여러 파라미터들을 최적화할 수 있는 방향을 제시하였다.

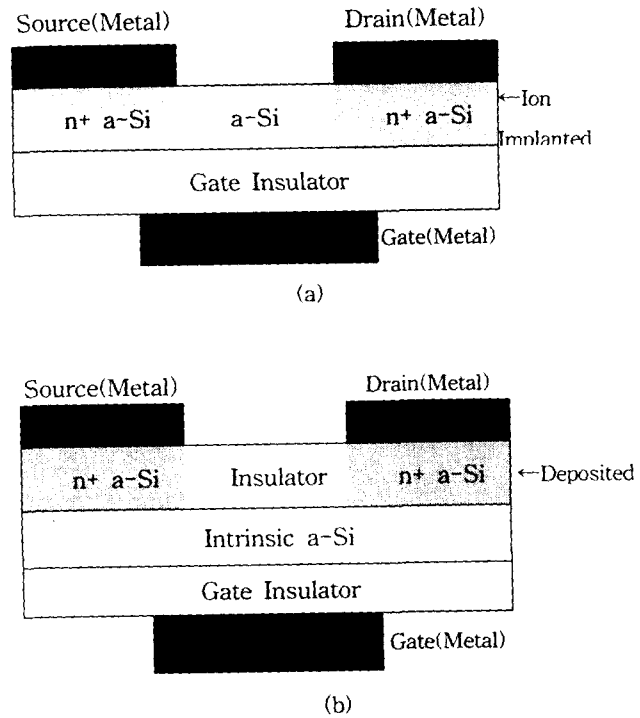


그림 2 Ion-Implanted된 소오스/드레인과 증착된 n+-Si층 소오스/드레인을 가지는 역스태거형 TFT 단면도
Fig. 2 Cross-sectional structures of inverted staggered TFTs with (a) ion-implanted and (b) deposited n+ source/drain.

3.1 정상상태 특성

TFT의 트랜스퍼 특성과 출력특성이 아래 표 1에 정리된 소자와 물성의 중요 파라미터에 대해 시뮬레이션되었다. 인가 전압이 $V_G=5$ V, $V_D=10$ V일 때의 전위와 전자의 분포가 그림 3과 그림 4에 나타나 있는데 소자 물리에 기초를 둔 예상과 다르지 않음을 알 수 있다. 그림 5에는 트랜스퍼 특성이 측정 데이터와 비교되어 있는데 낮은 게이트 전압에서의 전류의 차이는 측정기기의 오류 또는 누설전류로 추정된다. 이 시뮬레이션된 특성으로 부터 전계효과 이동도(이하 이동도로 표시)와 문턱전압을 계산하면 각각 $0.13 \text{ cm}^2/\text{V} \cdot \text{sec}$ 와 $1.25 \text{ V}(V_G-V_{FB}=5.75 \text{ V})$ 이다. 이동도와 문턱전압은 $V_G \gg V_D$ 인 조건하에서 전류식 $I_D = C_{ox} \cdot \mu_{FET} \cdot \frac{W}{L} \cdot (V_{GS} - V_T - V_D/2) \cdot V_D$ 로부터 추출되었다. 이 소자의 I-V 출력특성을 그림 6에 표시하였는데 측정된 값들과 거의 일치하고 있다.

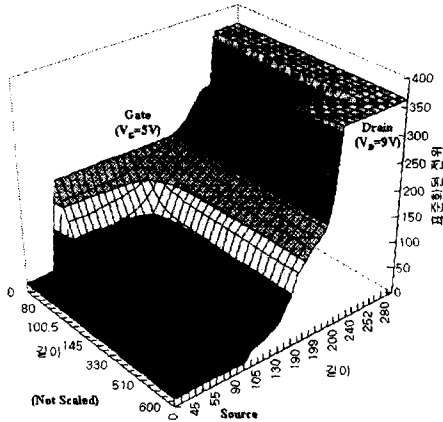


그림 3 $V_G=5.0$, $V_D=9.0$ V일 때의 포텐셜의 분포
Fig. 3 Electrostatic potential distribution under $V_G=5.0$ and $V_D=9.0$ V

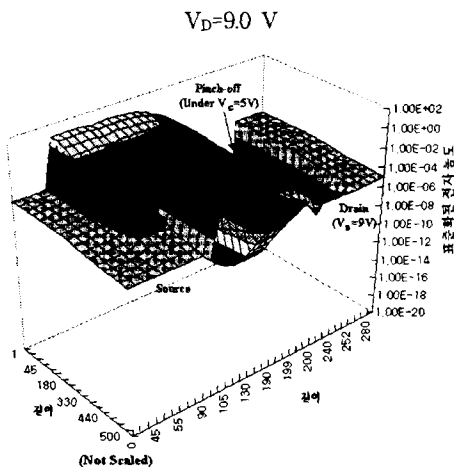


그림 4 $V_G=5.0$, $V_D=9.0$ V일 때의 자유 전자밀도 분포
Fig.4 Free electron density distribution under $V_G=5.0$ and $V_D=9.0$ V

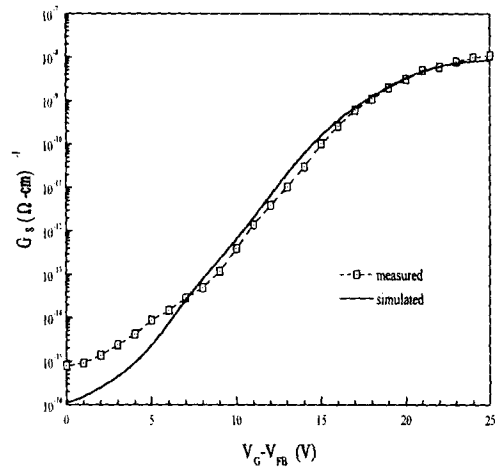


그림 5. $V_D=1.0\text{V}$ 에서 시뮬레이션된 트랜스퍼 특성과 측정치의 비교

표 1. 중요한 소자 및 물성 파라미터 값.

Table 1. Important Device and physical parameters

L_{ch}	채널 길이	50 μm
L_{ov}	게이트와 중첩된길이	50 μm
W	채널 넓이	950 μm
d_{ox}	게이트 절연막 두께	1500 \AA
d_{si}	반도체막 두께	800 \AA
K_{ox}	게이트 절연막 비유전율	6.5
K_{si}	반도체막 비유전율	11.8
μ_n	전자의 대 이동도	21.0 $\text{cm}^2/\text{V} \cdot \text{sec}$
μ_p	정공의 대 이동도	6.0 $\text{cm}^2/\text{V} \cdot \text{sec}$
N_{Ddot}	Dangling bond 상태 밀도	$5.0 \times 10^{16} \text{ cm}^{-3}$
E_{D^+}	$D^+ \leftrightarrow D^0$ 전이의 에너지 준위	0.68 eV
E_{D^-}	$D \leftrightarrow D^0$ 전이의 에너지 준위	1.08 eV
ΔE_d	$ E_{D^+} - E_{D^-} $	0.40 eV
E_d	$(E_{D^+} + E_{D^-}) / 2$	0.88 eV
σ_D	현수결합상태 분포의 표준편차	0.80 eV

3.2 물성 파라미터의 민감도

본 컴퓨터 모델의 장점 중의 하나가 아주 현실성이 높은 물성 모델에 있다. 불순물들의 가우시안 에너지분포 특성을 나타내는 분포 표준편차, 대꼬리 상태에서의 전자와 정공의 포획 단면적, 현수결합 상태간의 두 가지 전이에너지 위치, 현수결합 상태에서의 전자와 정공의 포획단면적 등 다양한 물리적 모델에 대한 대응이 용이하고 보다 근본적인 재료와 소자에 대한 연구

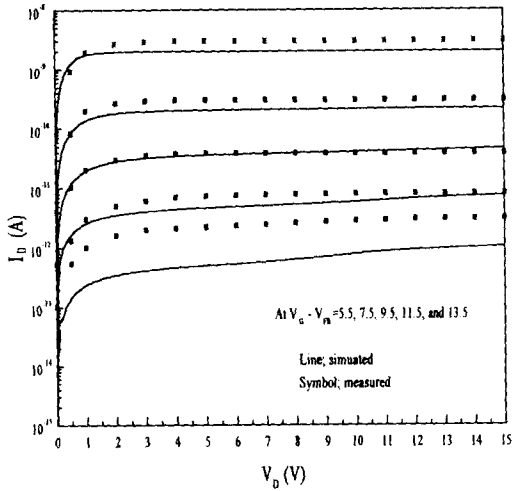


그림 6. 시뮬레이션된 I-V 출력특성과 측정치의 비교.
 Fig. 6. Comparison of simulated I-V characteristics with measured data

가 가능하다. 그러나 이 장점이 바로 단점도 될 수 있다. 많은 수의 파라미터들의 값이 주어져야 할 뿐만 아니고 파라미터들 간에도 서로 상관관계를 가지고 있기 때문에 고유한 파라미터 값들을 정확히 알아내기가 쉽지 않다. 여러 중요 파라미터들에 대한 민감도 실험을 통해 이들이 소자 특성에 미치는 영향을 연구할 수 있고, 특정 소자에 대한 정확한 파라미터 값들을 얻을 수 있게 된다. 또한 이들 물성 파라미터들이 제조공정 파라미터들과 어떤 관계를 가지고 있을 경우는 공정 파라미터의 최적화로 최고의 소자 성능을 얻을 수 있는 박막들을 얻을 수 있을 것이다.

여러 파라미터들 중 E_d 와 ΔE_d 값에 따른 소자의 특성 변화를 알아보려고 한다. 먼저 그림 8에 나타나 있는 시뮬레이션 결과를 보면, 평형상태 하에서 E_d 가 큰 값일수록 페르미 준위가 전도대 쪽으로 근접하여 존재하므로 sub-threshold 기울기와 포화 전류의 값이 낮은 게이트 전압에서도 높게 나타낸다고 분석할 수 있다(그림 7). 또한 ΔE_d 가 넓을수록 현수결합 상태들이 충만대와 전도대 경계부 쪽으로 분포하게 되어 밴드 중심부의 현수결합 상태 밀도는 낮으므로 그림 8에 나타나 있는 것처럼 sub-threshold 기울기와 포화 전류가 큰 값을 나타내게 된다.

한편 σ 가 큰 값이면 현수결합 상태의 밀도가 넓게 퍼져서 밴드 중심부의 현수결합 상태 밀도가 높게 되어 sub-threshold 기울기와 포화 전류의 값이 감소할 것이다. 그러나 어떤 σ 값 이상에서는 양전성인 현수결합 상태들 간의 중첩

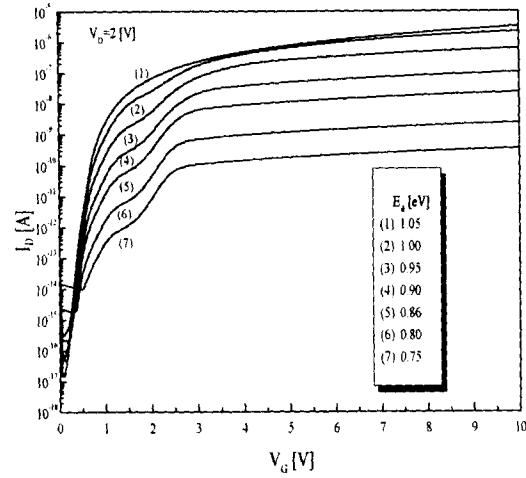


그림 7. TFT Transfer특성의 E_d 값(E_D' 와 E_D 의 위치) 변화에 대한 민감도.

Fig. 7. Sensitivity of TFT transfer characteristics to E_d value variations

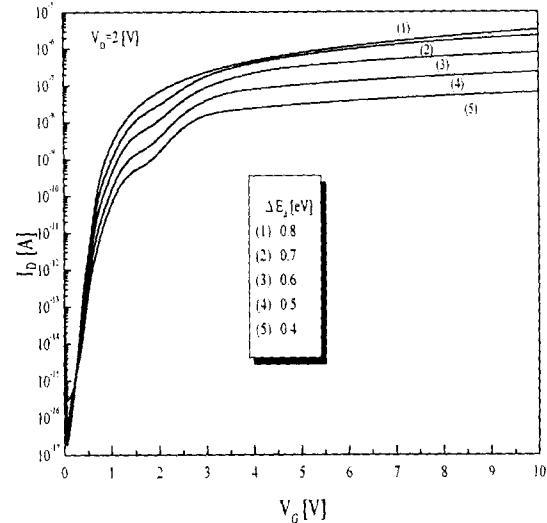


그림 8. TFT Transfer특성의 ΔE_d 값(E_D' 와 E_D 의 위치)의 변화에 대한 민감도.

Fig. 8. Sensitivity of TFT transfer characteristics to ΔE_d value variations

으로 현수결합 상태의 전하들이 상쇄되어 감소하는 효과가 나타나므로, sub-threshold 기울기와 포화 전류의 값이 다시 증가할 것이라고 예상할 수 있다. 특히 이 변수는 ΔE_d 와 밀접하게 연

관되어 있다. 만일 ΔE_d 가 좁은 경우에는 σ 가 넓어질수록 subthreshold 기울기와 포화전류의 값이 증가하는 현상만이 나타날 것이다. 이와 같이 E_D^+ 와 E_D^- 의 상대적인 값(위치)에 여러 파라미터들이 상호 많은 관련성을 가지고 소자의 특성에 영향을 미치기 때문에 명확하고 간단한 결론은 기술하기 어려우나 이 컴퓨터 모델에 포함되어 있는 여러 물성 파라미터의 최적화를 위한 일반적인 경향은 충분히 제시되었다고 생각된다.

3.3 소자 구조에 따른 특성

시뮬레이션에 사용된 소자는 역스태거 형태의 비정질실리콘 트랜지스터인데, 이온주입으로 n+ 소오스/드레인을 형성하였다. 비정질실리콘 박막트랜지스터의 특성이 게이트 절연체와 실리콘 층의 막질에 크게 좌우된다는 것은 잘 알려져 있다. 이외에도 외부적인 소자의 기하학적인 조건들도 트랜지스터의 전기적 특성에 큰 영향을 미치게 되는데, 소오스/드레인 콘택 구조, 채널의 길이, 각 박막 층의 두께 등이 예가 될 수 있다. 이런 요소들은 기생 저항이나 용량의 형태로 소자의 특성에 영향을 미치게 된다.

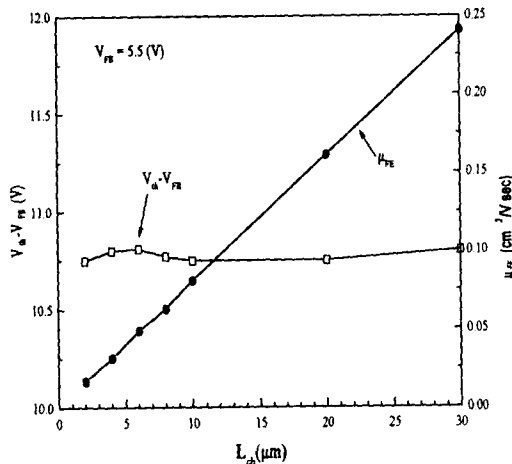


그림 9. 채널 길이의 변화에 따른 문턱전압과 전계효과 이동도의 변화.

Fig. 9. Variation of threshold voltage and field effect mobility as a function of channel length

개발된 시뮬레이터를 트랜지스터의 채널길이와 소오스/드레인과 게이트의 중첩(overlap) 길이가 소자의 특성에 미치는 영향을 분석하는데 응용하였는데 채널길이를 감소시킴에 따라 소오스와 드레인에서의 기생저항의 영향이 점점 커진다는 것이 그

림 9에 분명히 나타나 있다. 소자의 채널폭(W)과 채널길이(L)의 비(W/L)를 일정하게 10으로 유지하면서 채널의 길이를 변화시켜 트랜지스터의 트랜스퍼 특성을 시뮬레이션하여 비교해 보면 문턱전압은 채널길이에 관계없이 일정하나 이동도는 채널길이가 2 μm 에서 30 μm 까지 변할 때, 약 10배정도 변하는 것을 알 수 있다. 이것은 채널길이가 감소함에 따라 순수 채널저항에 대한 소오스/드레인의 기생저항의 비중이 커지기 때문이다. 이동도와는 다르게 문턱전압은 채널길이의 변화에 관계없이 거의 일정한데, 이는 시뮬레이션에 사용한 소자의 구조로 보아 채널의 형성에 소오스/드레인의 기생저항의 영향이 적기 때문일 것이다. 이는 Luan 및 Neudeck[11]에 의해 실험적으로 관찰된 바 있다. 그러나 Kanicki[12] 등의 보고에 따르면 채널길이를 40 μm 에서 0.5 μm 까지 변화시켰을 때 문턱전압의 변화가 300% 정도였다. 두 그룹의 보고가 상이한 것은 소오스/드레인의 구조가 다르기 때문이다. Neudeck 등은 이온주입으로, Kanicki 등은 n' 비정질실리콘 층의 성막으로 소오스와 드레인을 형성하였다. 일반적으로 on-저항(R_{on})은 낮은 드레인 전압 하에서 채널저항과 소오스/드레인 기생저항으로 나타낼 수 있고 트랜지스터 출력특성의 선형 구간에서 아래의 식에 의해 구할 수 있다[11,13]:

$$R_{on} = \left. \frac{\partial V_D}{\partial I_D} \right|_{V_G=0} = R_{ch} + R_p \quad (47)$$

$$R_{ch} = \frac{L}{W\mu C_{ox}(V_G - V_T)} \quad (48)$$

여러 채널길이에 대해 게이트 전압에 따른 R_{on} 의 변화는 게이트 전압이 커짐에 따라 R_{on} 이 일정한 값으로 포화되기 시작함을 알 수 있었다. 이는 실제 측정[12]으로 얻어지거나 이론적[14]으로 계산된 결과와 잘 일치하고 있다. 한편 역스태거 형태의 TFT는 제조공정 상의 유리한 점을 여러 개 가지고 있으나, 불리한 접촉 구조 때문에 면적이 넓은 접촉이 필요하고, 이는 게이트와 소오스/드레인 전극의 중첩에 의한 기생용량의 증가를 가져온다. 기생용량은 게이트와 소오스/드레인 전극의 중첩길이를 조절하여 감소시킬 수 있으나, 이는 소오스/드레인에서의 기생저항은 증가시킨다. 최적의 소자성능을 위해서는 기생저항과 기생용량 사이에 trade-off가 있어야함을 알 수 있다. 채널길이는 $L_{ch}=10\mu\text{m}$, 채널폭은 $W=100\mu\text{m}$, 실리콘 층의 두께는 1500Å으로 일정하나 게이트와 소오스/드레인 전극의 중첩길이가 다른 여러 TFT의 트랜스퍼 특성들을 계산하여 중첩길이(L_{ov})의 변화에 따른 문턱전압 및 이동도를 추출하여 그림 10에 표시하였다. L_{ov} 가 감소함에 따라 이동도는 감소하고 문턱전압은 변화가 없음을 보여 준다. 그림 11에는 여러 게이트 전압에 대해 L_{ov} 와 R_p 의 관계가 그래프로 그려져 있는데, 소오스/드레인의 기생저항이 L_{ov} 가 감소함에 따라 커진다. L_{ov} 가 증가함에 따라 R_p 가 급격히 감소하다가 L_{ov} 가 약 2~3 μm 에서 포화되기 시작한다. 이 결

과에서 L_{ov} 가 2~3 μm 이상이 되면 R_D 가 크게 감소할 수 없다는 사실을 알 수 있다. 기생용량의 최소화를 위한 L_{ov} 의 최적화도 2~3 μm 인 특성 중첩길이를 잘 고려하여 요구되는 소자설계에 맞추어야 할 것이다. 이 특성 중첩길이는 참고문헌[11,15,16]에서 실험적으로 측정되어 분석된 수치와도 잘 일치하고 있다.

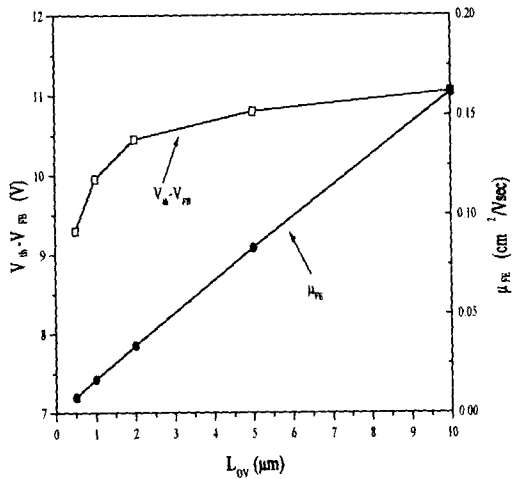


그림 10. 중첩 길이의 변화에 따른 문턱전압과 전계효과 이동도의 변화.

Fig. 10. Variation of threshold voltage and field effect mobility as a function of overlap length

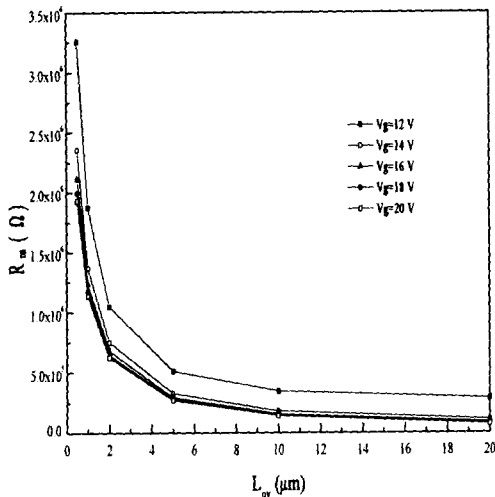


그림 11. 출력특성의 선형 구간에서 추출된 on-저항의 중첩 길이에 따른 변화

Fig. 11. Variation of on resistance as a function of source/drain-to-gate overlap length at different gate voltages.

3.4 과도상태 특성

TFT의 과도상태 특성의 시뮬레이션을 위해, $V_G=0$ V, $V_D=5$ V의 상태에서 40 nsec 동안 V_G 를 20 V로 turn-on 시킨 후 500 μsec 까지 드레인 전류의 변화를 계산하였다. 파라미터들이 최적의 값들이 아니기 때문에 전류 값과 그 변화율 등이 정확하지는 않으나 그림 12에 제시한 시뮬레이션 결과는 일반적인 turn-on 특성을 잘 나타내고 있다. 게이트 전압을 turn-on시키기 전에는 모든 트랩들이 비어 있고 turn-on과 함께 전자들이 축적되어 채널이 형성된다. Turn-on 후 시간이 지남에 따라 트랩들이 전하들로 채워지게 되고 그 결과 드레인 전류가 감소하게 된다. 이 전하들의 trapping/detrapping 과정의 시간에 따른 변화 특성은 대포리 상태와 현수결합 상태들의 포획단면적의 값에 의해 좌우된다. 그림 13에는 turn-off 특성의 시뮬레이션 결과를 나타내었는데 해의 수렴이 turn-on의 경우보다 늦었고, turn-on 특성과는 달리 드레인 전류의 변화가 완만하다. 실제 실험에서도 유사한 결과가 관찰되어 보고되었는데[17], 이는 detrapping에 관련된 포획단면적의 값이 trapping의 경우보다 적기 때문일 것이다. 시뮬레이션 결과가 측정된 데이터와 비교되지는 않았지만 개발된 시뮬레이터가 TFT의 과도특성을 계산할 수 있다는 것은 충분히 제시되었다.

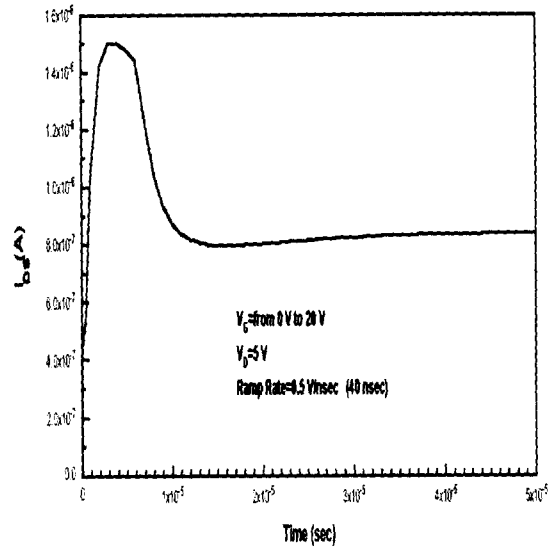


그림 12. $V_G=0$ V, $V_D=5$ V에서 40 nsec 동안 V_G 를 20 V로 Turn-on시킨 후 드레인 전류의 변화를 500 μsec 까지 Simulation한 결과.

Fig. 12. Simulated turn-on transient of drain current from $V_G=0$ V, $V_D=5$ V to $V_G=20$ V, $V_D=5$ V.

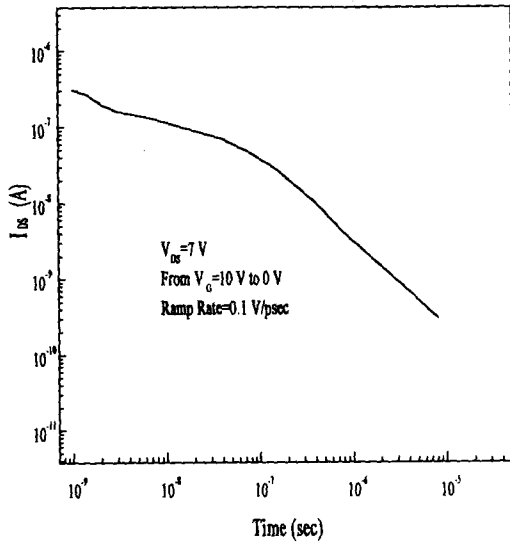


그림 13. $V_G=10\text{ V}$, $V_D=10\text{ V}$ 에서 $V_G=0\text{ V}$ 로 Turn-off 했을 경우의 과도 특성

Fig. 13. Simulated turn-off transient of drain current from $V_G=10\text{ V}$, $V_D=10\text{ V}$ to $V_G=0\text{ V}$, $V_D=5\text{ V}$.

4. 결론

수소화된 비정질 실리콘 박막트랜지스터는 최근 휴대용 컴퓨터의 보급이 점차 확대되어 감에 따라 대화면, 고정세, 경량 박형의 평판 표시기로 가장 주목받고 있는 TFT-LCD의 화소 구동소자로서 그 연구가 대단히 활발하지만, 소자의 기본적인 작동원리의 규명뿐만 아니라 소자기술의 개선 등 그 연구개발의 여지는 아직도 많다. 비정질 실리콘 박막 트랜지스터 개발의 현황을 고려할 때, 축적된 다양한 실험결과와 설명을 통한 재료의 물성 및 소자 작동원리의 정확한 규명을 위해, 이 시점에서 아주 현실적인 이차원 소자시뮬레이터의 개발이 절실히 필요하다. 본 연구에서는 비정질 실리콘 박막트랜지스터의 정상상태 및 과도상태 특성을 해석할 수 있는 새로운 시뮬레이션 도구를 독자적으로 개발하였는데, TFT의 트랜스퍼 특성, I-V 특성, 전위/전자/정공/재결합율의 분포, turn-on 및 turn-off 특성들을 성공적으로 시뮬레이션하였다. 또한 실제 측정된 TFT의 특성과의 비교와 정확한 파라미터 값의 추출 등을 위한 연구도 수행되었다. 소자의 최적 설계를 위해, 소자의 기하학적 크기들이 소자특성에 미치는 영향을 분석하는데 응용하였는데, 소오스/드레인 게이트가 증착된 소자구조에서 소오스/드레인의 기생용량과 기생 저항의 최적화가 게이트와 소오스/드레인 전극의 중복길이가 약 $2\sim 4\ \mu\text{m}$ 에서 이루어져야한다는 것을 알 수 있었다. 이 컴퓨터

모델은 대이동도가 전계와 불순물 농도에 따라 변하지 않고 일정하다는 가정이 포함되어 있지만 소자 성능의 일반적인 거동은 충분히 분석될 수 있고, 향후 새로운 이동도 모델이 제시되면 더욱 정확한 시뮬레이션이 가능 할 것이다. 그리고 계면상의 상태들에 대한 현실적인 모델을 이식하게 되면 더욱 정확한 소자들의 동작원리를 이해할 수 있을 것이다.

본 논문은 산업자원부와 과학기술부에서 시행한 선도기술개발(6-7)사업의 지원으로 수행되었음

참고 문헌

- [1] N. Hirose, Y. Uchida, and M. Matsumura, "Two-Dimensional Numerical Analysis of Amorphous-Silicon Field-Effect Transistors," *Japan J. Appl. Phys.*, Vol. 24, No. 2, pp. 200-207, 1985. 2.
- [2] J.G. Shaw and M. Hack, "Simulations of Short-Channel and Overlap Effects in Amorphous Silicon Thin Film Transistors," *J. Appl. Phys.*, Vol. 65, No. 5, pp. 2124-2129, 1989. 3.
- [3] M.F. Willums, M. Hack, P.G. LeComber and J. Shaw, "An Investigation of a-Si:H Thin Film Transistors by A Comparison of Transient Measurements and Numerical Simulations," *Mat. Res. Soc. Symp. Proc.*, Vol.258, 1992.
- [4] G.W. Taylor and J.G. Simmons, "Basic Equations for Statistics, Recombination Processes, and Photoconductivity in Amorphous Insulators and Semiconductors," *J. Non-Cryst. Solids*, Vol. 8-10, pp. 940-946, 1972.
- [5] J.L. Gray, "A Computer Model for the Simulation of Thin Film Silicon-Hydrogen Alloy Solar Cells," *IEEE Trans. Electron Devices*, Vol. ED-36, No. 5, pp. 906, 1989
- [6] J.W. Park, "Computer Modeling of Electronic Properties in Thin Film Silicon Hydrogen-Alloy and Its Application to Solar Cells," Ph.D. Dissertation, *Purdue Univ.*, 1988.
- [7] A.D. Sutherland, "An Algorithm for Treating Interface Surface Charge in the Two-Dimensional Discretization of Poisson's Equation for the Numerical Analysis of Semiconductor Devices such as MOSFETs," *Solid State Electronics*, Vol.23, pp.1085-1087,1980.

- [8] D.L. Scharftrter and H.K. Gummel, "Large-Signal Analysis of a Silicon Read Diode Oscillator," *IEEE Trans. Electron Devices*, Vol. ED-16, pp. 64-77, 1969. 1.
- [9] A. de Mari, "An Accurate Numerical Steady-State One-Dimensional Solution of the P-N Junction," *Solid State Electronics*, Vol. 11, pp. 33-58, 1968.
- [10] G.W. Brown and B.W. Linsay, "The Numerical Solution of Poisson's Equation for Two-Dimensional Semiconductor Devices," *Solid State Electronics*, Vol. 19, pp. 991-992, 1976.
- [11] S. Luan and G.W. Neudeck, "An Experimental Study of the Source/Drain Parasitic Resistance Effects in Amorphous Silicon Thin Film Transistors," *J. Appl. Phys.* Vol. 72, pp. 766, 1992. 7.
- [12] J. Kanicki, F.R. Libsch, J. Griffith and R. Polastre, "Performance of Thin Hydrogenated Amorphous Silicon Thin Film Transistors," *J. Appl. Phys.* Vol. 69, No. 4, pp. 2339-2345, 1991. 2.
- [13] H.H. Busta, J.E. Pogemiller, R.W. Standley, and K.D. Mackenzie, "Self-Aligned Bottom-Gate Submicrometer-Channel-Length a-Si:H Thin-Film Transistors," *IEEE Trans. on Electron Devices*, Vol. 36, No. 12, 1989. 12.
- [14] Y.S. Kim, J.S. Park, S.K. Lee, J.R. Hwang, H.S. Choi, Y.I. Choi, and Min K. Han, "A New Model for Series Resistance of Amorphous Silicon Thin Film Transistor," *Nat. Res. Soc. Symp. Proceeding*, Vol. 258, pp. 991, 1992. 5.
- [15] G.E. Possin, D. Castleberry, W. Piper and H. Parks, "Contact-Limited Behavior in Amorphous-Silicon FET for Application to Matrix-Addressed Liquid-Crystal Displays," *Soc. Inform. Display Symp. Dig.*, Vol. 26, pp.183-189, 1985.
- [16] S. Martin, J. Kanicki, N. Szydlo, and A. Rolland, "Analysis of amorphous silicon thin film transistors behavior in the dark and under illumination: sensitivity to geometric parameters," *Soc. Inform. Display Symp. Dig.*, Vol. 26, pp.266-269, 1997.
- [17] J.G. Shaw, M. Hack, P.G. LeComber, and M. Willums, "Density-of States and Transient Simulations of Amorphous-Silicon Devices," *J. Non-Cryst. Solids*, Vol. 137-138, pp. 1233-1236, 1991.

저 자 소 개



최 종 선(崔 淙 宣)

1957년 8월 14일생. 1983년 서울대 공대 금속공학과 졸업. 1987년 University of California, San Diego 전기공학과 대학원(석사) 졸업. 1992년 Purdue University 전기공학과 대학원(박사) 졸업. 1992-

1994년 현대전자 TFT 생산기술팀장. 현재 홍익대학교 전자전기공학부 조교수.



Gerold W. Neudeck

Dr. Neudeck is a Professor of Electrical & Computer Engineering. He has authored or co-authored 8 text books, is an editor for 3 multi-volume book series, and has published several hundred research papers.

He holds 13 patents on novel device structures. His research interests have centered around solid state device physics and I-C fabrication technologies. Presently his research includes silicon selective epitaxial growth (SEG), epitaxial lateral overgrowth (ELO), selective Ge-Si for devices as well as multiple layers of silicon on insulator (SOI) device islands. He is a Fellow of the Institute of Electrical and Electronics Engineering (IEEE), was an Editor of IEEE Transactions on Electron Devices, and received the H.S. Nyquist Award for his contributions to the field of engineering. He has received 5 other awards for teaching. He also served as an Assistant Dean of Engineering at Purdue.