

RB 복소수 필터를 이용한 적응 결정귀환 등화기 구조 및 칩셋 설계

정회원 김 호 하*, 안 병 규**, 신 경 옥**

An Adaptive Decision-Feedback Equalizer Architecture using RB Complex-Number Filter and chip-set design

Ho-Ha Kim*, Byoung-Gyu An**, Kyung-Wook Shin** *Regular Members*

요 약

디지털 통신 시스템의 기저대역 신호처리를 효율적으로 구현하기 위한 새로운 복소수 필터구조를 제안하고, 이를 적용하여 채널등화용 적응 결정귀환 등화기 (Adaptive Decision-Feedback Equalizer; ADFE) 칩셋을 설계하였다. 새로운 복소수 필터구조는 기존의 2의 보수 대신에 redundant binary (RB) 수치계를 적용한 효율적인 복소수 승산 및 누적연산을 바탕으로 한다. 제안된 방법을 적용하면, N -탭 복소수 필터는 $2N$ 개의 RB 승산기와 $2N-2$ 개의 RB 가산기로 구현되며, 필터 탭 당 $T_{m, RB} + T_{a, RB}$ (단, $T_{m, RB}$, $T_{a, RB}$ 는 각각 RB 승산기 및 가산기의 지연시간)의 지연시간을 가지므로 2진 수치계를 사용하는 기존의 방법과 비교할 때 필터구조 및 연산의 단순화에 의해 고속동작이 가능하다. 제안된 방법을 적용하여 설계된 ADFE는 FFEM (Feed-Forward Equalizer Module)과 DFEM (Decision-Feedback Equalizer Module)로 구성되며, 필요에 따라 필터 탭을 확장할 수 있도록 설계되었다. 2-탭 복소수 필터, LMS 계수갱신 회로 및 부가회로 등으로 구성되는 각 모듈은 COSSAP과 VHDL을 이용한 모델링 및 검증과정을 거쳐 0.8- μ m SOG (Sea-Of-Gate) 셀 라이브러리를 사용하여 논리합성 되었으며, 26,000여개의 게이트로 구성된다.

ABSTRACT

Presented in this paper are a new complex-number filter architecture, which is suitable for an efficient implementation of baseband signal processing of digital communication systems, and a chip-set design of adaptive decision-feedback equalizer (ADFE) employing the proposed structure. The basic concept behind the approach proposed in this paper is to apply redundant binary (RB) arithmetic instead of conventional 2's complement arithmetic in order to achieve an efficient realization of complex-number multiplication and accumulation. With the proposed way, an N -tap complex-number filter can be realized using $2N$ RB multipliers and $2N-2$ RB adders, and each filter tap has its critical delay of $T_{m, RB} + T_{a, RB}$ (where $T_{m, RB}$, $T_{a, RB}$ are delays of a RB multiplier and a RB adder, respectively), making the filter structure simple, as well as resulting in enhanced speed by means of reduced arithmetic operations. To demonstrate the proposed idea, a prototype ADFE chip-set, FFEM (Feed-Forward Equalizer Module) and DFEM (Decision-Feedback Equalizer Module) that can be cascaded to implement longer filter taps, has been designed. Each module is composed of two complex-number filter taps with their LMS coefficient update circuits, and contains about 26,000 gates. The chip-set was modeled and verified using COSSAP and VHDL, and synthesized using 0.8- μ m SOG (Sea-Of-Gate) cell library.

*(주) 서두인칩 부설연구소
논문번호 : 99061-0218,

** 금오공과대학교 전자공학부 (bgan@knut.kumoh.ac.kr, kwshin@knut.kumoh.ac.kr)
접수일자 : 1999년 2월 18일

* 본 연구는 한국과학재단 1998년 핵심전문연구 (과제번호:981-0909-038-2)의 지원에 의한 연구결과의 일부임.

I. 서론

IMT (International Mobile Telecommunications)-2000, HDTV (High-Definition TV), 무선 CATV (Cable TV)와 같은 차세대 이동통신 및 방송 시스템에서는 데이터와 영상 등 광대역 멀티미디어 정보의 고속 전송이 필수적이다. 수십 Mb/s 이상의 데이터 전송속도를 갖는 디지털 무선 통신 시스템에서 고속 데이터 전송을 저해하는 요인중 대표적인 것으로 부호간 간섭 (Inter-Symbol Interference; ISI)을 꼽을 수 있으며, 이는 디지털 무선채널이 갖는 일반적인 왜곡인 다중 경로전파 (multipath propagation)에 의해 발생되고 이를 제거하기 위해서는 수신단에 적응 신호처리를 이용한 채널등화 과정이 필요하다^[1].

ISI 제거를 위한 채널등화는 선형 등화기 (Linear Transversal Equalizer; LTE), zero-forcing 등화기, 결정귀환 등화기 (Decision-Feedback Equalizer; DFE) 등이 있으며, 이들 중 DFE가 성능 면에서 가장 우수한 것으로 알려져 있다. 일반적으로, 선형 등화기는 채널 왜곡이 큰 경우에는 등화기를 구성하는 필터의 차수를 크게 증가시켜야 하는 단점을 갖는다. 반면에, DFE는 채널 왜곡이 심할수록 선형 등화기에 비해 성능개선이 우수하며 잡음에 대한 증폭 없이 ISI를 제거할 수 있다는 장점을 가져 광대역 디지털 무선통신 시스템 및 HDTV 등의 핵심 기능블록으로 부각되고 있다^[2,3].

적응 결정귀환 등화기 (Adaptive DFE; ADFE)는 필터 계수갱신 부분에 순환루프를 가지므로 고속 동작을 위한 파이프라인 삽입이 어려우며, 따라서 동작속도를 향상시키기 위해서는 look-ahead 변환, delayed LMS 알고리즘 등이 사용된다. 문헌[4,5]에는 relaxed look-ahead 기법을 적용한 파이프라인 구조가 발표되었으며, Matsubara는 수정형 look-ahead 변환을 이용한 파이프라인 방법^[6]을 제안하였다. 문헌[7,8]에는 필터 계수갱신 과정을 지연시킴으로써 파이프라인을 삽입하는 delayed LMS 방법들이 발표되었으며, Douglas^[9]는 계수갱신과정의 지연 없이 파이프라인화가 가능한 알고리즘 및 구조를 제안하였다. 한편, HDTV 등화기에서와 같이 매우 큰 필터 탭 수를 필요로 하는 경우에 하드웨어 복잡도를 감소시키기 위한 방법으로서 파이프라인을 이용하여 병렬 처리부분을 순차 처리하는 방법이

제안되었다^[10].

Quadrature amplitude modulation (QAM), quadrature phase shift-keying (QPSK) 변조방식의 등화기는 복소수 형태의 데이터 및 계수를 갖는 복소수 필터로 구성된다. 일반적으로, 디지털 필터는 승산 및 가산 과정이 필터의 탭 수만큼 반복되는 연산 집약적 특성을 가지므로 승산기와 가산기의 성능이 필터의 성능을 결정하는 중요한 요소가 된다. 따라서 고속/저전력/고집적 복소수 필터의 구현을 위해서는 효율적인 복소수 승산 방법에 대한 고려가 요구된다. 복소수 승산을 구현하기 위한 가장 일반적인 방법은 실수 승산기와 실수 가산기를 이용하는 것이며, 4개의 실수 승산기와 2개의 실수 가산기를 사용하는 직접적인 방법이 널리 사용되고 있다. 그러나, 이와 같은 고전적인 방법에서는 실수 승산기 및 가산기의 성능이 복소수 승산의 성능을 결정하며, 전체 복소수 승산기의 구조가 비교적 복잡하고 성능향상에 한계가 있다는 단점을 갖는다.

본 논문에서는 ADFE의 효율적인 구현을 위한 새로운 복소수 필터 구조를 제안하였다. 새로운 복소수 필터는 기존의 2의 보수 연산 대신에 redundant binary (RB) 연산을 바탕으로 하며, RB 수치계와 radix-4 Booth 리코딩을 혼합한 복소수 승산 알고리즘을 사용하여 구현된다. 이를 통해 복소수 필터의 구조 및 연산의 단순화와 동작속도 향상이 얻어졌다. 제안된 방법을 적용하여 선형 등화기 모듈 (Feed-Forward Equalizer Module: FFEM)과 결정귀환 등화기 모듈 (Decision-Feedback Equalizer Module: DFEM)로 구성되는 ADFE를 설계하였다. 필요에 따라 복소수 필터의 차수를 확장할 수 있도록 설계된 각 모듈은 QPSK, QAM 변조 방식을 지원하며, 2-탭의 복소수 필터와 계수 갱신 회로를 내장하고 있다.

II장에서는 ADFE의 전체 구성과 새로운 복소수 필터 구조를 제안하고, III장에서는 확장 가능한 FFEM 및 DFEM의 구조 및 칩셋 설계에 대해 기술한다. 끝으로 IV장에서 결론을 맺는다.

II. 적응 결정귀환 등화기

1. ADFE의 구조

ADFE는 그림 1과 같이 feed-forward equalizer (FFE)와 decision-feedback equalizer (DFE)가 결합된 구조를 갖는다. 모든 데이터 및 계수는 복소수

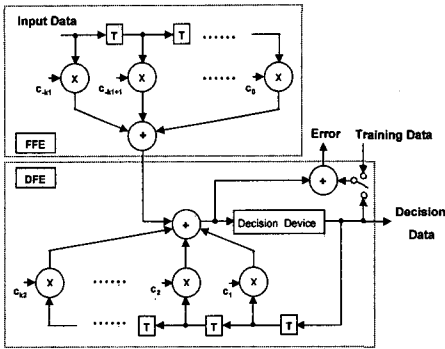


그림 1. ADFE 아키텍처

형태이며, 따라서 등화기는 복소수 필터로 구성된다 [3,11].

FFE는 ADFE의 앞단에 위치하여 pre-cursor ISI를 제거하는 기능을 수행하며, self-adopting 계수를 갖는 finite impulse response (FIR) 복소수 필터와 sign-LMS (sign-Least Mean Square) 알고리즘을 이용한 계수갱신 블록으로 구성된다. DFE는 FFE의 후단에 위치하여 post-cursor ISI를 제거하는 infinite impulse response (IIR) 형태의 복소수 필터로 구성되며, sign-LMS 알고리즘에 의한 계수 갱신 블록과 귀환경로에 비선형 심벌결정 블록을 갖는다. DFE 블록의 심벌결정 회로는 변조방식을 지정하는 제어 신호와 training/tracking 모드선택 신호에 따라 등화 결과에 대한 심벌 값을 결정하고, 에러 데이터를 생성한다.

그림 1에서 보는 바와 같이, 선형 등화기는 단순한 FIR 필터구조를 가지므로 데이터의 고속 처리를 위한 파이프라인의 삽입이 용이하며 회로 구현이 쉽다는 장점을 갖는다. 반면에, DFE는 결정된 심벌 값의 귀환에 의해 필터의 계수 값이 결정되는 순환 구조를 가지므로 고속 동작을 위한 파이프라인 삽입이 어렵다. 또한, 비선형 심벌 결정블록에 의해 pole-zero 제거 기법이나 carry-save 연산 방식 등 IIR 필터의 속도 개선에 이용되는 방법의 적용이 불가능하다.

일반적으로, DFE는 그림 2와 같은 직접형 필터 구조를 이용하여 구현될 수 있다. 이 경우에 DFE 블록이 갖는 최악지연시간 (critical path delay)은 $T_{cm} + N \cdot T_{ca} + T_{db}$ (단, N 은 탭 수, T_{cm} 및 T_{ca} 는 각각 복소수 승산기 및 가산기의 지연시간, 그리고 T_{db} 는 심벌결정 블록의 지연시간)이 되며,

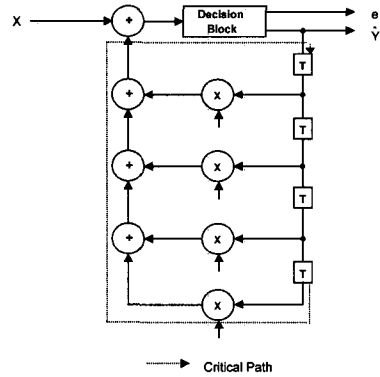


그림 2. 직접적인 방법을 이용한 DFE 구조

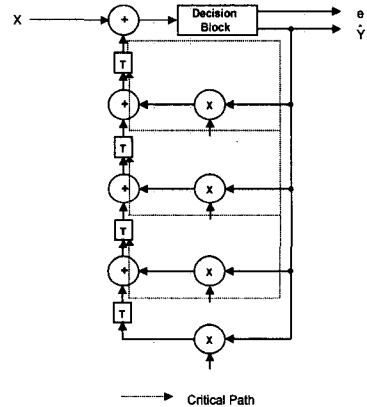


그림 3. Transposed 형 DFE 구조

필터의 탭 수가 증가할수록 지연경로가 길어지는 단점을 갖는다.

DFE의 동작속도를 향상시키기 위해 그림 3과 같은 transposed 필터구조를 사용할 수 있으며, 이 경우 최악지연시간은 $T_{cm} + 2T_{ca} + T_{db}$ 가 된다. 이 구조는 필터의 탭 수에 관계없이 일정한 지연시간을 갖는 장점이 있으나, 모든 귀환루프가 최악지연경로가 된다. 한편, transposed 구조에서 심벌결정 블록의 입력 쪽에 있는 가산기를 필터 탭의 뒤쪽으로 이동시키면 그림 4와 같이 변형된 transposed 필터 구조를 얻을 수 있다. 이경우의 최악지연시간은 $T_{cm} + T_{ca} + T_{db}$ 로 감소되며 단지 하나의 최악지연 경로만을 갖는다. 본 논문에서는 그림 4의 구조를 채택하여 DFE 블록을 구현한다.

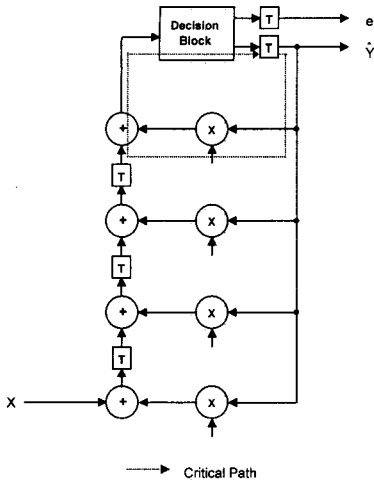


그림 4. 변형된 transposed DFE 구조

2. RB 복소수 필터 구조

본 절에서는 FFE와 DFE를 구성하는 복소수 필터의 효율적인 구현을 위한 새로운 구조를 제안한다. 디지털 필터의 입력을 $X(n)$, 계수를 $C(n)$ 이라고 하면 필터의 출력 $y(n)$ 은 식(1)과 같이 정의된다.

$$y(n) = C^T(n-1) \cdot X(n) \quad (1)$$

필터 입력신호와 계수가 각각 식(2-a), 식(2-b)와 같이 표현되는 복소수 형태이면, 복소수 필터의 출력 $\hat{y}(n)$ 은 식(3)과 같이 표현된다. 식(2), (3)에서 첨자 r 과 i 는 각각 복소수 데이터의 실수부와 허수부를 나타낸다.

$$\hat{X}(n) = X_r(n) + jX_i(n) \quad (2.a)$$

$$\hat{C}(n-1) = C_r(n-1) + jC_i(n-1) \quad (2.b)$$

$$\begin{aligned} \hat{y}(n) &= \hat{C}^T(n-1) \cdot \hat{X}(n) \\ &= [C_r^T(n-1) + jC_i^T(n-1)] \cdot [X_r(n) + jX_i(n)] \\ &= [C_r^T(n-1)X_r(n) - C_i^T(n-1)X_i(n)] \\ &\quad + j[C_r^T(n-1)X_i(n) + C_i^T(n-1)X_r(n)] \end{aligned} \quad (3)$$

식(3)의 복소수 필터를 구현하는 가장 일반적인 방법은 그림 5와 같이 실수 승산기와 실수 가산기를 사용하는 것이다. 이와 같은 고전적인 방법에서는 단일 필터 탭을 구현하기 위해 4개의 실수 승산

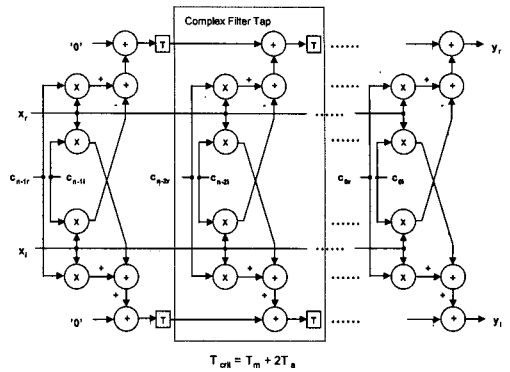


그림 5. 실수 승산기를 이용한 복소수 필터 구조

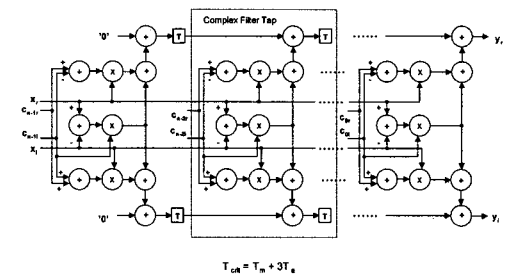


그림 6. Strength reduction 기법을 이용한 복소수 필터 구조

기와 4개의 실수 가산기가 필요하며, 필터 탭 당 $T_m + 2T_a$ (단, T_m 및 T_a 는 각각 실수 승산기 및 가산기의 지연시간)의 지연시간을 갖는다.

한편, strength reduction 기법^[12]을 적용하여 식(3)을 변환하면 식(4)와 같이 되며, $S(n-1)$, $T(n-1)$ 및 $U(n)$ 은 식(5)와 같이 정의된다.

$$\begin{aligned} \hat{y}(n) &= S^T(n-1) X_r(n) + C_i^T(n-1) U(n) \\ &\quad + j[T^T(n-1) X_r(n) + C_i^T(n-1) U(n)] \end{aligned} \quad (4)$$

$$S^T(n-1) = C_r^T(n-1) - C_i^T(n-1) \quad (5.a)$$

$$T^T(n-1) = C_r^T(n-1) + C_i^T(n-1) \quad (5.b)$$

$$U(n) = X_r(n) - X_i(n) \quad (5.c)$$

식(4)와 식(5)로 표현된 복소수 필터는 그림 6과 같이 3개의 실수 승산기와 7개의 실수 가산기로 구현되며, 1개의 실수 승산기를 줄이는 대가로 3개의 실수 가산기가 추가로 필요하다. 이 방법은 필터 탭 당 $T_m + 3T_a$ 의 지연시간을 가지므로 그림 5의 방법 보다 동작속도가 느리고 가산기와 승산기 사이의 배선이 복잡해지는 단점을 갖는다. 그러나, 가산

기는 승산기보다 적은 면적으로 구현되므로 동작속도 보다는 면적을 최소화해야 하는 경우에 사용될 수 있다.

본 논문에서는 실수 승산기 및 가산기를 사용하는 기존의 방법 (그림 5와 그림6) 대신에 RB 수치계를 적용한 새로운 복소수 필터 구현방법을 제안한다. 식(3)과 그림 5로부터, 복소수 필터의 k-번째 탭은 아래의 식(6)과 같이 표현된다.

$$\begin{aligned} \tilde{y}_k &= \tilde{C}_k \cdot \tilde{X} \\ &= [C_{k,r} + jC_{k,i}] \cdot [X_r + jX_i] \\ &= [C_{k,r}X_r - C_{k,i}X_i] + j[C_{k,r}X_i + C_{k,i}X_r] \end{aligned} \quad (6)$$

필터계수 $C_{k,r}$ 와 $C_{k,i}$ 가 모두 m-비트라고 하면, 이들에 각각 radix-4 Booth 리코딩을 적용하면 식(6)은 다음과 같이 표현된다.

$$\begin{aligned} \tilde{y}_k &= \left(\sum_{b=0}^{m/2-1} [P_{rr}(b) - P_{ii}(b)] \cdot 2^{2b} \right) \\ &+ j \left(\sum_{b=0}^{m/2-1} [P_{ri}(b) + P_{ir}(b)] \cdot 2^{2b} \right) \end{aligned} \quad (7)$$

식(7)에서 $P_{rr}(b)$, $P_{ii}(b)$, $P_{ri}(b)$, $P_{ir}(b)$ 는 필터계수 $C_{k,r}$ 과 $C_{k,i}$ 에 radix-4 Booth 리코딩을 적용하여 얻어지는 부분곱을 나타내며, 문헌[13]에서 정의된 바와 동일하다. 식(7)에 2의 보수 성질을 적용하여 변환하면 다음과 같이 된다.

$$\begin{aligned} \tilde{y}_k &= \left(\sum_{b=0}^{m/2-1} [P_{rr}(b) - P_{ii}(b)] \cdot 2^{2b} \right) \\ &+ j \left(\sum_{b=0}^{m/2-1} [P_{ri}(b) - \overline{P_{ir}(b)} - 1] \cdot 2^{2b} \right) \end{aligned} \quad (8)$$

한편, 2의 보수 형태로 표현된 두 수의 차는 하나의 RB 수로 변환될 수 있으므로, 식(8)을 RB 수치계로 변환하면 식(9)와 같이 된다.

$$\begin{aligned} \tilde{y}_k &= \left(\sum_{b=0}^{m/2-1} Q_r(b) \right) \\ &+ j \left(\sum_{b=0}^{m/2-1} Q_i(b) - 2^{2b} \right) \\ &= Z_r + j(Z_i - 2^{2b}) \end{aligned} \quad (9)$$

식(9)에서 $Q_r(b)$ 와 $Q_i(b)$ 는 각각 실수부와 허수부의 RB 부분곱을 나타내며, Z_r 과 Z_i 는 $m/2$ 개의 RB 부분곱의 합으로 정의되는 RB 승산을 나타낸다. 한편, 식(9)의 허수항에 존재하는 상수항 2^{2b} 는 RB 승산기의 부분곱 가산과정에서 처리된다.

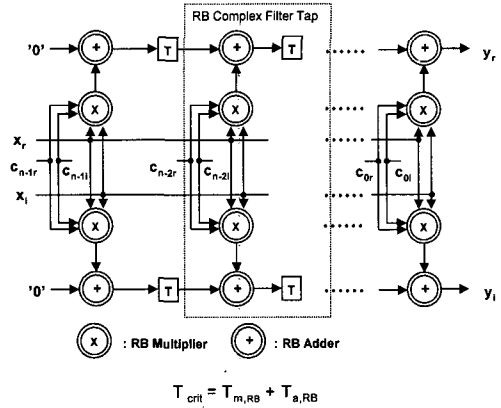


그림 7. 제안된 RB 복소수 필터

본 논문에서 제안하는 복소수 필터는 그림 7과 같은 구조를 가지며, 1-탭의 복소수 필터가 2개의 RB 승산기와 2개의 RB 가산기로 구성된다. 그림 7에서 볼 수 있듯이, N-탭 복소수 필터는 2N개의 RB 승산기와 2N-2개의 RB 가산기로 구성되며, 필터 탭 당 $T_{m,RB} + T_{a,RB}$ 의 (단, $T_{m,RB}$, $T_{a,RB}$ 는 각각 RB 승산기 및 가산기의 지연시간) 지연시간을 갖는다. 실수 연산을 사용하는 그림 5 및 그림 6의 구조와 비교할 때, 실수 승산 후 가산감산 과정이 필요 없어 구조가 단순화되며 연산속도가 개선된다. 또한 문헌[13]에 언급된 바와 같이, RB 수치계에서의 가산은 캐리전과 없이 이루어지므로 2의 보수 수치계를 사용하는 기존의 방식보다 고속 동작이 가능하다.

표 1은 본 논문에서 제안된 복소수 필터 구현 방법과 기존의 방식을 비교한 것이다. 일반적으로, 승산은 부분곱의 연속적인 가산으로 이루어지므로, 부분곱의 수가 승산기의 복잡도에 큰 영향을 미치는 요소가 된다. 제안된 방식에서 1-탭의 복소수 필터는 m개 (단, m은 승수의 비트 수) RB 부분곱으로 계산되며, 실수 연산을 사용하는 그림 5 및 그림 6의 2m 및 3m/2개 부분곱과 비교할 때 복소수 필터 탭 당 부분곱의 수가 감소된다. RB 승산기와 실수 승산기의 부분곱 가산 회로는 동일한 구조로 구현되며, RB 가산기는 회로 구현방식에 따라 차이

표 1. 복소수 필터 아키텍처 비교

Architecture	부분곱 수	곱셈기 수	가산기 수	Critical Path	전체 구조
그림 5	2m	4N	4N - 2	1Multi + 2Add	복잡
그림 6	3m/2	3N	7N - 2	1Multi + 3Add	매우 복잡
그림 7 (Proposed*)	m	2N	2N - 2	1Multi + 1Add	단순

N: tap 수, m: 승수의 비트 수, *: Redundant Binary

가 있으나 2진 가산기 보다 약 1.5배 - 2배의 게이트를 필요로 한다. 한편, 집적회로 구현 측면에서 전체적인 구조에 기인하는 배선의 복잡도가 매우 중요한 고려사항이 되며, 이는 서브 마이크론 집적회로 공정에서는 소자의 복잡도 보다는 배선의 복잡도가 면적과 성능에 더 큰 영향을 미치는 요소가 되기 때문이다. 실수 연산을 사용하는 그림 5 및 그림 6의 방식은 실수 승산기와 가산기 사이의 배선이 복잡한 반면에, 제안된 방식에서는 복소수 필터 탭의 실수부와 허수부를 각각 1개의 RB 승산기와 1개의 가산기로 구현하므로 전체적인 구조가 매우 단순해져 고집적 구현에 적합한 것으로 평가된다.

III. ADFE 칩셋 설계

1. FFEM 및 DFEM의 구조 및 회로설계

II장에서 언급된 바와 같이, ADFE의 구성 모듈인 FFE와 DFE는 복소수 필터, 계수갱신회로 및 부가회로 등으로 구성된다. II장에서 제안된 그림 7의 복소수 필터구조를 이용하여 ADFE 칩셋을 설계하였으며, 설계시에 다음과 같은 사항들을 고려하였다. 첫째, FFE와 DFE를 구성하는 복소수 필터는 필요에 따라 탭 수를 확장할 수 있도록 확장 가능한 FFE 모듈 (FFEM)과 DFE 모듈 (DFEM)로 나누어 설계하였으며, 둘째, QPSK와 QAM 변조방식을 지원할 수 있도록 하였으며, 셋째, sign-LMS 알고리즘의 수렴특성 최적화를 위해 계단크기 (step-size)를 선택할 수 있도록 하였으며, 넷째, 칩 제작시 사용 가능한 입·출력 핀 수와 칩의 집적도 제한을 고려하여 2-탭의 복소수 필터를 단위 모듈로 구성하였다.

FFEM의 내부 구조는 그림 8과 같으며, 2-탭 복소수 필터, 계수갱신회로, 출력 포화 (saturation) 회로 그리고 master/slave 동작모드를 선택하기 위한 제어회로 등으로 구성된다. 그림 9는 확장 가능하도록 설계된 DFEM의 내부구조이며, 2-탭 복소수 필

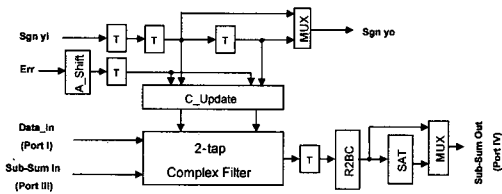


그림 8. 2-탭 FFEM의 내부 구성도

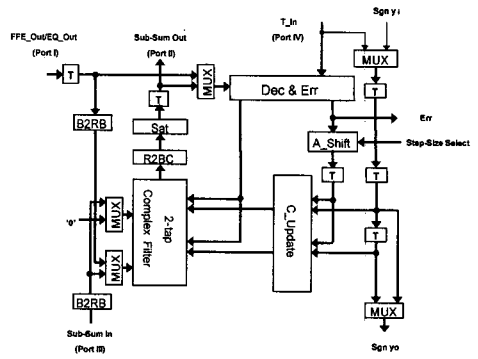


그림 9. 2-탭 DFEM의 내부 구성도

터, 계수갱신회로, 포화회로, 심벌결정/에러생성 회로, 그리고 master/slave 및 training/tracking 동작모드 선택을 위한 제어회로로 구성된다. 한편, FFEM과 DFEM의 복소수 필터는 칩 구현에 사용된 게이트 어레이의 집적도 제한을 고려하여 2-탭으로 결정하였다. 연산과정에서 발생할 수 있는 overflow 현상은 심벌결정의 오류를 유발할 수 있으며, 잘못 결정된 심벌 값은 계수갱신 회로로 귀환되므로 등화기의 적응기능에 오류를 유발하게 된다. 설계시에 등화된 출력을 11-비트로 제한하는 포화회로를 삽입하여 이와 같은 현상이 발생되지 않도록 하였다.

DFEM 내부의 심벌결정/에러생성 블록은 등화된 출력으로부터 심벌 값을 결정하고 계수갱신을 위한 에리신호를 생성하며, 두 개의 블록을 사용하여 I-Q 채널이 동시에 처리되도록 설계하였다. 표 2는 변조방식을 지정하는 2-비트의 제어신호 (F_SEL)와 training/tracking 모드지정 제어신호 (T_SEL)에 따

표 2. 심벌결정/에러생성 블록의 진리표

Mod. Format	F_SEL[1:0]	T_SEL	Y ₁₀ @ T _s	Y ₁₀ [4:0]	Err[9:0]
QPSK	00	0	x	Y ₁₀ 1 0 0 0	$\sqrt{y_0} y_1 y_2 y_3 \dots y_9 y_{10}$
		1	1	T_IN[4:0]	$\sqrt{y_{10}} \sqrt{y_{11}} \sqrt{y_{12}} \sqrt{y_{13}} \dots \sqrt{y_{19}} \sqrt{y_{20}}$
		0	0	T_IN[4:0]	$\sqrt{y_0} y_1 y_2 y_3 \dots y_9 y_{10}$
16-QAM	01	0	x	Y ₁₀ Y ₆ 1 0 0	$\sqrt{y_0} \sqrt{y_1} \sqrt{y_2} \sqrt{y_3} \dots \sqrt{y_9} \sqrt{y_{10}}$
		1	1	T_IN[4:0]	$\sqrt{y_{10}} \sqrt{y_{11}} \sqrt{y_{12}} \sqrt{y_{13}} \dots \sqrt{y_{19}} \sqrt{y_{20}}$
		0	0	T_IN[4:0]	$\sqrt{y_0} \sqrt{y_1} \sqrt{y_2} \sqrt{y_3} \dots \sqrt{y_9} \sqrt{y_{10}}$
64-QAM	10	0	x	Y ₁₀ Y ₆ Y ₂ 1 0	$\sqrt{y_0} \sqrt{y_1} \sqrt{y_2} \sqrt{y_3} \dots \sqrt{y_9} \sqrt{y_{10}}$
		1	1	T_IN[4:0]	$\sqrt{y_{10}} \sqrt{y_{11}} \sqrt{y_{12}} \sqrt{y_{13}} \dots \sqrt{y_{19}} \sqrt{y_{20}}$
		0	0	T_IN[4:0]	$\sqrt{y_0} \sqrt{y_1} \sqrt{y_2} \sqrt{y_3} \dots \sqrt{y_9} \sqrt{y_{10}}$
256-QAM	11	0	x	Y ₁₀ Y ₆ Y ₂ Y ₁ 1	$\sqrt{y_0} \sqrt{y_1} \sqrt{y_2} \sqrt{y_3} \dots \sqrt{y_9} \sqrt{y_{10}}$
		1	1	T_IN[4:0]	$\sqrt{y_{10}} \sqrt{y_{11}} \sqrt{y_{12}} \sqrt{y_{13}} \dots \sqrt{y_{19}} \sqrt{y_{20}}$
		0	0	T_IN[4:0]	$\sqrt{y_0} \sqrt{y_1} \sqrt{y_2} \sqrt{y_3} \dots \sqrt{y_9} \sqrt{y_{10}}$

x : don't care

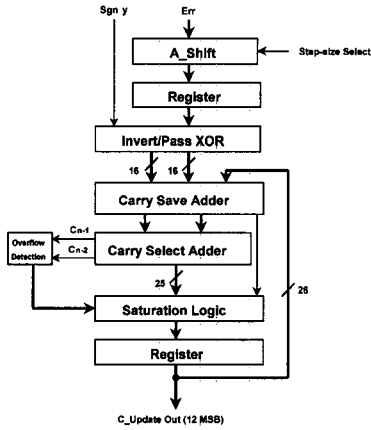


그림 10. sign-LMS 계수갱신블록의 내부 구성도

라 심벌 값 (\hat{y})과 에러신호 (Err)가 결정되는 관계를 나타내고 있다.

FFEM과 DFEM의 계수갱신블록은 식(10), 식(11)과 같이 표현되는 sign-LMS 알고리즘^[14]을 이용하여 결정된 심벌 값의 부호 비트와 에러 벡터에 대한 correlation을 수행함으로써 필터계수를 갱신한다.

i) FFE ;

$$f_k(n+1) = f_k(n) - u_f e(n) \text{sgn}[x(n-k)] \quad (10)$$

$$k = 0, 1, 2, \dots, N_1$$

ii) DFE ;

$$d_k(n+1) = d_k(n) + u_d e(n) \text{sgn}[y(n-k)] \quad (11)$$

$$k = 1, 2, 3, \dots, N_2$$

여기서, f_k, d_k 는 필터 계수들이며 u_f, u_d 는 계단크기를 나타내며, $x(n)$ 는 전송 심벌, $e(n)$ 는 에러신호 그리고 $y(n)$ 는 결정신호를 나타낸다. 그림 10은 계수갱신 회로의 구성도이며, 승산기 대신에 XOR 게이트, carry-save 가산기와 carry-select 가산기를 사용하여 구현하였다. A_Shift (Arithmetic

표 3. A_Shift 블록의 진리표

Step-Size	Sel[1:0]	Output[15:0]
2^{-10}	00	$e_9 e_8 e_7 e_6 e_5 e_4 e_3 e_2 e_1 e_0$ 000000
2^{-12}	01	$e_9 e_8 e_7 e_6 e_5 e_4 e_3 e_2 e_1 e_0$ 00000
2^{-14}	10	$e_9 e_8 e_7 e_6 e_5 e_4 e_3 e_2 e_1 e_0$ 00
2^{-16}	11	$e_9 e_8 e_7 e_6 e_5 e_4 e_3 e_2 e_1 e_0$

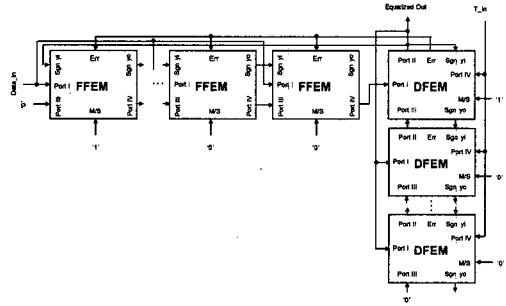


그림 11. FFEM과 DFEM 칩셋을 사용한 ADFE의 구현

Shift) 회로는 계단크기 곱셈을 위한 쉬프팅 동작을 수행하며, 2-비트의 계단크기 선택신호에 따른 부호확장 및 '0' 삽입 관계는 표 3과 같다. 한편, 출력단에 포화블록을 삽입하여 가산기의 overflow 영향을 제거할 수 있도록 하였다.

그림 11은 FFEM과 DFEM을 사용한 ADFE 구현 예이며, 채널특성과 시스템 사양에 따라 필요한 탭 수만큼 FFEM과 DFEM을 연결함으로써 ADFE를 쉽게 구현할 수 있음을 보이고 있다. 각 모듈은 외부에서 인가되는 제어신호에 의해 master/slave 동작모드가 결정되며, 동작속도의 저하 없이 모듈의 종속연결이 가능하다.

2. 설계 및 검증 과정

본절에서는 FFEM과 DFEM의 회로설계 및 검증 과정에 대해 기술한다. 그림 12는 알고리즘 레벨 검증에서부터 최종 레이아웃을 완성하기까지의 전체적인 설계 흐름도를 보인 것이다. 알고리즘 레벨 검증과 설계사양 결정을 위해 C-언어와 COSSAP^[15]을 이용한 시뮬레이션을 수행하였다. 알고리즘 레벨 시뮬레이션에는 two-path 채널모델을 사용하였으며, 채널의 특성은 직접경로와 샘플링 간격의 1.5배 지연을 가지면서 -3 [dB] 감쇄를 갖는 간접경로의 합으로 모델링 하였다. ADFE의 수렴성, 비트 에러율 (Bit Error Rate; BER) 그리고 회로 구현을 위한 하드웨어 복잡도는 FFE 및 DFE 필터의 탭 수, 계단크기, 입력 데이터 및 내부 비트 수 등에 밀접한 관계를 갖는다. 본 논문에서는 부동소수점 시뮬레이션을 통해 필터 탭 수 및 계단크기를 결정한 후, 고정소수점 시뮬레이션에 의해 비트 수를 결정하였다

그림 13은 입력 신호의 SNR 변화와 비트 수

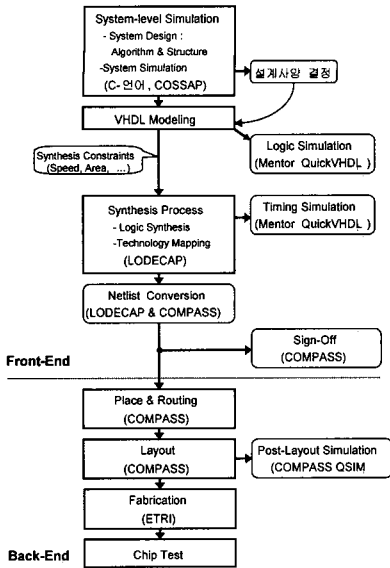
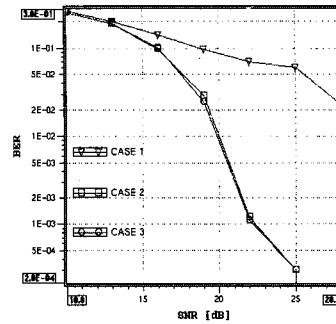


그림 12. ADFE 칩셋의 설계 흐름도

(B_d , B_c , B_e 는 각각 데이터, 필터 계수, 에러의 비트 수)에 따른 BER의 변화를 시뮬레이션한 결과이다. case-1은 $B_d=6$, $B_c=10$, $B_e=8$ 의 경우에 대한 시뮬레이션 결과이며, case-2 및 case-3은 $B_d=8$, $B_c=12$, $B_e=10$ 및 $B_d=10$, $B_c=14$, $B_e=12$ 의 경우에 대한 BER를 나타내고 있다. Case-1은 신호의 SNR에 무관하게 10^{-1} 정도의 BER를 가지며, case-2와 case-3은 BER 특성에 있어서 차이가 거의 없음을 볼 수 있다. 시뮬레이션 결과로부터, 회로 구현을 위한 하드웨어 복잡도를 고려하여 $B_d=8$, $B_c=12$, $B_e=10$ 로 결정하였다.

그림 14는 설계된 ADFE를 16-QAM 변조에 대해 고정소숫점 시뮬레이션한 결과 (단, $B_d=8$, $B_c=12$, $B_e=10$)의 성상도이다. 등화 전의 성상도는 채널 왜곡에 의해 수신된 심벌이 넓게 흩어져 있어 심벌 값을 결정할 수 없으나, 등화 후에는 16개의 심벌 값 근처로 모이므로 올바른 심벌 값 결정이 가능함을 알 수 있다.

결정된 설계사양에 따라서 FFEM과 DFEM을 VHDL 언어로 모델링 하였으며, 논리기능을 검증한 후 VTI사의 0.8- μm VGC450 라이브러리를 이용하여 회로합성을 하였다. 합성된 회로는 최적화 과정을 거쳐 MENTOR QUICKVHDL^[16]을 사용하여 레이아웃 전 타이밍 검증을 수행하였다. 레이아웃 전 검증이 완료된 회로는 COMPASS P&R 툴을 사용하여 배치·배선 작업이 수행되고, 다시 COMPASS



case-1: $B_d=6$, $B_c=10$, $B_e=8$
 case-2: $B_d=8$, $B_c=12$, $B_e=10$
 case-3: $B_d=10$, $B_c=14$, $B_e=12$

그림 13. SNR에 대한 BER

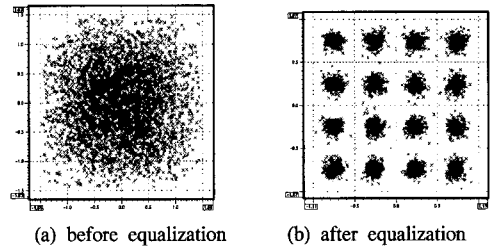
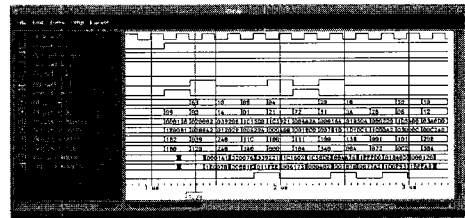
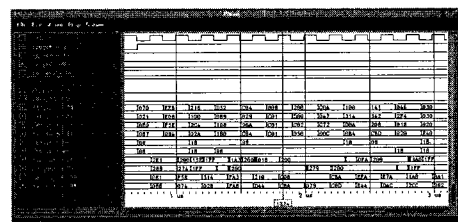


그림 14. 등화전과 등화후의 성상도

QSIM을 이용하여 레이아웃 후 타이밍 검증을 수행하였다. 레이아웃 전·후의 검증결과 비교를 통하여 설계된 회로의 논리기능이 정상적으로 동작함을 확인하였다. 그림 15는 설계된 FFEM과 DFEM의 기능레벨 시뮬레이션 결과의 일부이다.



(a) FFEM



(b) DFEM

그림 15. ADFE 칩셋의 기능 시뮬레이션 결과

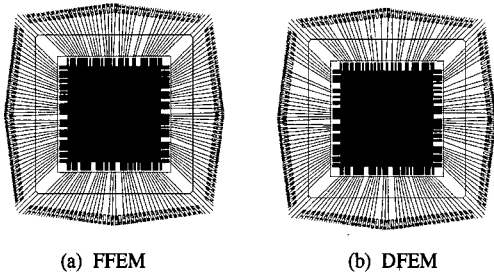


그림 16. ADFE 칩셋의 레이아웃

표 4. ADFE 칩셋의 게이트 수

구분		Gate Count
FFEM	2-tap Filter 부	16,176 Gates
	Sign-LMS 부	8,599 Gates
	I/O 및 제어부	1,585 Gates
	합계	26,360 Gates
DFEM	2-tap Filter 부	15,253 Gates
	Sign-LMS 부	8,641 Gates
	결정/에러 생성부	413 Gates
	I/O 및 제어부	2,161 Gates
	합계	26,468 Gates

표 4는 설계된 FFEM과 DFEM의 블록별 회로합성 결과를 요약한 것이다. FFEM의 전체 게이트 수는 26,360개이고 DFEM은 26,468개의 게이트로 구성되며, QSIM을 이용한 시뮬레이션 결과 25-MHz로 동작 가능할 것으로 예측되었다. 그림 16은 배치·배선 작업이 완료된 후의 FFEM과 DFEM의 레이아웃 사진이다.

IV. 결론

본 논문에서는 디지털 통신 시스템의 기저대역 신호처리에 적합한 새로운 복소수 필터구조를 제안하였으며, 이를 적용한 채널등화용 적응 결정귀환 등화기 칩셋을 설계하였다.

제안된 복소수 필터는 RB 복소수 승산기를 바탕으로 하며, 실수 승산기 및 가산기를 사용하는 기존의 방법에 비해 전체적인 구조의 단순화와 고속동작이 가능하며, 고집적/저전력 구현이 가능하다는 장점을 갖는다.

ADFE 칩셋은 확장 가능한 FFEM과 DFEM으로 구성되며, VHDL을 이용한 모델링과 합성 및 배치·배선 과정을 통해 0.8- μ m SOG 공정으로 설계되었다. FFEM과 DFEM은 각각 26,360개의 26,468

개의 게이트로 구성되며, 타이밍 시뮬레이션 결과로부터 예측된 동작 주파수는 25-MHz이다. 또한, QPSK 및 QAM 변조방식을 지원하며, 채널 특성과 시스템 사양에 따라 필요한 탭 수만큼 FFEM과 DFEM을 연결함으로써 성능저하 없이 확장이 가능하도록 설계되었다.

향후, 서브 마이크론 공정과 full custom 레이아웃 방식을 통해 설계를 최적화하면 동작 주파수를 크게 향상시킬 수 있을 것으로 판단되며, 궁극적으로는 디지털 무선 모듈용 단일 칩 ADFE의 설계에 적용 가능할 것으로 예상된다.

감사의 글

본 논문은 반도체설계교육센터(IDECE)의 CAD Tool 지원에 의해 수행되었으며, 지원에 감사드립니다.

참고 문헌

- [1] T. S. Rappaport, *Wireless Communications : Principles&Practice*, Prentice Hall PTR, 1996.
- [2] J. G. Proakis, *Digital Communications*, McGraw-Hill, Inc., 1995.
- [3] H. Samuelli, *Digital Wireless Transceiver Architectures: Introduction to Wireless Communications, Short Course of the 1994 IEEE ISSCC*, Feb., 1994.
- [4] N. R. Shanbhag and K. K. Parhi, *Pipelined adaptive digital filters*, Kluwer, 1994.
- [5] N. R. Shanbhag and K. K. Parhi, "Pipelined adaptive DFE architectures using relaxed look-ahead," *IEEE Transaction on Signal Processing*, 43(6), pp. 1368-1385, Jun., 1995.
- [6] K. Matsubara, K. Nishikawa, and H. Kiya, "Pipelined LMS adaptive filter using a new look-ahead transformation," *IEEE Transaction on Circuits and Systems-II : Analog and Digital Signal Processing*, 46(1), pp. 51-55, Jan., 1999.
- [7] G. Long, F. Ling, and J. G. Proakis, "The LMS algorithm with delayed coefficient adaptation," *IEEE Trans., Acoustic, Speech, Signal Processing*, 37, pp. 1397-1405, Sep., 1989.
- [8] R. Perry, D. R. Bull, and A. Nix, "Pipelined

DFE architecture using delayed coefficient adaptation," *IEEE Transaction on Circuits and Systems-II : Analog and Digital Signal Processing*, 45(7), pp. 868-873, Jul., 1998.

- [9] S. C. Douglas, Q. Zhu, and K. F. Smith, "A pipelined LMS adaptive FIR filter architecture without adaptation delay," *IEEE Transaction on Signal Processing*, 46(3), pp. 775-779, Mar., 1998.
- [10] S. S. Chae, S. B. Pan, G. H. Lee, R. H. Park, and B. U. Lee, "Hardware architecture of adaptive equalizer for the HDTV receiver," *IEEE Transaction on Signal Processing*, 46(2), pp. 391-404, Mar., 1998.
- [11] F. Lu and H. Samuelli, "A 60-MBd, 480-Mb/s, 256-QAM decision- feedback equalizer in 1.2-um CMOS," *IEEE J. of Solid-State Circuits*, 28(3), pp. 330-338, Mar. 1993.
- [12] R. E. Blahut, *Fast Algorithm for Digital Signal Processing*, Addison-Wesley, 1987.
- [13] 김호하, 신경욱, "Radix-4 Booth Recoding과 RB 연산을 이용한 새로운 복소수 승산 알고리즘 및 10-bit CMAC 코어 설계," *대한전자공학 회 논문지*, C편, 35(9), pp. 11-20, Sep. 1998.
- [14] P. M Clarkson, *Optimal and Adaptive Signal Processing*, CRC Press, 1993.
- [15] *COSSAP User's Manual*, Synopsis Co., 1998.
- [16] *V8 QuickSim™ Training Workbook*, Mentor Graphics Co., 1993.

안 병 규(Byung-Gyu An)

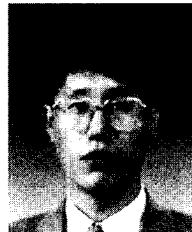
정회원



1997년 8월 금오공과대학교
전자공학과 졸업
1999년 현재 금오공과대학교
대학원 전자공학과
석사과정 재학
<주관심 분야> 통신 및 신호처리
리용 집적회로 설계

신 경 욱(Kyung-Wook Shin)

정회원



1984년 2월 한국항공대학교
전자공학과 졸업
1986년 2월 연세대학교 대학원
전자공학과 석사
1990년 8월 연세대학교 대학원
전자공학과 박사

1990년 9월~1991년 6월 한국전자통신연구소
반도체연구단 선임연구원

1991년 7월~현재 금오공과대학교 전자공학부 부교수
<주관심 분야> 통신 및 신호처리용 집적회로 설계,
저전압/저전력 집적회로 설계,
적외선 센서용 Readout 회로 설계.

김 호 하(Ho-Ha Kim)

정회원



1997년 2월 금오공과대학교
전자공학과 졸업
1999년 2월 금오공과대학교
전자공학과 석사
1999년~현재 (주)서두인칩
부설연구소 연구원

<주관심 분야> 통신 및 신호처리를 위한 ASIC
설계, VDSL 구현방안