

반도체공장의 글로벌 展開

미쓰비시電機는 제3세대 16비트 D램을 비롯한 0.4 μ m 이하의 디자인룰을 갖는 ULSI를 대상으로, 직경 200mm 웨이퍼 프로세스기술을 포함한 제조기술을 개발하여, 일본 국내, 대만, 독일에 量産工場을 전개하였다.

생산성이 우수한 디바이스/프로세스기술을 기반으로 저비용의 淸淨室 건설, 純水 등을 포함한 동력설비, 공장 자동화(FA), 컴퓨터제어식 제조공정(CIM), 北伊丹地區에 있는 미쓰비시電機의 반도체개발거점과 각 공장간을 맺는 정보네트워크, 나아가 제조장치에 대한 철저한 低發塵化와 결함관리를 위해 同社의 기술을 결집하여 생산성이 매우 높은 반도체양산공장을 글로벌하게 전개하였다.

우선 熊本공장 최첨단 半導體라인(KD棟)을 아주 짧은 기간에 가동시키는 소위 "수직기동"을 실현하였다. 다음에 熊本공장 KD동을 "마더(Mother)공장"으로 하여 그대로 기술이전하는 "Copy Exactly"라는 방법으로 이들 기술을 세계적으로 전개한 결과 대만에 있는 합병회사인 PSC(Powerchip Semiconductor Corporation)와 독일에 있는 생산회사 MSE(Mitsubishi Semiconductor Europe, GmbH)에서도 최첨단반도체공장의 수직기동에 성공하였다.

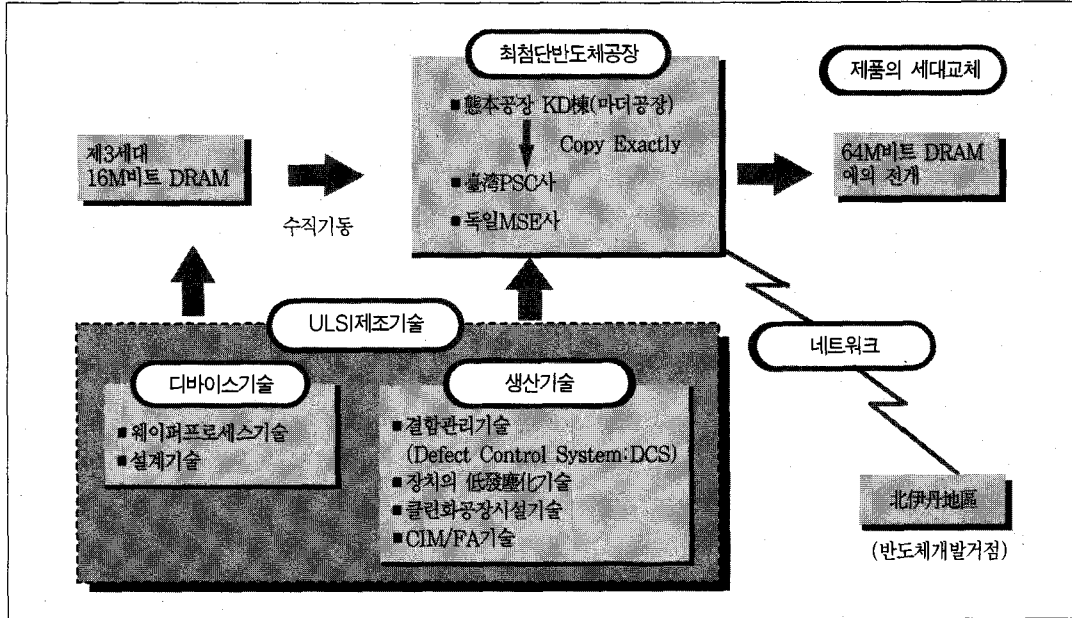
이들 공장은 0.25 μ m 이후의 제품에도 대응가능하며 熊本공장 KD동은 64M비트 D램 공장으로서 다시 태어났다. 또 PSC사와 MSE사도 64M비트 D램으로 제품을 전환해가고 있다.

그렇게 하여 이들 공장과 개발거점을 네트워크화하여 다국적 기업에 걸맞는 세계적인 ULSI의 양산체제를 구축하였다.

1. 머리말

반도체제품, 특히 ULSI제품은 앞으로 전개되는 고도정보화사회의 키디바이스로서 크게 성장할 것으로 기대된다. 이제 본격적으로 보급에 들어서려는 멀티미디어에 대해서도 시스템 구축시 ULSI제품이 반드시 필요하게 된다. 이에 현재의 멀티미디어분야와 다가올 고도정보화사회에서 종합전기메이커로서의 확고한 지위를 다지기 위하여 미쓰비시電機에서는 반도체사업에 적극적으로 대처하고 있다. 특히 웨이퍼 프로세스부문에서는 첨단기술의 개발과 동시에 거액의 설비투자를 최소화할 수 있는 제조기술의 개발 그리고 투자비의 조기회수를 목표로 새로운 공장을 단기간에 가동하는데 주력하고 있다.

한편 반도체산업은 미국, 일본, 유럽에 더하여 한국, 대만도 끌어들이는 세계적 대경쟁 Mega-competition의 와중에 있어, 글로벌한 경쟁도 치열하다. 同社는 다국적 기업을 지향하여 본격적인 반도체사업의 適地生産의 제1보를 내딛고 일본 국내는 물론 대만, 독일에 최첨단반도체공장을 극히 짧은 기간에 가동시켰다.



〈최첨단반도체공장의 수직기동〉

ULSI를 제조하는 최첨단반도체공장의 수직기동에 결집한 제조기술을 표시한다. 態本공장 KD동을 마더공장으로 하여 "COPY Exactly" 방법으로 PSC사와 MSE사에 기술을 전개하였다.

본고에서는 그 경위, 성과와 성공요인에 대하여 기술한다.

2. ULSI製造技術

2.1 16M비트 D램 프로세스 技術

여기서 대상으로 하는 제품은 제3세대 16비트 D램이다. FP(First Page)/EDO(Extended Data Out) 기능의 제품으로는 $\times 1/\times 4/\times 8/\times 16$ 語 構成品, 전원전압 5V/3.3V 제품이 있다. 한편 SD(싱크로너스) 기능의 제품으로는 $\times 8/\times 16$ 語 構成品, 전원전압 3.3V 제품이 있다. 이들 제품群은 어느 것이나 동일한 웨이퍼 프로세스기술로 제조되고 있으며, 다른 마스크 세트, 알루미늄 마스터 슬라이스, 본딩(Bonding)전환에 의한 선택에 따라 나누어지고 있다.

제3세대 16M비트 D램의 웨이퍼 프로세스 기술의 사양을 표 1에 나타내었다. 디자인 룰은 $0.4\mu\text{m}$ 이며 지름 200mm의 실리콘 웨이퍼를 사용하고 있다.

소자 분리는 신규 개발한 平坦化 LOCOS(Local Oxidation of Silicon)법으로 성형하고 $0.3\mu\text{m}$ 이하의 소자분리와 극히 평탄한 디바이스표면을 실현하고 있다. 또 웰(Well)형성에는 MeV 영역의 高에너지 이온주입법을 사용하여 고온열처리의 삭제 등 공정을 간소화하고 소프트 에리耐性和 래치업(Latch Up)耐性的 강화를 꾀하고 있다.

메모리 셀은 매입비트線 방식의 厚膜스택셀(Stack Cell)로 기억장치 노드의 厚膜化와 캐패시터 절연막에 等價酸化膜 두께 4nm 상당의 窒化 실리콘膜을 사용함으로써 캐패시터 용량 25fF를 확보하고 있다.

워드라인(Word Line)과 비트라인(Bit Line)에는 텅스텐 폴리사이드를 사용하고 제1층배선에는 신규로

〈표 1〉 제3세대 16M비트 DRAM의 웨이퍼프로세스 기술의 사양

소자분리	평탄화LOCOS
웰 구 성	고에너지 주입 투인 웰
메 노 리 셀	매입비트선방식 厚膜스톡셀 $t_{ox}(eff) = 4.2nm$
트 랜 지 스테	NMOS : $0.55\mu m(LDD)$ PMOS : $0.55\mu m$ $t_{ox} = 12nm$
배 선	2Polycide/2Poly-Si/1W/1Al
위 드 선	WSi ₂ /Poly-Si, 1st Metal(W)
비 트 선	WSi ₂ /Poly-Si
열 선 택 선	2nd Metal(Al-Cu)
보 호 막	P-SiN, 폴리미드

(주) 디자인롤 : $0.4\mu m$, 실리콘웨이퍼 : 지름 200mm

개발한 텅스텐배선을, 제2층배선에는 알루미늄배선을 사용하였다. 텅스텐배선의 적용으로 어스펙트(Aspect)가 큰 콘택트홀에도 플러그를 필요로 하지 않아 프로세스가 간소화되었다.

보호막은 플라즈마窒化膜과 신규로 개발한感光性 폴리미드가 일체화된 2층구조로 종래의 폴리미드를 사용하는 경우와 비교하면 제품의 고신뢰성을 유지하면서 프로세스의 간소화를 기하고 있다.

레이저 트리밍(LT)은 웨이퍼 프로세스가 완료한 다음 웨이퍼 테스트(WT) 단계에서 실시하게 되며 예비테스트를 폐지하여 통합화된 LT/WT로 되어 있다.

이와 같이 제3세대 16M비트 D램은 단순한 디바이스구조와 적절하게 간소화된 웨이퍼 프로세스기술, 그리고 지름 200mm 실리콘 웨이퍼의 채용으로 높은 생산성을 나타냄과 동시에 고신뢰성을 확보하고 있으며 세계적인 양산 전개에 걸맞는 디바이스로 되었다.

2.2 缺陷 관리기술(DCS)

웨이퍼 프로세스라인에서 가장 중요한 생산지표의 하나에 제품의 生産收率이 있다. 생산수율은 제품의 제조코스트에 직접 반영되기 때문에, 제조라인에서는 극한까지 생산수율을 향상시켜 그것을 안정화시키는 관리기

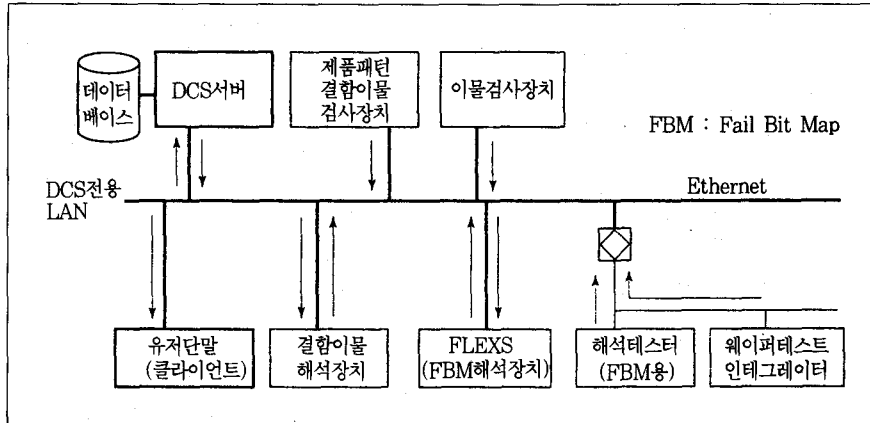
술이 요구되고 있다. 디바이스구조와 프로세스기술이 완성단계에 이르면 제품생산수율은, 웨이퍼 프로세스중에 발생하여 웨이퍼에 부착하는 異物이나 패턴(Pattern) 결함에 따라 크게 좌우되기 때문에 이것들을 관리할 필요가 있다. 이번에 반도체공장의 글로벌 전개에 있어서 異物/패턴결함 검사데이터와 물리적·전기적 평가데이터를 통합적으로 해석하여 異物/패턴결함을 효율적으로 관리하는 결함관리기술(Defect Control System : DCS)을 새로 개발하여 생산수율의 향상과 안정화관리에 위력을 발휘하였다.

그림 1에 DCS의 시스템구성, 그림 2에 DCS의 기능을 나타내었다. 클린룸(淸淨室) 내에 인라인 모니터로 설치되어 있는 각종 이물/패턴 결함 검사장치가 SEM(Scanning Electron Microscope) 등의 리뷰 스테이션과 해석실에 설치되어 있는 오프라인 물리해석장치, 웨이퍼 테스터 및 서브시스템으로서의 고장해석 엑스퍼트 시스템(FLEXS: Fault Isolation Expert System) 등과 정보네트워크(LAN)에 의하여 링크되어 있어, 각종 데이터는 DCS서버에 저장되어 오피스 내의 유저단말에서 검색가능하다. 검사데이터, 해석데이터, 웨이퍼 테스트데이터는 DCS서버에 자동수집되어, 데이터 베이스화되고 유저단말에서 다음과 같은 해석을 신속하게 할 수가 있게 된다.

- 이물/패턴결함 검사데이터의 해석
- 웨이퍼 테스트데이터의 불량 분류와 원인 추정
- 제품 디바이스상의 불량위치와 이물/패턴결함 좌표와의 대조에 의한 불량발생공정의 분류

이들 해석결과에 기초하여 이물/패턴 결함의 발생원인의 조기해명과 이에 대한 효율적인 대책을 취할 수가 있게 되었다.

이제까지는 자칫하면 생산수율의 향상과 안정화관리는 숙련엔지니어의 감각 경험에 의존하는 면이 강했으나, DCS의 개발로 이들 업무를 과학적으로 체계화하고 보편화시켜 실시할 수 있게 되었으며, 신공장의 기동



〈그림 1〉 DCS의 시스템 구성

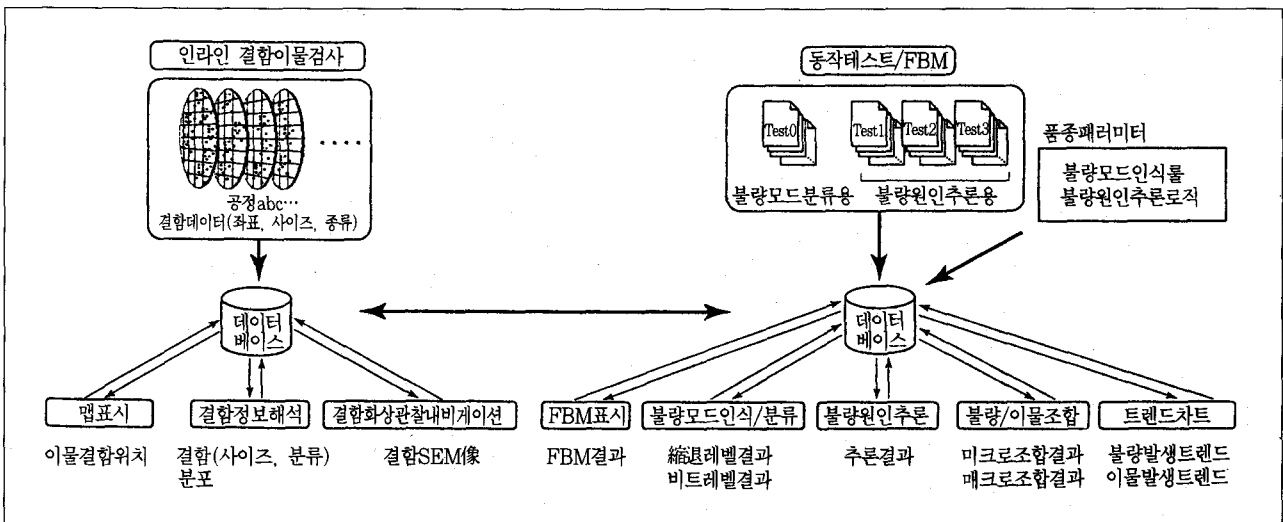
초기부터 효율적으로 생산수율을 향상시키고 안정화된 관리활동을 전개할 수 있게 되었다.

2.3 장치의 低發塵化技術

전술한 DCS의 개발로 이물/패턴결함 원인의 조기해명과 이에 대한 효율적인 대책을 세울 수 있게 되었다. 그러나 제품생산수율 향상의 근본대책은 웨이퍼 프로세스 중에 발생하여 웨이퍼에 부착하는 이물을 최대한 저감시키는 것이다. 웨이퍼 프로세스의 이물을 감소시키

기 위해 여러 가지 조치를 취해 왔으나, 그 중에서도 가장 위력을 발휘한 것은 프로세스장치 내의 웨이퍼 장치를 메카니컬 클램프에서 정전흡착 클램프로 변경한 것이었다. 이 절에서는 일례로서 드라이 에칭장치의 정전흡착 클램프 기술에 대하여 기술한다.

제3세대 16M비트 D램의 웨이퍼 프로세스에서는 酸化실리콘膜, 폴리실리콘, 알루미늄 등의 금속배선 형성 등의 미세가공에 드라이에칭을 많이 사용하고 있다. 그림 3에 드라이에칭장치의 반응실의 구조를 표시한다.



〈그림 2〉 DCS의 기능

웨이퍼를 처리할 때 웨이퍼를 하부전극에 裝填하고 반응실 내를 배기하여 감압한 상태에서 프로세스가스를 흘리면서, 평행평판형의 상부전극과 하부전극 간에 고주파전압(RF)을 인가함으로써 플라즈마를 발생시켜 웨이퍼표면을 에칭한다. 양호한 에칭형상과 에칭선택비의 향상을 위해서는 웨이퍼의 온도를 精度 좋게 제어할 필요가 있으며, 온도제어된 하부전극에 웨이퍼를 밀착시키지 않으면 안된다.

웨이퍼 面内の 온도의 균일성과 재현성을 좋게 하기 위하여 종래에는 그림의 3-(a)에 표시하는 메커니컬 클램프방식을 채용하고 있었다. 이 방식에서는 세라믹제의 클램프링으로 웨이퍼의 外周를 수mm를 고정한다. 이 때문에 클램프링의 열화나 클램프링에의 폴리머膜 부착과 剝離, 클램프링과 웨이퍼의 마찰 등에 기인하는 이물 발생이 빈발하였다.

이들 문제를 해결하기 위하여 그림3-(b)에 표시하는 정전흡착 클램프방식을 개발하여 웨이퍼 프로세스장치에 도입하였다. 이 방식의 기본원리는 하부전극 위에 세라믹이나 폴리이미드 등의 절연층을 설치, 웨이퍼와 하부전극 간에 전압을 인가하여, 양자 사이에 정전기력을 발생시켜 웨이퍼를 하부전극에 흡착시키는데 있으며 흡착력은 인가전압에 따라 제어가 가능해진다. 이 방법

으로 웨이퍼 外周部에서 이물의 발생원인이 되는 클램프링을 제거할 수 있게 되어, 웨이퍼에 부착되는 이물을 대폭 감소시키고 또한 웨이퍼 온도 제어에서도 종래와 동등 이상의 성능을 얻을 수 있었다. 지름 200mm의 웨이퍼에 부착하는 이물은 메커니컬 클램프방식에서는 평균 30~50개였으나 정전흡착 클램프방식의 채용으로 평균 5개 이하로 대폭 감소시킬 수가 있었다. 이 이물 저감은 생산수를 향상에 크게 기여하고 있다.

3. 칩첨단 반도체공장의 수직기동

3.1 態本공장 칩첨단라인(KD동)

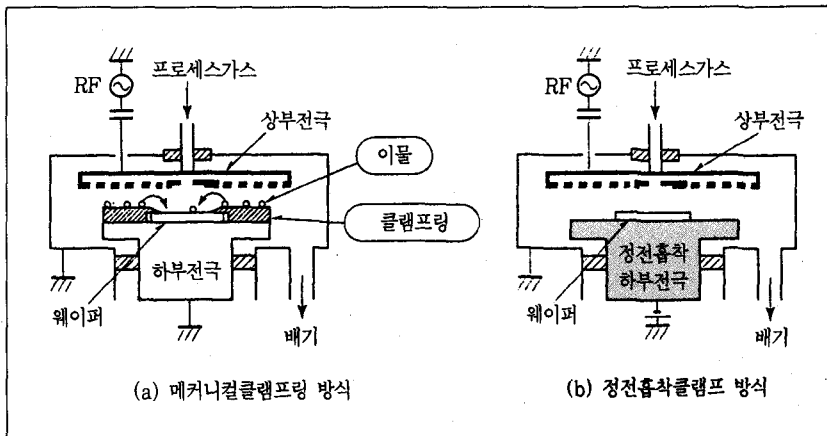
D램의 수요신장에 대응하기 위하여 態本공장에 제3세대 16M비트 D램을 생산하는 칩첨단 웨이퍼프로세스 제조라인(KD동)을 건설하게 되었다.

제조라인 건설에 대해서는 다음과 같은 목표를 세웠다.

(1) 당사의 반도체기술을 위해 총력을 결집하여 제조라인을 신속하게 기동시키고 생산에 기여케 하는 소위 "수직기동"을 실현한다.

(2) 이에 이어지는 반도체공장의 글로벌 전개에서 규범이 될 마더(Mother)공장으로 한다.

제조라인의 이 수직기동을 수행하기 위하여, 同社의 반도체기반기술통괄부에 속하는 프로세스기술부, 어셈블리기술부, 테스트시스템기술부, 생산기술부, 장치기술부, 반도체정보시스템부, ULSI개발연구소, 생산기술센터 그리고 양산공장에서 기술부문 기술자들이 모두 참가하여 조직의 틀을 초월한 태스크포스체제를 구축하여 프로젝트로 운영하였다.



〈그림 3〉 드라이에칭장치의 반응실 구조

제조장치의 구성에 있어서는 웨이퍼 프로세스 요소기술인 TEG(Test Element Group)를 사용하는 SCF(Short Cycle Feedback) 평가방법을 활용하여 사전검증을 충분히 실시함으로써 장치의 수직기동을 실현하였다.

한편 제품제조에서는 DCS를 활용하여 이물/패턴결함 관리와 평가·해석을 철저히 하여 생산수율의 수직기동도 실현하였다.

1995년 7월에 제조장치의 반입을 시작하여 9월에는 최초의 제품을 완성하고 또한 높은 생산수율을 얻을 수 있었다. 신뢰성 시험 완료후, 12월에는 이미 양산품의 출하를 개시하였다.

이 제조라인은 지름 200mm 웨이퍼로 2만매/월의 생산능력을 갖고 있으며 매달 600만개의 16비트 DRAM 제3세대 제품이 생산되었다.

이와 같이 熊本공장 KD동은 당초의 목표를 달성하면서 성공리에 가동하게 되었다.

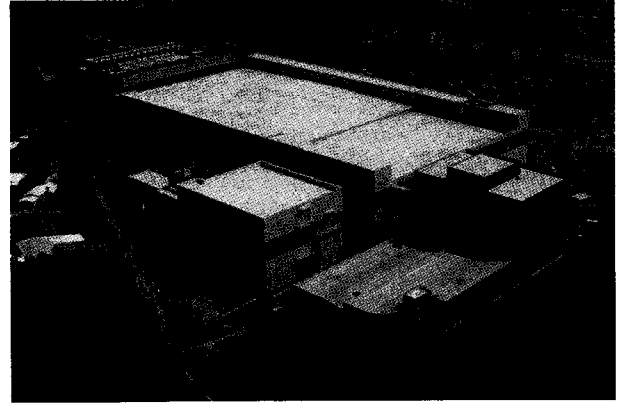
3.2 PSC社

PSC사는 대만의 UMAX사가 중심이 되어 미쓰비시電機와 兼松(株)의 合併會社로 설립된 반도체메모리 제조메이커이며 공장은 대만의 新竹科學工業園區에 있다(그림 4 참조).

'94년 12월에 미쓰비시電機에서 PSC사에의 16M비트 DRAM 기술공여계약이 체결되었다. PSC사는 熊本공장 KD동을 마더공장으로 하며 청정실, 제조장치, 원재료, 웨이퍼 프로세스, 제품디바이스를 그대로 기술이전하는 Copy Exactly를 목표로 공장건설활동을 개시하였다.

PSC사는 '95년 2월에 공장건설공사를 착공하여 건물은 '96년 3월에 준공하였다.

그동안 필요에 따라 웨이퍼 프로세스, 어셈블리, 테스트, 품질보증, 설계, 공장시설 등 거의 모든 분야에 걸쳐 PSC사의 직원이 來日하여 熊本공장 KD동을 중



〈그림 4〉 PSC社

심으로 제3세대 16M비트 DRAM기술을 공여받았다. 때마침 熊本공장 KD동은 수직기동중이어서 거기에서 산 교재에 의한 OJT로 습득한 지식·기술은 PSC사의 기동에 큰 힘이 되었다. 또 이때의 PSC사와 同社 직원의 인적교류는 同社직원이 PSC사 기동을 위해 태스크포스로서 파견되었을 때 원활한 공동업무수행을 가능케 하는데 기여했음은 두말할 필요가 없다.

'96년 4월에 제조장치의 반입을 개시하여 7월에는 최초의 제품이 완성되어 경이적인 高생산수율을 얻을 수 있었다. 신뢰성 시험 완료후 10월에는 양산품의 출하가 개시되었다. 첫 제품완성 이후에도 高생산수율이 유지되고 있으며 '97년 12월 현재 월산 500만개의 16M비트 DRAM이 생산되고 있다.

신규참가 메이커인 PSC사의 공장이 熊本공장 KD동의 "Copy Exactly"를 실시함으로써 수직기동에 성공하여 熊本공장에 비하여 손색없는 제품생산수율을 달성하고 있는 것은, 同社の ULSI제조기술력의 우수함을 실증해 주는 것은 물론 엔지니어와 기능직 직원의 트레이닝 및 제조노하우의 전수 등도 포함하여 PSC사에의 기술공여가 대단히 순조롭게 移行되었음을 보여주는 것이다.

3.3. MSE社

MSE사는 유럽의 미쓰비시電機 반도체제조회사로,

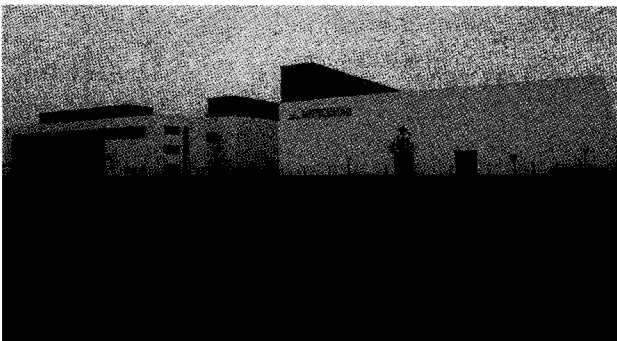
독일 아헨근방의 알스돌프시에 있다(그림 5 참조). '92년부터 4M비트 DRAM과 16M비트 DRAM의 어셈블리, 테스트 등의 後工程 제조를 하고 있었다. 유럽시장에서는 현지생산의 DRAM(유럽에서 웨이퍼 프로세스 공정 실시가 필요조건)의 요구가 강하여 MSE사에 최첨단 웨이퍼 프로세스공장을 건설하여 대응하기로 하였다.

공장 건설에 있어서는 PSC사와 마찬가지로 熊本공장 KD동을 마더공장으로 하여 그것을 그대로 기술이전하는 Copy Exactly 방법을 채택하였다.

사전준비의 일환으로는 웨이퍼 프로세스, 테스트, 공장시설 등 분야의 MSE사 직원이 來日하여 熊本공장 KD동에서 제3세대 16M비트 DRAM에 대한 기술을 직접 습득하였다.

한편 공장기동시에는 熊本공장과 PSC사의 경우와 마찬가지로 同社 직원으로 구성된 태스크포스를 결성하여 독일에 파견, MSE사의 직원과 공동으로 기동업무를 수행하였다.

그 결과 '96년 7월에 제조장치의 도입을 개시하여 11월에 최초의 제품을 완성하였고 높은 생산수율을 얻었다. 신뢰성시험 완료후, '97년 3월에 양산품의 출하를 개시하였다. 최초 제품완성 후에도 고생산수율이 유지되고 있으며, '97년 12월 현재, 월산 250만개의 16M비트 DRAM이 생산되고 있다.



〈그림 5〉 MSE사

4. 앞으로의 글로벌展開

4.1 DCS 네트워크

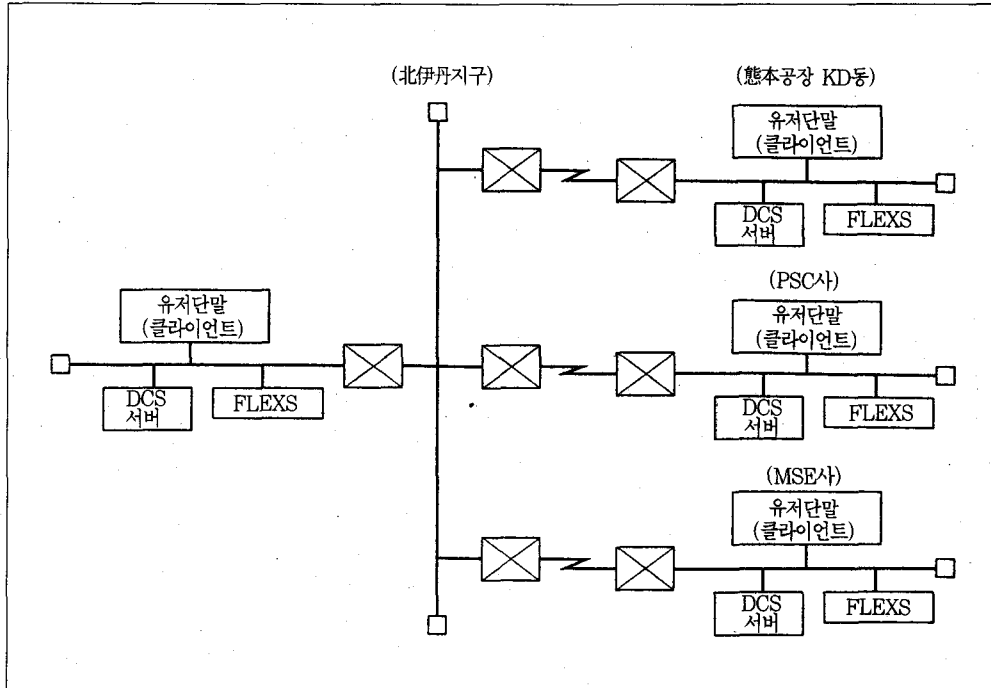
DCS는 최첨단 반도체공장의 수직기동에 대하여 많은 기여를 해 왔다. 공장 기동후에도 각 공장에서는 DCS를 폴로 활용하여 생산수율의 향상과 안정화관리에 저해요인이 되는 이물, 패턴결함의 원인해명을 신속하게 함으로써 이에 대한 대책시행을 일상화하고 있다.

각 공장의 생산수율의 향상과 안정화관리에 관한 기술정보를 공유하여 시너지효과를 올리기 위해 同社의 반도체 개발거점인 北伊丹지구를 중심으로 하여 각 공장의 DCS 네트워크를 구축하였다. 이 DCS네트워크를 그림 6에 나타내었다. 여기서는 北伊丹지구에 있는 DCS의 유저단말에서 熊本공장 KD동, PSC사, MSE사의 DCS 서버에 액세스하여 그 데이터를 볼 수가 있다. 北伊丹地區의 기술자는 이 네트워크를 통하여 각 공장의 기술정보에 액세스하여 그것들을 비교검토하고 각 공장의 기술정보와 여러 공장의 데이터를 통합적으로 해석하여 얻어지는 기술정보를 각 공장에 피드백하는 것이 가능하게 되었다.

이와 같이 현재로는 北伊丹지구 개발부문의 중개하에 공장간을 橫流하고 있으나 각 공장간에도 DCS 네트워크를 구축하여 시너지효과를 더욱 높이는 일은 공장의 운영과 함께 앞으로의 검토과제라 하겠다.

4.2 제품의 世代交替

ULSI제품의 기술혁신은 급격히 진행되어 일진월보하고 있다. 특히 D램은 3년 동안에 메모리용량이 4배가 되는 세대교체를 반복하여 왔다. 또 최근에는 다세대 동거의 양상을 나타내고 있으며 같은 메모리용량에서도 세대가 진전되어 가고 있다. 熊本공장 KD동은 공장기획단계에서부터 0.25 μ m 이후의 제조기술에 대응할 수 있도록 제조라인을 구축하였다.



〈그림 6〉 DCS네트워크

제3세대 16M비트 DRAM의 마더공장으로 가동을 시작한 熊本공장 KD동은, 미세가공을 중심으로 하는 일부의 제조장치를 KrF 엑시머 스테퍼 등에 바꿔 넣음으로써 64M비트 DRAM의 생산이 가능하게 되어 현재는 64M비트 DRAM의 주력공장으로 변모하였다.

熊本공장 KD동의 Copy Exactly로 건설한 PSC사, MSE사도 마찬가지로 제품의 세대교체에 대응할 수가 있으며 DRAM마켓의 수급을 주시하면서 16M비트 DRAM 제4세대제품, 나아가서는 64M비트 DRAM으로 제품을 전환해가고 있다.

5. 맺음말

생산성이 높은 제3세대 16M비트 DRAM의 제조기술을 개발하여 熊本공장 KD동에서 극히 짧은 기간에 최첨단 반도체공장의 수직기동을 실현하였다. 그리고

“Copy Exactly”의 기본원칙에 따라 이들 기술을 글로벌로 전개하여 PSC사, MSE사의 수직기동에도 성공하였다. 이들 공장과 개발거점을 네트워크화하여 다국적 기업에 걸맞는 글로벌한 ULSI의 양산 체제를 구축하였다.

이들 공장은 DRAM뿐만 아니라 SRAM과 플래시 메모리의 생산도 가능하며 앞으로는 특히 ASIC 등의 로직제품과 DRAM 내장 ASIC 등도 생산할 예정이다. ■

이 원고는 일본 三菱電機技報에서 번역, 전재한 것입니다. 본고의 저작권은 三菱電機(株)에 있고 번역책임은 대한전기협회에 있습니다.