

# 1MeV 인 이온 주입시 RTA에 의한 미세결함 특성과 latch-up 면역에 관한 구조 연구

## A Study on the Micro-defects Characteristics and Latch-up Immune Structure by RTA in 1MeV P Ion Implantation

盧柄奎\*, 尹錫範\*\*

( Byeong-Gyu Roh\* and Seok-Beom Yoon\*\* )

### 요 약

인(Phosphorus)을 1MeV로 이온 주입한 후 RTA를 실시하여 미세결함의 특성을 조사하고, 면저항, SRP, SIMS, XTEM 분석과 CMOS 구조에서 래치업 특성을 모의 실험하였다. 도즈량이 증가할수록 면저항은 낮아지고, Rp값은 도즈량이  $1 \times 10^{13}/\text{cm}^2$ ,  $5 \times 10^{13}/\text{cm}^2$ ,  $1 \times 10^{14}/\text{cm}^2$ 일때 각각 1.15 $\mu\text{m}$ , 1.15 $\mu\text{m}$ , 1.10 $\mu\text{m}$ 로 나타났다. SIMS 측정결과는 열처리 시간이 길수록 농도의 최대치가 표면으로부터 깊어지고, 농도 또한 낮아짐을 확인하였다. XTEM 분석 결과는 열처리 전에는 결함측정이 불가능했으나, 측정되지 않은 미세결함이 열처리 후 이차결함으로 성장한 것으로 조사되었다. 모의 실험은 buried layer와 connecting layer 구조를 사용하였으며, buried layer보다 connecting layer가 래치업 특성이 우수함을 확인하였다. Connecting layer의 도즈량이  $1 \times 10^{14}/\text{cm}^2$ 이고 이온주입 에너지가 500KeV일 때 trigger current는 0.6mA/ $\mu\text{m}$ 이상이었고, trigger voltage는 약 6V로 나타났다. Connecting layer의 이온주입 에너지가 낮을수록 래치업 저감효과가 더욱 우수함을 알 수 있었다.

### Abstract

This paper is studied micro-defect characteristics by phosphorus 1MeV ion implantation and Rs, SRP, SIMS, XTEM for the RTA process was measured and simulated.

As the dose is higher, the Rs is lower. When the dose are  $1 \times 10^{13}/\text{cm}^2$ ,  $5 \times 10^{13}/\text{cm}^2$ ,  $1 \times 10^{14}/\text{cm}^2$ , the Rp are 1.15 $\mu\text{m}$ , 1.15 $\mu\text{m}$ , 1.10 $\mu\text{m}$  respectively. As the RTA time is longer, the maximum concentration position is deeper from the surface and the concentration is lower. Before the RTA was done, we didn't observe any defect. But after the RTA process was done, we could observe the RTA process changed the micro-defects into the secondary defects. The simulation using the buried layer and connecting layer structure was performed. As results, the connecting layer had more effect than the buried layer to latch-up immune. Trigger current was more 0.6mA/ $\mu\text{m}$  and trigger voltage was 6V at dose  $1 \times 10^{14}/\text{cm}^2$  and the energy 500KeV of connecting layer Lower connecting layer dose, latch-up immune characteristics was better.

Keyword: High energy, Ion implantation Latch-up, RTA, Buried layer, Connecting layer, Trigger current

\* 建國大學校 電子工學科

(Dept. of Elec. Eng., Konkuk Univ.)

\*\* 公州文化大學 電子通信科

(Dept. of Elec. Comm., Kongju Munwha College)

接受日: 1998年4月22日, 修正完了日: 1998年7月23日

## I. 서 론

Deep submicron CMOS 제조를 위한 공정중 하나로 고에너지 이온 주입법이 각광을 받고 있다. 1MeV이상의 에너지를 이용하는 고에너지 이온 주입법은 retrograde well을 제작하여 CMOS 구조에서 latch-up현상을 줄이거나[1], buried layer를 형성하여 기판내의 결함들을 제거할 수 있는 능력을 제공한다. 또한 소자의 고집적에 따른 소자간의 거리가 짧아지므로 웰 형성시 측면확산이 심한 furnace에 의한 방법으로는 미세하게 웰을 형성할 수 없으므로 측면확산을 줄일 수 있는 고에너지 이온 주입법은 고집적화 반도체 시대에 필수적인 공정이라 할 수 있다. 본 실험에서는 이온 주입에 대한 메커니즘을 분석하기 위해 XTEM 관측과 이온 주입 후 열처리에 따른 결정 회복 메커니즘을 분석하기 위해 면저항 측정을 통한 도펀트의 활성화 정도를 규명하였다. 이온 주입후 도펀트의 활성화 방법으로 RTA를 이용하여 공정온도와 공정시간에 따른 면저항의 변화와 도핑 프로파일을 분석하였다. 래치업을 줄이는 방법으로는 buried layer를 이용하는 방법[2], guard ring을 이용하는 방법[3], trench isolation을 이용하는 방법[4], epi 웨이퍼를 사용하는 방법[5], 금 도핑이나 중성자를 방사시키는 방법 등이 있으며 래치업 저감을 위해 사용되는 MeV를 이용한 buried layer는 도즈량이  $1 \times 10^{14} \sim 1 \times 10^{15}/\text{cm}^2$ 이어야 한다. 그러나 도즈량이  $5 \times 10^{13}/\text{cm}^2$ 이상,  $1 \times 10^{15}/\text{cm}^2$ 이하인 경우에는 leakage current를 악화시키는 이온 주입 결함이 발생하여 누설전류가 증가하는 것이 보고된 바 있다[6]. 이러한 이온주입에 의한 결함의 상태를 확인한 후 결함을 제거할 수 있는 최적의 열처리 조건을 얻은 후, deep submicron CMOS 소자제작 공정에 적용하여 소자의 래치업 특성을 개선시키는 것이 본 연구의 목적이다.

## II. 실험 방법

본 실험에서 사용한 시료는 p-type (100)  $10\Omega\text{cm}$  Si 웨이퍼에 이온 주입을 위해 산화막을 100Å 성장시키고, 이온주입은 GENUS사의 G1510을 사용하였고 에너지는 1MeV, 도펀트는 인(phosphorus)을 사용하였다. 도

즈량은  $1 \times 10^{13} \sim 1 \times 10^{14}/\text{cm}^2$ 으로 변화시켰다. 이온 주입 후 열처리는 공정시간이 오래 걸리는 furnace 열처리 대신 thermal budget이 좋은 RTA를 사용하였다. RTA는 텅스텐-할로겐 램프를 열원으로 하는 Heatpulse사의 AG-2146을 사용하였다. 실험은  $\text{N}_2$  분위기에서 열처리 온도는  $1000 \sim 1100^\circ\text{C}$ , 열처리 시간은 10~40초로 변화를 주어 진행하였다. 시료제작 후 면저항은 Prometrix사의 Omnimap RS53c를 사용하여 측정하였고, SRP와 SIMS분석을 실시하고, XTEM시료는 D500i를 사용하여 dimpling하여 준비한 후 JEOL사의 JEM-2000EXII를 사용하여 결과를 얻었다. Silvaco사의 시뮬레이터를 이용하여 실험 조건과 같은 조건으로 소자를 제작하여 모의 실험을 실시하고 래치업 면역 특성을 저감시킬 수 있는 조건을 조사하였다.

## III. 실험 결과 및 고찰

### 1. 면저항 측정 결과

그림1은 1MeV의 에너지로 인의 도즈량을 변화시키면서 이온 주입한 후  $1050^\circ\text{C}$ , 10초동안 열처리 한

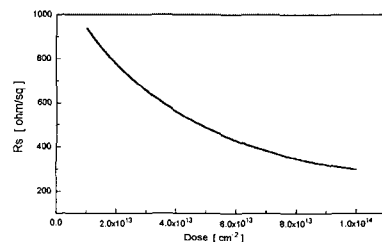


그림 1. 도즈량에 따른 면저항 변화 (fitting 후)

Fig. 1. Variation of Sheet Resistance as Dose(after fitting)

후 면저항을 측정하고 fitting한 결과이다. 이온 주입시 채널링 효과를 줄이기 위해서 웨이퍼는  $4^\circ$  tilt하였다. 예상했던 결과대로 도즈량이 증가할수록 면저항이 감소하였다. 면저항의 측정값과 모의 실험값은 표 1에 비교하였다. 시뮬레이션 결과와 일치하는 이러한 결과는

RTA로 열처리한 경우, 도즈량이 높을수록, 열처리후 주입한 도펀트의 활성화가 잘 이루어진다는 것을 알 수 있다.

표1. 실험과 시뮬레이션에 의한 면저항 결과  
Table1. Results of Rs in experiment and simulation

도즈량(/cm <sup>2</sup> )	측정값	모의 실험값
	면저항( $\Omega/\square$ )	면저항( $\Omega/\square$ )
$1 \times 10^{15}$	933.1	954.3
$5 \times 10^{15}$	332.4	323.4
$1 \times 10^{16}$	227.5	225.5

그러므로 이온 주입후 furnace에 의한 열처리보다는 RTA를 이용하여 열처리하는 것이 공정시간의 측면에서 보면 더욱 효과적이라고 볼 수 있다.

2. SRP 측정 결과

그림 2는 각 도즈량별로 1050℃, 10초간 열처리를 한 결과이다. 도즈량이  $1 \times 10^{13}/\text{cm}^2$ 일 때 접합깊이는 1.47  $\mu\text{m}$ ,  $5 \times 10^{13}/\text{cm}^2$ 의 도즈량은 접합깊이가 1.72  $\mu\text{m}$ ,  $1 \times 10^{14}/\text{cm}^2$ 의 도즈량은 접합깊이가 1.74  $\mu\text{m}$ 로 측정되었다. 도즈량을  $1 \times 10^{13}/\text{cm}^2$ 에서  $5 \times 10^{13}/\text{cm}^2$ 으로 증가시킨 경우에는 접합깊이가 더 깊어지는 것으로 나타났다. Rp값은  $1 \times 10^{13}/\text{cm}^2$ ,  $5 \times 10^{13}/\text{cm}^2$ ,  $1 \times 10^{14}/\text{cm}^2$ 에서 각각 1.15  $\mu\text{m}$ , 1.15  $\mu\text{m}$ ,

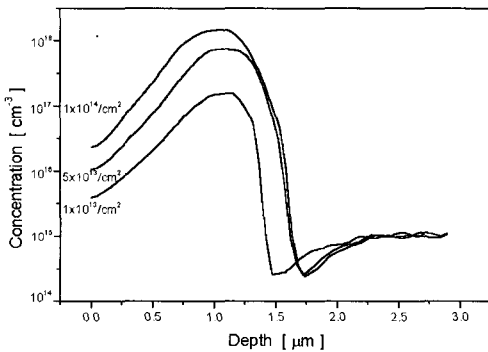


그림 2. 깊이에 따른 도펀트 농도변화  
Fig 2. Dopant concentration profile as the depth

1.10  $\mu\text{m}$ 로 나타났다. 같은 조건으로 공정을 실시하고 불

순물의 도즈량만 변화를 주었을 경우, 불순물의 도즈량이 증가할수록 Rp의 위치는 표면으로부터 더욱 깊은 곳에 생성되는 것을 알 수 있다.

3. SIMS 측정 결과

그림 3은 인을 도즈량  $5 \times 10^{13}/\text{cm}^2$ 으로 이온 주입 후 RTA 열처리 온도를 1050℃, 열처리 시간을 10초, 20초, 40초로 실시한 후 SIMS를 측정된 결과이다. 이 결과를 보면 열처리 시간이 길수록 도핑 프로파일의 폭이 넓게 나타남을 알 수 있다. 이것은 이온주입된 도펀트들이 열처리 과정중 받은 에너지로 활성화가 되어, 이온주입시 도펀트에 의해 발생하는 lattice disorder를 이완시키기 때문인데 열처리 공정시간이 길어질수록 도펀트들이 더욱 이완된다는 것을 알 수 있다. 또한 인 농도의 최대값 역시 열처리 시간이 길어질수록 낮아지고 있는 것을 확인할 수 있다. Rp의 위치는 열처리 시간이 길어질수록 표면으로부터 깊어지는 것으로 측정되었다.

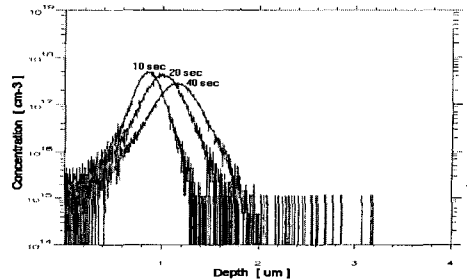


그림 3 열처리 시간에 대한 SIMS 프로파일  
Fig. 3. SIMS profile for RTA time

4. XTEM 결과

Lattice disorder는 이온주입에 의해 기관안으로 도펀트를 주입함으로써 발생한다. 만약 lattice disorder의 정도가 충분히 높지만 amorphization threshold 이하라면 어닐링을 실시하는 도중에 이차결합이 생성되는 것으로 알려져 있다[7]. 본 실험에서는 도즈량  $1 \times 10^{14}/\text{cm}^2$ 으로 이온주입한 후, 열처리를 하지 않은 경우와 1050℃에서 20초간 열처리를 한 경우를 조사하였다. 그림 4(a)의 경우, 열처리 전에는 결함이 관측되지 않았으나, 그

림 4(b)와 같이 열처리 후 극히 소량의 이차결합이 Rp 값 근처에 형성되었다. Rp값은 XTEM의 배율이 30,000 배였고 표면으로부터 결함까지의 거리는 3.3cm였으므로 약 1.1 $\mu$ m로서 SRP의 측정결과와 연관지어 고려한다면 Rp 값 근처라는 것을 알 수 있으며, 이러한 결함은 열처리 과정동안에 미세 결함이 성장하여 이차결합으로 된 것으로 사료된다. 또한 RTA 열처리를 1050 $^{\circ}$ C, 10초 이상으로 실시한 시료에서는 어떠한 결함도 관찰되지 않았는데 damage가 모두 복구된 것으로 추정된다. 그리고 도즈량이 1 $\times$ 10<sup>14</sup>/cm<sup>2</sup>이하로 이온주입한 경우, 어떠한 결함도 발견되지 않았으며 이러한 도즈량의 범위에선 격자에 결함을 생성하기에는 도즈량이 매우 적고, 또 결함자체의 크기가 너무 작아서 측정이 불가능한 것으로 사료된다. 최근 도즈량이 1 $\times$ 10<sup>14</sup>/cm<sup>2</sup>이상, 1 $\times$ 10<sup>15</sup>/cm<sup>2</sup>이하에서 결함이 발생하는 것으로 보고된 논문이 있다.[6]



그림 4(a). 도즈량 1 $\times$ 10<sup>14</sup>/cm<sup>2</sup> 이온 주입 후 열처리 전  
Fig. 4(a) XTEM before RTA for 1 $\times$ 10<sup>14</sup>/cm<sup>2</sup> after ion implantation

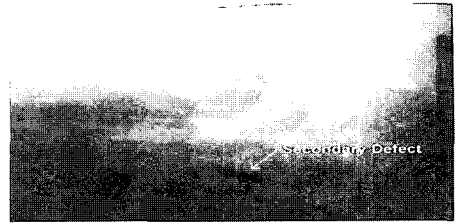


그림 4(b). (a)를 1050 $^{\circ}$ C, 10초간 열처리 후 Fig. 4(b) XTEM results of Fig. 4(a) after RTA for 1050 $^{\circ}$ C, 10sec.

5. 시뮬레이션과 실험 결과 비교

그림 5는 1MeV로 인을 도즈량 1 $\times$ 10<sup>13</sup>/cm<sup>2</sup>으로 이온주입 후 실시한 SRP측정과 이온주입을 dual-Pearson 방법과, TRIM을 사용하였을 경우의 농도 프로파일의 결과를 비교한 것이다. 여기서 dual-Pearson에 의한 결과와 TRIM의 결과는 거의 유사한 것으로 나타났다. 그리고 SRP측정 결과에서 1050 $^{\circ}$ C, 10초간 실시한 시료의 Rp 위치는 약 1.15 $\mu$ m에서 형성 되었고, dual-Pearson과 TRIM 시뮬레이션은 약 1.2 $\mu$ m인 곳에서 Rp를 형성하고 있다. 실험에 의한 방법과 모의실험에 의한 방법이 동일한 결과를 보이는 것으로 볼 수 있다.

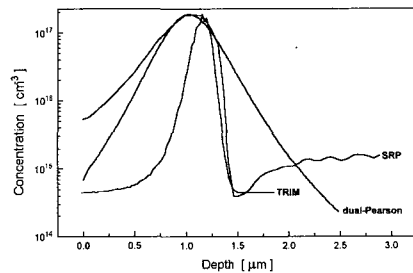


그림 5. Dose 1E13의 SRP, 2-Pearson, TRIM 결과 비교  
Fig. 5. Results comparing with Dose 1E13 SRP, 2-Pearson simulation, TRIM

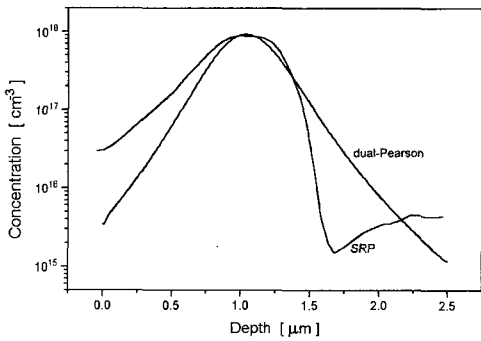


그림 6. Dose 5E13의 SRP, 2-Pearson 결과 비교

Fig. 6. Results comparing with Dose 5E13 SRP, 2-Pearson simulation

그림 6은 1MeV로 인을 도즈량  $5 \times 10^{13}/\text{cm}^2$ 으로 이온 주입한 후의 측정결과와 시뮬레이션에 의한 결과의 도펀트 프로파일이다. 실험값의 최대값이 dual-Pearson법으로 시뮬레이션한 결과보다 더 높게 나타나고 프로파일의 폭도 더 넓게 나타났다. 이것은 시뮬레이션할 때 RTA 조건중 dual-Pearson방법은 결함을 고려하지 않았기 때문인 것으로 사료된다.

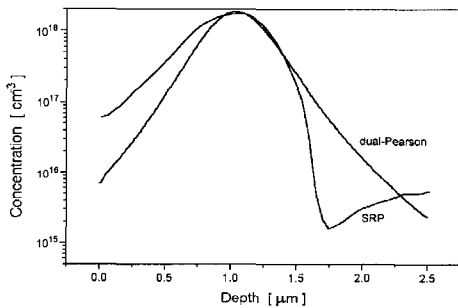


그림 7. Dose 1E14의 SRP, 2-Pearson 결과 비교

Fig. 7. Results comparing with Dose 1E14 SRP, 2-Pearson simulation

그림 7은 도즈량  $1 \times 10^{14}/\text{cm}^2$ 으로 이온주입후의 측정결과와 시뮬레이션 결과를 비교한 것이다. 농도가 높아지면서 실험 값과 시뮬레이션 값이 거의 일치하는 결과

를 보이고 있다.

### 6. 래치업 특성 조사 결과

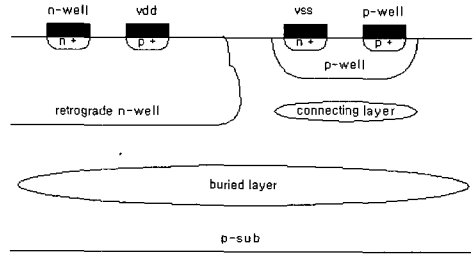


그림 8. 모의실험용 래치업 특성에 사용된 구조  
Fig. 8. The structure used for latch-up characteristics at simulation

그림 8의 구조로 래치업 특성을 조사하였다. n 웰은 retrograde well 구조로 형성하고 p 웰 구조 하단부에 connecting layer를 갖도록 하였다[8].

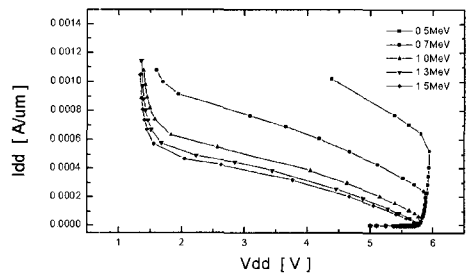


그림 9. Buried layer가 없는 경우 에너지에 따른 래치업 특성

Fig. 9. Latch-up characteristics as energy without the buried layer

그림 9는 buried layer가 없는 경우 connecting layer를 도즈량  $1 \times 10^{14}/\text{cm}^2$ , 에너지는 0.5~1.5MeV로 변화를 주었을 때의 결과이다. 이온주입 에너지가 0.5MeV인 경우 trigger current는 약  $0.6\text{mA}/\mu\text{m}$ 로 나타났고,

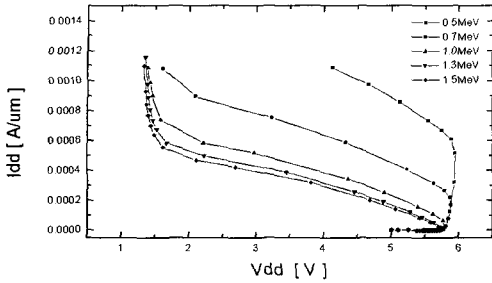


그림 10. Buried layer가 있는 경우 에너지에 따른 래치업 특성

Fig. 10. Latch-up characteristics as energy with the buried layer

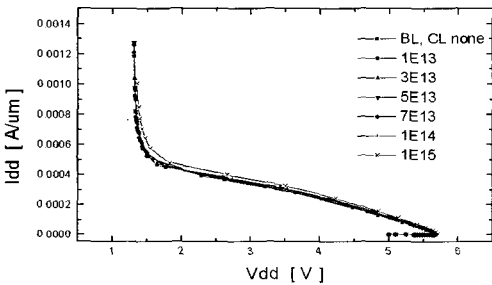


그림 11. Connecting layer가 없는 경우 에너지에 따른 래치업 특성

Fig. 11. Latch-up characteristics as energy without the connecting layer

connecting layer의 이온 주입 에너지가 낮을수록 trigger current가 높게 나타나고 있다. 그림10은 도즈량  $1 \times 10^{14}/\text{cm}^2$ , 에너지는 2.3MeV로 buried layer를 형성한 후 connecting layer의 에너지를 변화시켰을 때 결과로서 buried layer가 없는 그림 9와 거의 같은 결과를 얻었다. 그림 11은 connecting layer가 없는 경우 buried layer의 에너지 변화에 따른 결과이다. connecting layer가 없는 경우에는 래치업 특성이 큰 차이가 나타났고, buried layer의 이온 주입에너지를 변화시키거나 도즈량을 변화시켰을 때도 같은 결과를 얻었다. 그러므로 buried layer보다는 connecting layer가 래치업 저감에 더 많은 영향을 미치는 것으로 판명되었다.

그림 12는 connecting layer의 이온 주입에너지를

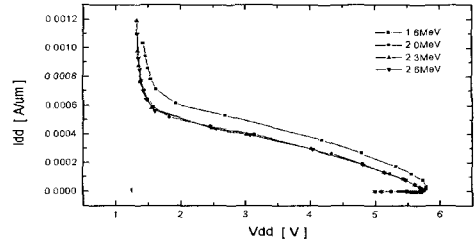


그림 12. Connecting layer가 1MeV일 때 buried layer의 에너지에 따른 래치업 특성

Fig. 12. The latch-up characteristics as buried layer energy for connecting layer energy 1MeV

1MeV로 고정시키고 buried layer 이온 주입에너지를 변화시켰을 때의 결과이다. 그림 11보다는 trigger current가 미약하지만 약간 증가하였다. 지금까지 결과를 고찰해보면 connecting layer를 형성하는 이온 주입 에너지가 낮을수록 더 좋은 trigger current를 얻을 수 있는 것으로 판명되었다.

#### IV. 결론

본 논문에서는 실리콘 기판 위에 인을 1MeV의 에너지로 이온 주입한 후 면저항, SRP, SIMS와 XTEM 특성을 조사하였다. 이온을 주입한 후 전기적인 활성화를 위한 방법으로는 기존의 furnace 열처리가 아닌 RTA를 이용한 열처리를 10~40초간 실시하였다. 면저항은 도즈량이 증가할수록 낮아지는 특성을 보이는 것으로 나타났다. 또한 SIMS 프로파일은 열처리 시간이 길어지고 도즈량이 많을수록 더 넓게 퍼지고, Rp값은 표면으로부터 깊어지는 것으로 나타났다. 고에너지 이온 주입후 결함을 XTEM을 실시하여 관찰해본 결과, 거의 찾아볼 수가 없었다. 이것은 고에너지 이온주입시 power heating에 의한 self annealing 때문인 것으로 사료된다. 1050℃, 10초간 RTA 열처리를 실시한 후에는 이온주입의 충격으로 발생하는 점결함들이 성장하여 이차결함이 된다는 것을 확인할 수 있었다. 그러므로 이러한 점결함이 이차결함으로 성장하는 것을 방지하기 위해서는 RTP를 이용하여 열처리 할 경우, 20초 이상 열처리

하거나, 1050℃ 이상으로 열처리를 하여야 됨을 본 논문에서 제시하고 있다. 따라서 누설전류를 악화시키지 못하도록 이온 주입 후 발생하는 결함을 제거하여 우수한 전기적인 특성을 갖는 소자를 제작할 수 있다. 또한 buried layer와 connecting layer의 래치업 특성과의 연관 관계를 모의 실험을 통해 규명하였는데, buried layer보다는 connecting layer의 형성조건에 래치업 면역 특성이 더욱 민감하다는 것으로 조사되었고 connecting layer의 이온 주입에너지가 낮을수록 더 높은 트리거 전류가 흐르는 것으로 판명되었다. 그러므로 connecting layer를 갖는 CMOS 구조에서 retrograde well은 고에너지로, connecting layer는 저에너지로 형성하면 래치업 저감에 효과적인 소자를 만들 수 있다고 사료된다.

참 고 문 헌

[1] K. Tsukamoto, S. Komori, T. Kuroi and Y. Akasaka, "High-energy ion implantation for ULSI", *Nuclear Instruments and Method in Physics Research*, B59/60, pp.584-591, 1991.

[2] J. Manoliu, F.H. Tseng, B.J. Woo, and T.J. Meier, "High density and reduced latch-up susceptibility CMOS technology for VLSI", *IEEE Electron Dev. Letters*, EDL-4, pp.233-235, July 1983.

[3] R. Menozzi, L. Selmi, E. Sangiorgi, G. Crisenza, T. Cavioni, and B. Ricco, "Layout dependence of CMOS latch-up", *IEEE Trans. Electron Dev.* Vol.35, No.11, pp.1502-1510 1988.

[4] S. Bhattacharya, S. Banerya, J. Lee, A. Tasch, and A. Chatterjee, "Design issues for achieving latchup-free, deep trench-isolated, bulk, non-epitaxial, submicron-CMOS", *IEEE IEDM 90-185*, pp.8.3.1-8.3.4, 1990.

[5] U. Schwabe, H. Herbst, E. J. Jacobs, and D. Takacs, "N-and P-well optimization for high-speed n-epitaxy CMOS circuits", *IEEE Trans. Electron. Dev.*, Vol.30, No.10, pp.1339-1344, Oct. 1983

[6] John O. Borland, Thomas E. Seidel, "Epi replacement in manufacturing using MeV implantation", *Solid State Technology*, Vol. 39, No.6, pp.89-92, June 1996.

[7] R.J. Schreutelkamp, W.X. Lu, J.R. Liefing, V. Raineri, J.S. Custer and F.W. Saris, "Reduction of Secondary Defect Formation in MeV As ion implanted Si(100)", *Nuclear Instruments and Method in Physics Research*, B59/60, pp.614-618, 1991.

[8] Wesley Morris, Leonard Rubin, Dirk Wristers, "Buried Layer/Connecting Layer High Energy Implantation for Improved CMOS Latch-Up", *Proceeding of the Eleventh Internation Conference on Ion Implantation Technology*, pp.796-799, 1996.

저 자 소 개



盧柄奎 (正會員)  
 1993년 2월 건국대학교 전자공학과 공학석사. 현 건국대학교 전자공학과 박사과정 중. 관심분야 : 반도체 메모리 소자 공정 및 소자 시뮬레이션, Organic LED



尹錫範 (正會員)  
 1993년 2월 건국대학교 전자공학과 공학박사. 1996년 8월 ~ 1997년 8월 코넬대학교 객원 연구원. 현 공주 문화 대학 전자통신과 교수. 관심분야 : 전자통신