

전자식 형광등용 역율 개선 회로의 특성 비교

The characteristic comparison of power factor correction circuits for electronic ballasts

박종연* 조계현**

Park, Chong-yeon Cho, Gye-hyun

ABSTRACT

In recent years, various power factor correction(PFC) circuits for the electronic ballast have been proposed. And these circuits have difference characteristics each other. We have researched several PFC circuits of them. And operational principles and characteristics of PFC circuits are compared by the cost and the electrical performance. Finally, we established the reference for the evaluation of PFC circuits with performance and the price.

키워드 : 역율, 고조파함유율,안정기

Keywords : power factor, THD, ballast

1. 서 론

IEC1000-3-2와 같은 국제 표준기준의 채택으로 형광등용 전자식 안정기에 대해 전류 고조파 성분의 제한과, 높은 역율 개선능력에 대한 요구가 점차 커지고 있다.[1] 역율개선회로는 여러 가지 형태가 제시 될 수 있는데 크게 수동형과 능동형으로 구분된다.[2] 수동형으로는 현대 인덕터와 커패시터만으로 이루어진 저역통과 필터를 이용하는 형태[1]와 전압 파형이 최고치의 1/2까지 떨어지는 밸리 필(Valley-fill) 형태[1][3][4]와 공진형 인버터의 전압이 고주파의 교류형태로 변하는 것을 이용함으로써 입력전류를 전원전압과 같도록 유지시키는 전하펌프(Charge pump)형태[5]를 갖는 회로가 있다. 또한 능동형으로는 보통 승압형 역율 개선 회로[6]를 이용하는데 이러한 방식은 직류링크전압이 갖는 전압의 리플(ripple)성분이 수동형보다 더 적다.

본 논문에서는 제시한 5가지 종류의 역율 개선 회

로를 분석하고 제작한 후 각각의 역율개선회로의 특성을 분석했다. 이를 통해서 성능과 경제적인 면을 고려한 경쟁력있는 역율개선회로를 선택할 수 있는 기준을 설정하였다.

2. 본 론

1. 역율의 의미

기존 역율에 대한 정의는 순수한 정현파 신호에 있어서 전압과 전류가 갖는 위상차를 θ 라고 할 때 $\cos\theta$ 로 정의했다. 하지만 형광램프를 위한 전자식 안정기와 같이 입력단에 전파정류와 평활용 커패시터가 사용되었다면 그림1(a)의 전압에 대하여 입력전류는 형태 그림1의 (b)와 같으므로 더 이상 기존의 의미의 역율과 같이 정의할 수 없다.

전파정류시 나타나는 입력 전류의 형태는 전원전압의 크기가 전압 평활용 커패시터에 충전되어있는 전압(그림1(a))의 크기보다 클 때에만 흐르는 형태를 갖는다. 입력 전류의 형태가 입력전압의 최대치 부근에서 펄스 형태로 흐르므로 많은 고조파들을 포함하고 있게 된다. 이러한 고조파들은 무효전류를 발생시

* 강원대학교 전기공학과 교수, 공학박사

** 강원대학교 대학원 전기공학과 석사과정

키게 되고, 이 추가적인 무효전류로 인해서 실효전력의 양은 감소하게 된다.

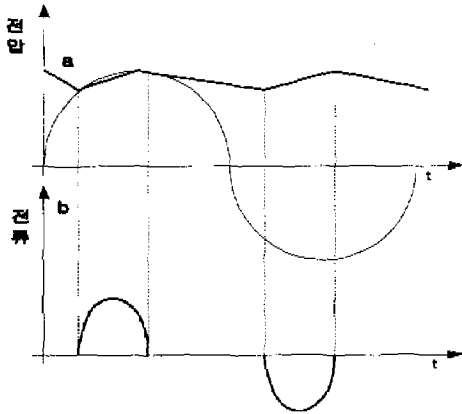


그림 1. 전파 정류시 전압, 전류 파형

입력 전류가 갖는 고조파 성분에 의해서 나타나는 무효전력의 양을 도식적으로 표현하면 그림2와 같다.

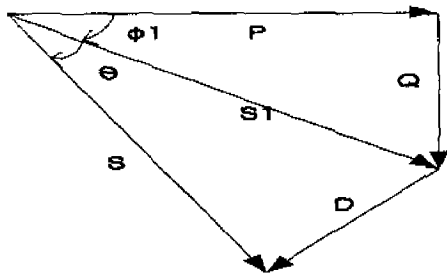


그림 2. 고조파 함유 따른 역률

- P : 기본파에 의한 실효전력
- Q : 기본파에 의한 무효전력
- S₁ : 기본파에 의한 피상전력
- D : 고조파 성분에 의한 distortion factor
- S : 전체 피상전력

그러므로 전체적인 역률값은 기본파와 고조파 성분이 함께 영향을 끼치고 그림2에서와 같이 기본파 성분에 의한 피상전력 S₁ 성분과 전체 고조파 성분이 갖는 distortion factor(D)가 포함된 $\cos \theta \cos \phi_1$ 값이 된다. 순수한 정현파의 경우에는 고조파 성분을 포함하고 있지 않으므로 distortion factor 값을 고려할 필요가 없다. 그러므로 순수한 정현파가 가지는 역률은 기본파 성분에 의한 실효전력과 무효전력이 나타내는 $\cos \phi_1$ 이다.

II. 역률개선회로의 종류

II-1. 밸리필(Valley fill) 역률 개선 회로

밸리필 회로의 기본 회로는 그림 3과 같다.

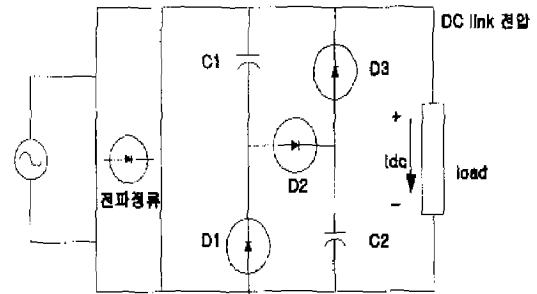


그림3. 기본적인 밸리필 회로

그림3에서 밸리필 회로내 커패시터 C1, C2가 충전하는 전압을 DC link 전압이라 정의하며 이 전압의 크기와 입력전압의 크기에 따라서 밸리필 회로의 동작이 바뀐다. DC link 전압이 가지는 범위는 입력전압의 1/2을 최소값으로 가지며 인가전압의 최대값보다 작은 범위를 갖는다.

입력 전압이 C1, C2에 충전되는 DC link 전압보다 클 경우에는 (그림4에서 $t_1 \leq t \leq t_2$ 구간)

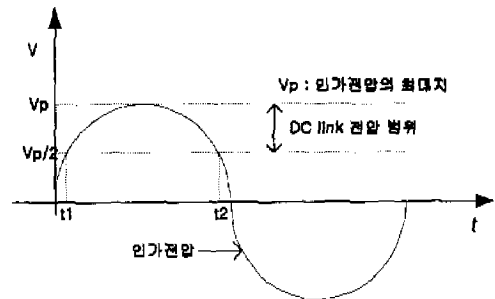


그림4. 입력전압과 DC link 전압

정류 다이오드가 도통상태가 되므로 C1, D2, C2를 통해서 커패시터가 충전되는 충전경로가 형성되므로 등가회로는 그림5와 같다.

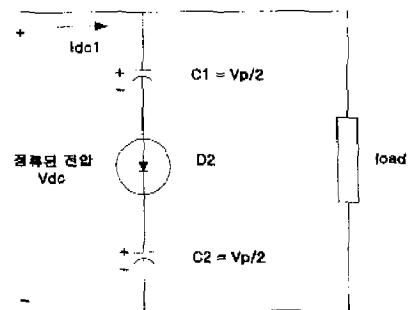


그림5. 밸리필 회로의 충전경로

커패시터 C1, C2가 충전이 이루어지는 기간은 입력 전압이 C1, C2에 충전되어 있던 충전 전압보다 커서 전파 정류 다이오드가 도통이 될 경우이다. 정류 다이오드가 도통되므로 커패시터가 가지는 임피던스 상태는 짧은 순간 작은 값을 갖게 되고, 이때에 갑작스런 충전 전류가 흘러 커패시터가 충전되는 현상인 돌입전류(Inrush current)가 흐르며 그림 4에서 표시하였다.

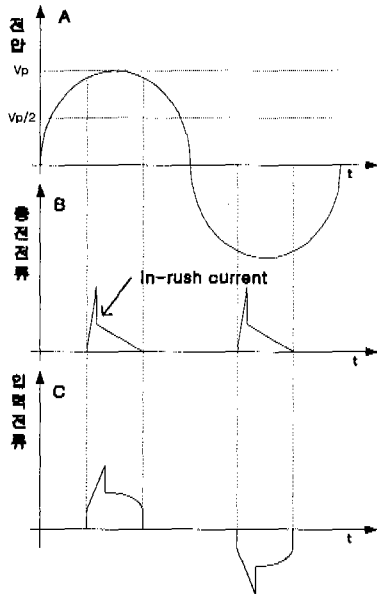


그림6. 밸리필 회로 충전시 입력 전류 변화

또한 그림4에서 DC link 전압, 즉 밸리필 회로내에 있는 C1, C2에 충전된 전압이 인가전압보다 큰 경우에는 정류 다이오드가 개방되므로 입력전류는 흐르지 않게 되며 등가회로는 그림 7과 같다.

이에 따라 입력 전류의 형태는 입력전압이 그림7에서 C1, C2에 충전되는 전압보다 클 때에는 흐르고 작을 때에는 흐르지 않는 불연속성이 발생한다. 그리고 이를 전류가 갖는 crossover 왜곡이라고 하며 그림8에 표시하였다.

또한 그림 8에서 C1, C2에 충전되어 있는 전압, 즉 DC link 전압이 인가전압보다 큰 구간에서는 그림7과 같이 병렬로 연결된 C1, C2에서 충전되어 있던 전압에 의해서 부하에 흐르는 전류는 일정하게 유지되고 부하에 인가되는 전압의 밸리 구간을 일정전압 ($\frac{V_p}{2}$)으로 유지시킨다.

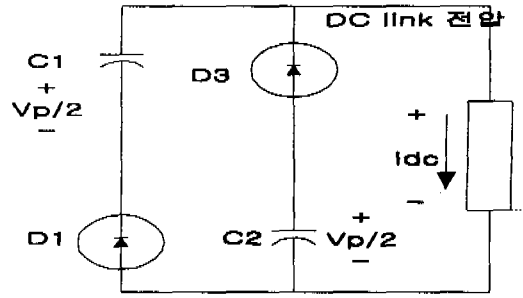


그림7. 밸리필 회로의 방전시 등가회로

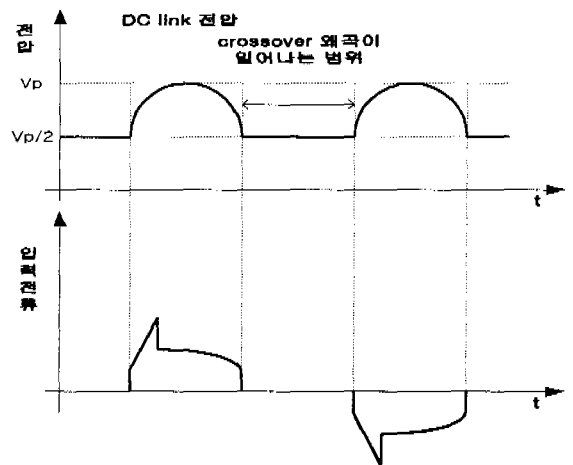


그림 8. DC link전압과 입력 전류 파형

불연속성과 돌입성을 갖는 입력전류를 Pspice로 해석한 후 Pspice에서 제공되는 FFT해석 기능으로 주파수 분석을 하고 이를 기본파와 9 고조파 성분까지의 주파수 성분의 크기를 기본파 성분을 기준으로 정규화 한 값은 표1과 같다.

표1. 밸리필 회로가 갖는 입력전류의 고조파 성분

고조파 성분	주파수	정규화 한 값
1	60	1
2	120	0.0055
3	180	0.1625
4	240	0.0044
5	300	0.1567
6	360	0.0025
7	420	0.0153
8	480	0.0030
9	540	0.0534

II-2. 개선된 밸리필 역올 개선 회로

기본 밸리필 회로가 갖는 입력전류의 crossover 왜곡과 입력전류의 돌입전류의 크기를 줄여서 전체적인 역올과 전류의 고조파 함유율 및 파괴율을 낮추기 위해서 그림9와 같은 역올개선회로가 제안되고 그림 10과 같은 돌입전류 제한 회로가 동작한다.

먼저 입력전류의 crossover 왜곡을 줄이기 위해서 전파 정류단 뒤에 커패시터를 병렬로 연결하는 전압 체배기(doubler)를 첨가했다.

전압 체배기는 그림11 A의 입력전압이 0가되는 곳(zero crossing voltage)에서 그림 11의 B에서 보듯이 전파정류 다이오드와 CB1, CB2와의 경로를 형성시킨다. 이로 인해서 그림 11의 B그림과 같이 갑작스러운 전류의 흐름을 연속적인 전류의 흐름으로 만들므로써 전류의 crossover 왜곡의 정도를 낮추는 효과를 갖는다. 이는 입력전류의 crossover 왜곡 범위를 감소시키고 급격하게 이루어지는 왜곡을 완만하게 변화시키는 효과를 갖는다.

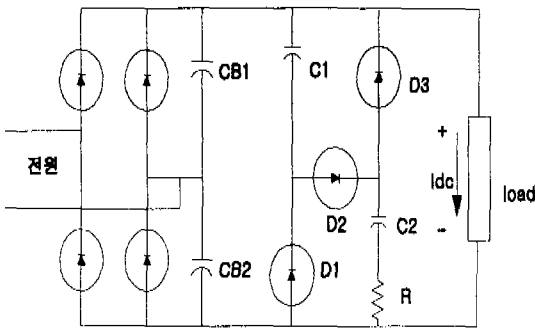


그림9. 개선된 밸리필 역올 개선 회로

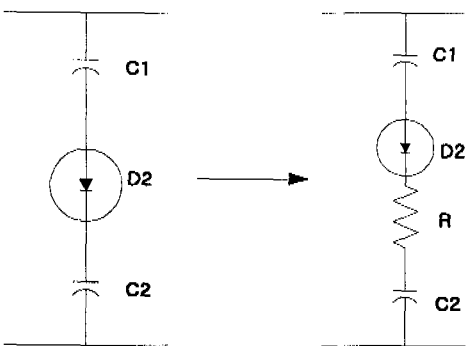


그림 10. 돌입전류의 제한 회로

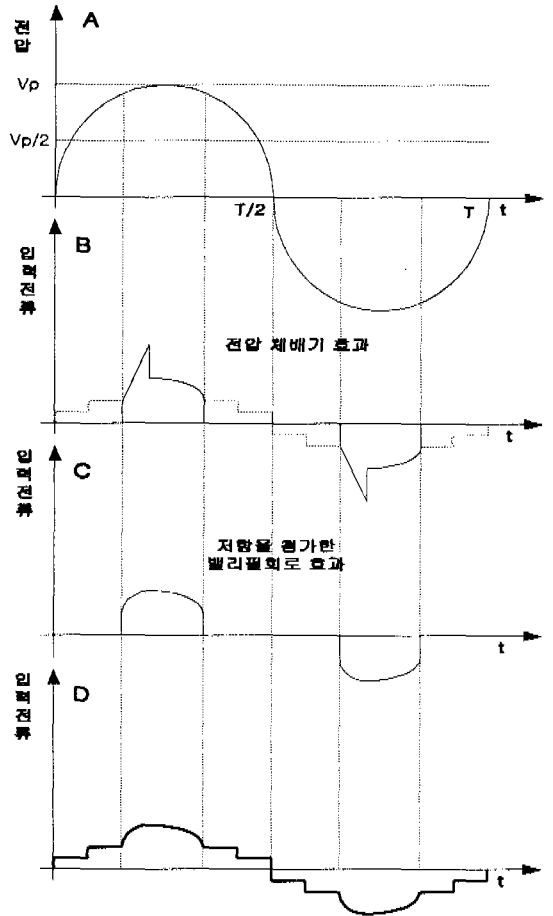


그림 11. 개선된 밸리필 회로의 효과

또한 그림 10과 같이 밸리필 충전경로에 저항을 삽입함으로써 충전 저항과 커패시터(C1, C2)에 의한 충전 경로의 시정수 값을 증가시킨다. 커패시터에 충전되는 전압의 시정수 값이 증가함에 따라 그림 11의 C에서 보듯이 돌입전류의 크기 및 변화량 크게 감소한다. 결과적으로 전압 체배기(doubler)와 충전경로에 저항을 삽입함으로써 얻는 최종결과는 그림 11의 D와 같다.

전압 체배기와 개선된 밸리필 회로를 적용한 회로를 Pspice로 해석한 후 Pspice에서 제공되는 FFT해석 기능으로 주파수 분석을 하고 이를 기본파와 9 고조파 성분까지 주파수 성분의 크기를 기본파 성분을 기준으로 정류화 한 값은 표2와 같다.

표2. 밸리필 회로가 갖는 입력전류의 고조파 성분

고조파성분	주파수	정규화 한 값
1	60	1
2	120	0.0042
3	180	0.0097
4	240	0.0031
5	300	0.0074
6	360	0.0000
7	420	0.0632
8	480	0.0019
9	540	0.0234

III. 전하 펌프형 역을 개선 회로

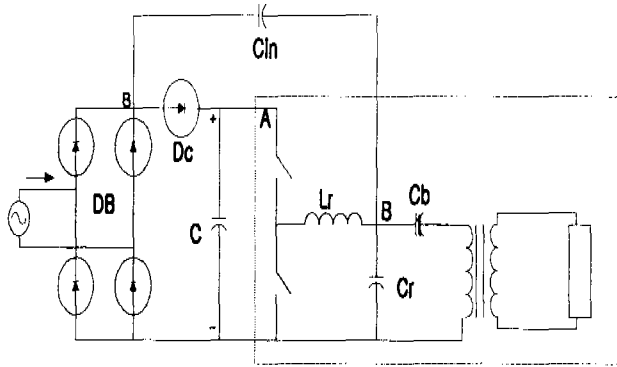


그림12. 전하펌프형 기본 회로

그림 12와 같은 전하 펌프형 역을 개선 회로는 기존 밸리필 회로에서 입력 전원 전압이 밸리 전압, 즉 인가전압의 1/2 보다 낮을 때는 입력으로부터 전류를 공급 받을 수 없다는 문제점을 해결하기 위해 전하 펌프 커패시터를 공진형 인버터에서 고주파 공진 전압을 발생시키는 부분(B)에 연결시켰다.

입력전압이 밸리 전압보다 클 경우에 인버터 전류는 정류 다이오드단(DB)을 통하여 입력 라인으로부터 직접 공급받게 된다. 그러므로 입력전류의 파형은 입력 전압의 파형을 따라가게 된다. 이때 공진형 인버터에 연결된 전하 펌프 커패시터(Cin)를 통해 흐르는 전류의 크기는 직접 인버터에 공급하는 전류보다 상대적으로 작기 때문에 입력전류에는 큰 영향을 미치지 못하고 작은 리플 성분만 실리게 된다. 하지만 전하 펌프 커패시터(Cin)의 크기 및 입력 전원 전압의 크기에 따라 전하펌프 커패시터(Cin)를 충전하는 전류가 상대적으로 커져 입력전류의 많은 부분을

형성하기도 한다.

입력 전원 전압이 밸리 전압보다 작게 될 경우에는 정류다이오드(DB)는 도통될수 없기 때문에 공진형 인버터의 전압이 고주파의 교류형태로 변함에 따라 전하펌프 커패시터에 전하를 충전, 방전함으로써 연속적인 입력전류를 형성하게 된다.

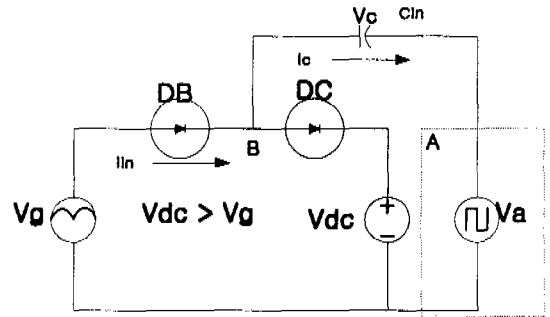


그림 13. 전하펌프형 회로를 해석하기 위한 개략도

또한 설계시 요청되는 조건은 Vdc 전압이 입력 전압 Vg 보다 크게 설계해서 동시에 정류 다이오드와 Dc 다이오드가 동시에 도통하는 것을 방지해야 한다.

전하펌프형 역을개선 회로는 정류 다이오드와 Dc 다이오드가 도통되는 조건에 따라 4가지로 상태로 동작하며 이론적 파형은 그림14와 같다.

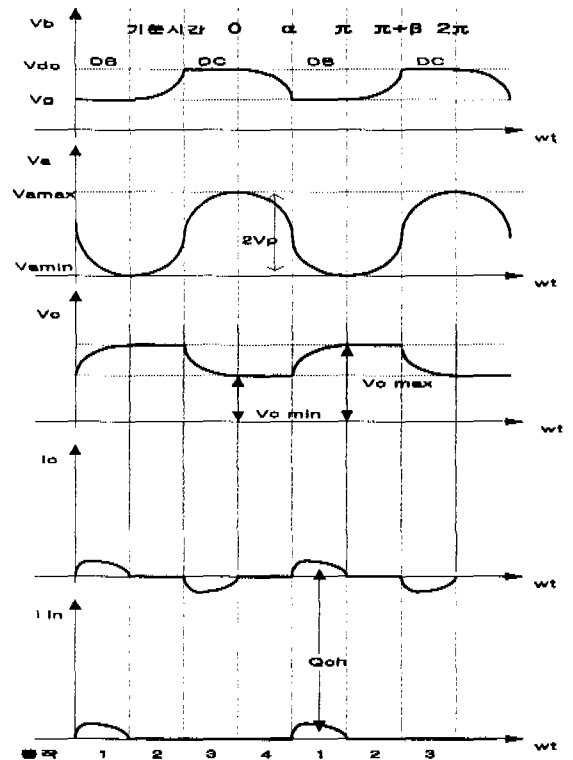


그림 14. 전하펌프형 회로의 이상적 동작 파형

그림14에서 시간이 0에서 α 까지 시간내 동작은 DC와 DB모두 개방된 상태이다. 이때, C_{in} 양단전압, V_c 는 변화가 없고, 공진 인버터와 연결되는 그림12의 A지점의 전압 V_a 와 다이오드 DB와 DC사이 지점 B에서의 전압 V_b 는 감소하고있는 중이다.

시간이 α 에서 π 까지의 시간에서의 동작은 DB만 도통된 상태이고 V_b 는 일정하고 V_a 가 계속해서 감소하는 상태이다. V_c 는 증가하고 있는 상태, 즉 C_{in} 은 충전하고 있는 상태이다.

C_{in} 에 충전되는 전압, V_c 가 가지는 최대값은

$$V_{c,max} = V_g - V_{a,min} \dots\dots\dots (1)$$

과 같다

시간이 π 에서 $\pi+\beta$ 구간에서는 V_a 가 V_{amin} 값으로부터 증가되고, V_b 가 V_g 보다 높게 되므로 DB는 개방된 상태이다. 또한 V_b 전압이 V_{dc} 보다 작으므로 개방 상태는 지속된다. 전체적으로 시간이 0에서 α 에서의 구간과 비슷하며, V_a 와 V_b 는 증가하고 있다.. 마지막으로 $\pi+\beta$ 에서 2π 인 구간에서는 V_b 와 V_{dc} 가 값이 동일하다. 이때는 Dc는 도통상태이고 V_b 전압은 V_{dc} 로 유지되며 V_c 는 V_a 가 증가할 때 감소하므로 V_c 전압 감소중이다. 그러므로 C_{in} 방전은 방전 상태이다.

이때는 C_{in} 양단전압, V_c 가 가지는 최소값은

$$V_{c,min} = V_{dc} - V_{a,max} \dots\dots\dots (2)$$

와 같이 된다.

그림14에서 보듯이 입력전류는 α 에서 π 까지의 구간에서만 흐르는 불연속성을 띤다.

그러므로 C_{in} 에 충/방전되는 전하량은

$$\Delta Q_{ch} = C_{in} (V_{max} - V_{c,min}) \text{ 정의할 수 있고}$$

이 식에 (1)과 (2)식을 대입하면

$$\begin{aligned} \Delta Q_{ch} &= C_{in} (V_g - V_{a,min} - V_{dc} - V_{a,max}) \\ &= C_{in} (V_g + 2V_b - V_{dc}) \end{aligned}$$

전체 주기동안 정류 다이오드(DB)가 도통하는 것은

시간이 α 에서 π 까지 구간이기 때문에 한 주기 동안에 흐르는 전류의 평균값은 C_{in} 에 충전되는 전류 평균과 같다.

$$I_{in,av} = f_s \Delta Q_{ch} = f_s C_{in} (V_g + 2V_b + V_{dc})$$

높은 역율을 갖기 위해서는 입력전류와 전압은 다음과 같은 관계에 있어야 한다.

$$i_{in,av} \propto V_g$$

그러므로 $V_{dc} = 2V_b = V_{a,max} - V_{a,min}$ 으로 설계한다면 $i_{in,av} = f_s C_{in} V_g \propto V_g$ 인 관계가 성립하므로 역율을 올릴 수 있다.

그림 12의 A점 전압 V_a 의 AC peak to peak 값인 $2V_p$ 가 V_{dc} 와 같다면 높은 역율이 보장된다. 또한 $2V_p$ 값이 V_{dc} 보다 작으면 입력전압이 zero crossing 되는 부근에서 전류의 왜곡이 일어나게 된다. 이때는 $V_g \leq |V_{dc} - 2V_p|$ 상태이므로 입력전류는 0이다.

II-4. 벨리필 회로와 전하펌프형 회로의 결합

그림 15은 벨리필 회로와 전하펌프형 회로가 갖는 각각의 특성을 서로 결합한 역율 개선 회로로서 회로 해석은 각각의 역율 개선회로가 갖는 회로해석과 같다. 그리고 벨리필 회로와 전하펌프형 회로를 결합한 C_v 커패시터값을 조절함으로써 역율 개선과 벨리 전압값을 조절 할 수 있다.

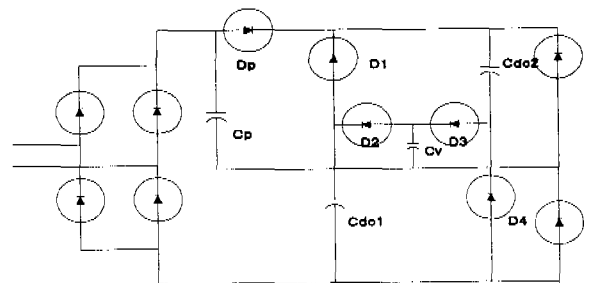


그림15. 벨리필 회로와 전하펌프형 회로의 결합

밸리필 회로와 전하펌프형 회로를 적용한 회로를 Pspice로 해석한 후 Pspice에서 제공되는 FFT해석 기능으로 입력전류를 주파수 분석한 결과를 기본파로 정규화한 값은 표3과 같다.

표3. 밸리필 회로와 전하펌프형 결합회로가 갖는 입력 전류의 고조파 성분

고조파성분	주파수	정규화 한 값
1	60	1
2	120	0.0219
3	180	0.1128
4	240	0.0001
5	300	0.0574
6	360	0.0095
7	420	0.0628
8	480	0.0001
9	540	0.0433

II-5. 능동 역율 개선 회로

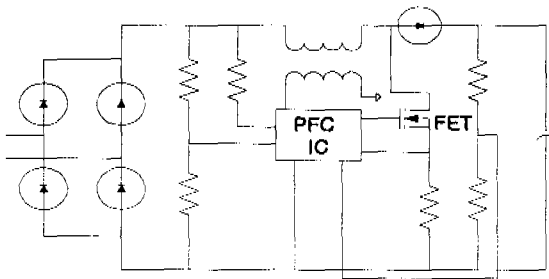


그림16. 능동 역율 개선 회로의 기본 개략도

그림 16과 같은 PFC IC를 사용한 능동 역율 개선 회로는 보통 승압형 컨버터 회로를 많이 사용한다. 능동 역율 개선 회로의 특징은 주 스위치로 사용되는 FET의 손실이 크고, 추가적인 전력소자와 수동소자가 수동 역율 개선회로에 비해서 많이 필요하고 제어회로로 높은 삼각파 형태의 인덕터 전류를 만들어 동작을 시키기 때문에 손실이 많다. MOS FET turn on time을 그림 17과 같이 조절하므로써 입력 전압 파형과 같은 peak 인덕터 전류를 갖는 만든다. MOSFET turn on time은 인덕터에 감겨진 2차측 권선의 전압 극성을 이용해서 zero 전류 상태를 인식하고 인덕터에 유기된 삼각파 형태의 신호에 의해서 역율 개선 회로는 동작한다.

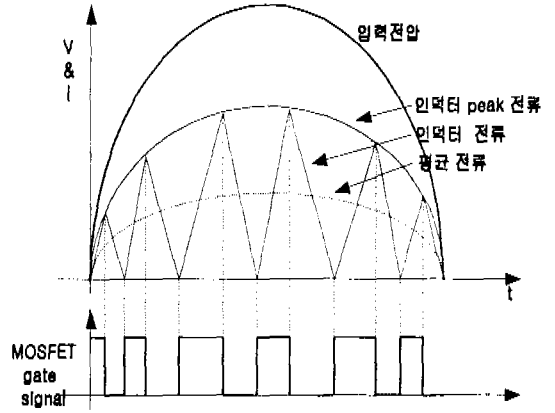


그림17. 인덕터 전류와 MOSFET gate의 제어

3. 실험 및 결과

20watt용 전자식 안정기를 자체 제작한 후, 역율 개선 회로가 없을 때와 여러 형태의 역율 개선 회로를 부착했을 때의 입력특성을 전력 해석기(Power Analyzer : Xitron 2503AH)로 분석했다. 이때 공통적으로 EMI 필터는 차단 주파수가 10kHz인 저역통과 필터를 사용했고, 역율의 측정은 안정기의 입력전력이 22watt가 될 때를 기준으로 선정했다. 그리고 램프를 점등시킨후 10분이 경과 했을 때 결과를 얻었다.

5가지 역율개선회로가 갖는 입력 전압, 전류의 파고율, 과형율값과 역율값, 입력전류의 THD값을 비교함으로써 역율개선회로가 가지는 특성을 분석했다.

실험결과에서 보면 수동형 역율 개선 회로를 사용했을 때도 역율은 최저 0.90 이상을 유지한다는 것이 나타났다. 또한 밸리필형 역율 개선 회로에서는 돌입 전류 제한용 저항을 가변함에 따라 역율값도 가변됨을 볼 수 있었고, 그림 15와 같이 밸리필과 전하펌프형 역율개선회로에서는 Cv값을 제어함에 따라 역율이 가변되었다.

표4. 측정된 역율 개선 회로의 결과

	역율	전 압		전 류		
		CF	FF	CF	FF	THD (%)
역율개선회 로가 없을때	0.4970	1.503	1.126	3.844	2.877	182.73
기본 벨리필	0.9128	1.477	1.122	2.142	1.099	32.62
개선된 벨리필	0.9247	1.458	1.123	1.481	1.098	27.43
전하펌프형	0.9489	1.467	1.122	1.592	1.111	17.62
벨리필과 전하펌프형	0.908	1.452	1.118	2.258	1.157	33.76
능동역율 개선회로	0.9425	1.430	1.114	1.543	1.134	15.47

CF(파고율) : Crest Factor

FF(파형율) : Form Factor

THD : Total Harmonic Distortion

4. 결 론

입력단에 전파 정류를 사용하고, 높은 주파수로 점동되는 전자식 안정기에 역율 개선 회로를 첨가하지 않으면 역율값은 약 0.5정도를 유지하고 입력전류가 갖는 고조파 함유율은 180%를 넘는 결과가 나온다. 이렇게 많은 고조파 성분을 포함한다면 높은 역율값을 얻을 수 없다. 또한 많은 고조파 성분은 다른 전자기기에 영향을 끼칠 수가 있다. 그러므로 수동형 또는 능동형 역율개선회로를 반드시 첨가해야 하고, 이미 살펴본 5가지의 역율개선회로를 비교실험한 결과 능동 역율 개선 회로는 더 높은 역율값을 보장할 수 없음이 판명되었다.

그러므로 전자식 형광등에서 가장 많이 사용하는 하프 브리지형(Half bridge) single end 방식에 특별한 사양이 요구되지 않는 한 수동 역율 개선 회로를 사용하는 것이 더 높은 가격 및 품질 경쟁력을 확보할 수 있다.

참고 문헌

[1] Y.S Youn, G. Chae and G.H Cho "A unity power factor electronic ballast for florescent lamp having improved valley boost converter" IEEE PESC97 Record pp53-59,1997

[2] Y.S Youn, G Chae and G.H Cho "High power factor correction circuit for low-cost self-excited electronic ballast" KIEE pp1423-31,1998

[3] K.Kit Sum "Improved valley-fill passive power factor correction current shaper approaches IEC specification limits" DCIM FEB. 1998

[4] H,Khera, luwala and S.A.EI-Hamamsy "Modified valley fill high power factor electronics ballast for compact florescent lamps" IEEE PESC pp 10-14, 1995

[5] Wei Chen, Fred, C.Lee "An improved charge pump electronic ballast with low THD and low crest factor" IEEE transactions on power electronic Vol 12 No 5 Sep. 1997

[6] J,spangler B.Hussian and A.K.Behera "Electronic ballast using power factor correction techniques for loads greater than 300watts" IEEE APEC 91 Record pp393-399 1991