

論文98-35S-8-12

DVCR용 ATF (Automatic Track Following) 블록의 새로운 설계

(A New Design of an ATF Block for DVCRs)

趙誠一*, 金成旭*, 河仁重*, 金廷泰**, 羅日柱**

(Seong-Il Cho, Sung-Wook Kim, In-Joong Ha, Jeong-Tae Kim, and Il-Ju Na)

요 약

최근에 영상 및 음성 데이터의 양은 크게 증가하고 있다. 이러한 경향에 따라 고밀도 자기기록 시스템이 필요하게 되었고 테이프의 트랙은 더욱 더 좁아지게 되었다. 따라서 DVCR(digital video cassette recorder)에서는 재생시에 캡스탄 모터의 속도와 위상을 정밀하게 제어하여, 헤드가 트랙을 따라 정확하게 주행하도록 유지시켜주는 캡스탄 서보시스템이 필요하게 되었다. 이를 위하여 DVCR에서는 ATF(Automatic Track Following) 방식을 사용한다. 본 논문에서는 이산 푸리에 변환(discrete Fourier transform)을 이용한 새로운 DVCR용 ATF 블록의 설계방법을 제안하였다. 제안한 ATF 블록을 ALTERA사의 FPGA에 구현하여 실제 DVCR 시스템에서 그 성능을 시험하였다. 실험을 통하여 본 논문에서 제안한 방식이 기존의 디지털 저역통과 필터(lowpass filter)를 사용한 구현법에 비해 비용면에서 더 효과적임을 검증하였다. 또한 로직게이트 수가 기존의 방법에 비하여 약 20% 감소함을 확인하였다.

Abstract

Recently, the amount of image and audio data has been increasing dramatically for high performance. According to this trend, a high-density magnetic recording system is necessitated and the tracks of magnetic tapes are getting narrower. This, in turn, requires the capstan servo system of the magnetic recording system such as DVCR to control precisely the speed and position of the capstan motor. Especially, in case of play-back, the capstan servo system should be able to position and maintain the head on the desired place of the track. To meet this requirement, digital camcorders use ATF (Automatic Track Following). In this paper, a new ATF block using discrete Fourier transform is proposed. The proposed ATF block was designed and implemented in ALTERA FPGA chips and fully tested in a real DVCR system. It is shown through experiments that the new ATF block is more cost-effective than other existing ATF blocks using digital lowpass filters. In particular, the number of logic gates can be reduced by 20% in average, compared to the existing ATF's.

I. 서 론

디지털 VCR(이하 DVCR)은 기존의 아날로그 VCR에 비하여 화질과 음질이 우수할 뿐 아니라, 소형, 경량화, 장시간 기록 등의 특징과, 복사나 재생을

반복해도 품질의 저하가 없이 유지되는 커다란 장점이 있다^[1]. 그러나, 고품질을 얻기 위해서는 많은 양의 데이터가 필요하게 되고, 이는 테이프 소모량의 증가의 원인이 된다. 테이프 소모량의 증가는 특히 가정용 제품에서는 가격 면에서 영향을 끼치므로 중요한 문제

* 正會員, 서울대학교 電氣工學部
(School of Elec. Eng., Seoul National Univ.)

** 正會員, 三星電子 技術總括 멀티미디어研究所
(Samsung Electronics Co., Corporate Technical

Operations, Multimedia Lab.)

※ 이 연구는 1996년도 공업기반기술개발사업의 연구
개발 결과임.

接受日字: 1997년5월23일, 수정완료일: 1998년7월18일

가 된다. 이러한 문제를 해결하기 위한 방법으로 여러 가지가 제안되었으나 크게 두가지로 나눌 수 있다^[2]^[3]. 하나는 비디오 신호의 양을 줄이는 방법으로 비디오 신호의 반복부분(redundancy)을 효과적으로 줄여서 기록되는 전체 데이터의 양을 줄이는 것이다.

다른 하나는 고밀도 기록 기술의 개발이다. 이것은 기록되는 테이프의 트랙 피치(track pitch)를 좁게 하여 같은 길이의 테이프에 많은 양의 데이터를 기록할 수 있게 하는 것이다. 이러한 고밀도 헵트랙으로부터 고성능의 재생과 편집을 하기 위해서는 드럼, 캡스탄 서보 시스템의 정밀한 제어가 필요하게 되고, 특히 트랙추종오차 신호를 생성하는 ATF 블록의 정밀한 설계 및 구현이 선행되어야 한다.

II. ATF의 동작원리

DVCR에서 재생 헤드를 지정된 트랙 위에 위치시키고 주행하도록 유지시켜 주기 위해서는 헤드의 위치를 정확히 알아야 한다^[4]. 헤드의 위치 신호를 기록하는 방법에는 시간 다중 방법(time multiplex technique)과 주파수 다중 방법(frequency multiplex technique)으로 나눌 수 있는데, ATF 방식은 주파수 다중 방법을 사용한다.

ATF 방식에서 위치 신호는 파일럿 트랙킹 톤(pilot tracking tone)에 의해 결정되며, 이 신호는 영상신호에 비해 낮은 주파수 영역에 24-25 변조되어 트랙에 기록된다^[5]. DVCR에서는 파일럿 트랙킹 톤으로 465kHz, 697.5kHz 주파수 성분을 가지는 신호를 사용하고, 각각을 f_1, f_2 라 한다.

파일럿 트랙킹 톤을 이용하여 헤드의 트랙추종오차 신호를 얻는 동작원리는 다음과 같다. 먼저 기록할 때에 영상 신호와 함께 파일럿 트랙킹 톤을 그림 1과 같은 순서로 기록한다. 그림에서 F1, F2 트랙은 각각 f_1 과 f_2 주파수가 기록된 트랙이고, F0 트랙은 주파수 성분이 기록되지 않은 트랙을 나타낸다^[6]. 헤드의 폭이 트랙의 폭보다 크므로 헤드가 F0 트랙을 재생(play-back)할 때 검출되는 신호에는 인접 트랙의 주파수 성분이 포함되어 있다. 헤드가 트랙을 정확히 추종하게 되면 검출되는 주파수 성분의 크기가 같게 되고, 헤드가 특정한 방향으로 트랙을 벗어나게 되면 검출되는 주파수 성분 중에서 벗어난 쪽의 성분은 커지

고 다른 성분은 작아지게 된다. 따라서 검출된 두개의 주파수 성분의 크기의 차이는 헤드가 주행해야 할 트랙에서 벗어난 정도를 알려주는 오차 신호가 된다. 테이프에는 F1, F2 트랙이 반복되므로 트랙을 벗어난 방향에 대한 정보도 필요하게 되는데, 이는 F1, F2 트랙을 재생할 때 얻어진다. 즉, F1 또는 F2 트랙을 재생할 때에는 인접 트랙이 F0이므로 주행하고 있는 트랙에 따라 f_1, f_2 성분 중에서 하나만이 검출된다. 따라서 F0 주행시의 트랙을 벗어난 방향은, 바로 전에 주행한 트랙의 성분에 따라 결정된다. 이와 같이 생성된 오차 신호는 제어용 마이콤으로 입력이 되어 주행 중인 테이프의 속도를 적절히 가·감속함으로써 지정된 트랙을 정확히 추종할 수 있게 한다. 그림 2는 제어가 잘 되고 있을 때의 트랙킹 오차 신호와 헤드 전환 신호를 나타낸다.

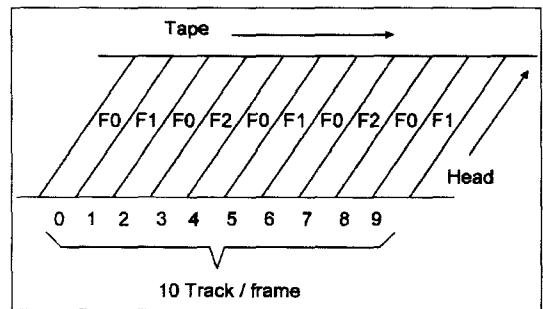


그림 1. 테이프의 기록패턴과 파일럿 트랙킹 톤
Fig. 1. Tape recording pattern and pilot tracking tone.

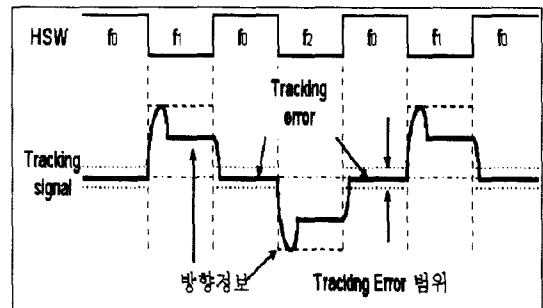


그림 2. 헤드 전환 신호와 트랙킹 오차 신호
Fig. 2. Head switching and tracking error signals.

III. 기존의 ATF 블록

기존의 ATF 블록을 구현하는 방법으로는 아날로그

대역통과필터(bandpass filter)를 이용하는 방법과 디지털 저역통과필터(lowpass filter)를 이용하는 방법 등이 알려져 있다^[7].

첫째 방법은 아날로그 소자로 f_1, f_2 주파수를 중심 주파수로 갖는 대역통과필터를 구현하여 이용하는 방법이다. 동작원리는 재생신호로부터 필요한 두개의 주파수 성분만을 대역통과필터를 통해 얻고, 정류 회로를 거쳐서 차동증폭기로 증폭하여 트래킹 오차를 구하는 것이다. 그러나, 이 방법은 구성 소자들이 아날로그 소자이므로 온도 등의 주위 환경변화에 따라 특성이 변하게 된다. 이러한 소자의 특성 변화는 중심주파수의 변화를 가져와 전체적인 ATF 블록의 성능저하의 원인이 된다. 따라서 이를 극복하기 위한 중심주파수 보정회로 등의 부가회로를 필요로 하게 되어 하드웨어 크기가 커지게 되고 IC(integrated circuit)화가 어렵게 된다^[7].

둘째 방법은 IC화가 가능한 방법으로 재생신호를 AD(analog to digital) 변환하여 주파수 검출부분을 디지털 회로로 구현한 것이다. 동작원리는 그림 3에 나타나 있는데, 재생신호를 AD 변환하고 변조하여 필터를 통과시킨 후, 산술연산을 통하여 두 개의 주파수 성분을 검출하는 것이다^{[7] [8]}. 디지털 필터는 주파수 변조를 이용하여 대역통과필터대신에 구현이 간단한 저역통과필터로 대체된다.

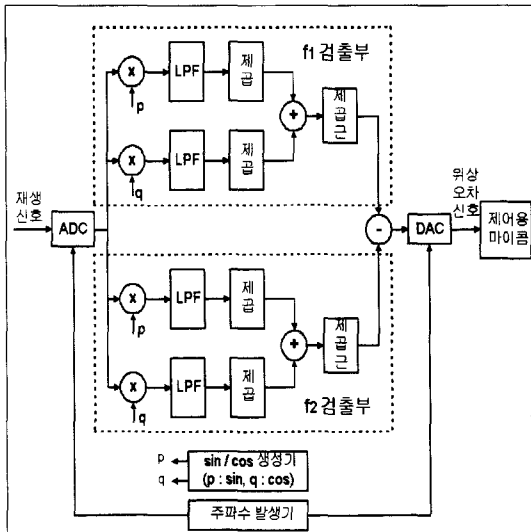


그림 3. 기존의 디지털 방식의 ATF 블록의 구성도
Fig. 3. Block diagram of a conventional ATF.

DVCR에서 ATF 블록은 독립적으로 하나의 칩으

로 구현되기보다는 다른 기능의 블록과 함께 통합되어 구현되는 것이 일반적이다. 이것은 동일한 기능의 중복을 막기 위해서이다. 따라서 ATF 블록의 로직게이트수의 증가는 통합된 ASIC 구현시에 문제를 가져오므로, 디지털로 구현이 가능하고 기존의 디지털 구현법과 동일한 성능을 내면서도 로직게이트 개수가 적은 새로운 방법이 필요하게 된다.

IV. 제안하는 ATF 블록

본 논문에서는 기존의 디지털 구현법과 동일한 성능을 가지면서 구현면에서 더 효과적인 DFT(discrete Fourier transform)를 이용한 새로운 디지털 구현법을 제안한다.

헤드로부터의 재생신호를 $x(t)$ 라 하고, AD 샘플링된 신호를 $x_s[n]$ 이라고 하자. 그림 4와 같이 연속적으로 입력되는 $x_s[n]$ 을 순서대로 N 개씩 묶어서 유한 구간을 갖는 이산시간 신호인 $x_i[n]$ 으로 생각한다. 그림 4에서는 $x_i[n]$ 을 입력 신호의 순서에 따라 $x_1[n], x_2[n]$ 등으로 나타내었다. 각각의 $x_i[n]$ 을 $x[n]$ 이라고 한 주기가 $x[n]$ 에 해당하는 주기가 N 인 신호 $\hat{x}[n]$ 을 생각한다.

$$\hat{x}[n] = x[n] \quad , \quad 0 \leq n \leq N-1 \quad (1)$$

$x[n]$ 의 DFT를 구하면 식 (2)와 같다^[8].

$$\begin{aligned} \hat{X}(k) &= \frac{1}{N} \sum_{n=0}^{N-1} x[n] e^{-jk(2\pi/N)n} \\ k &= 0, 1, \dots, N-1 \end{aligned} \quad (2)$$

식(2)에서 특정한 주파수 성분의 크기를 다음의 식에 의해 계산한다.

$$|\hat{X}(k)| = \sqrt{\text{Re}\{\hat{X}(k)\}^2 + \text{Im}\{\hat{X}(k)\}^2} \quad (3.a)$$

$$\text{Re}\{\hat{X}(k)\} = \frac{1}{N} \sum_{n=0}^{N-1} x[n] \cos kn \frac{2\pi}{N} \quad (3.b)$$

$$\text{Im}\{\hat{X}(k)\} = -\frac{1}{N} \sum_{n=0}^{N-1} x[n] \sin kn \frac{2\pi}{N} \quad (3.c)$$

식 (3)에서 k 와 N 의 비를 적당히 선택하면 원하는 주파수 성분의 크기를 구할 수 있다. 샘플링 주파수가 f_s , 원하는 주파수가 f_n 일 때, 이를 위한 k 와 N 의 비와 f_n 과 f_s 의 관계는 식 (4)와 같다.

$$\frac{k}{N} = \frac{f_n}{f_s} \tag{4}$$

구현된 시스템에서 f_n 은 465kHz와 697.5kHz이므로, f_s 는 2.79MHz로 선택하여 k 와 N 의 비는 각각 1:6과 1:4로 한다. 다른 정수비보다 이러한 비율로 택하면 $\sin kn \frac{2\pi}{N}$ 의 값은 n 에 따라 0, 1, 0, -1, 0, ... 을 가지게 되고 $\cos kn \frac{2\pi}{N}$ 의 값은 $1, \frac{\sqrt{3}}{2}, -\frac{\sqrt{3}}{2}, 0, -\frac{\sqrt{3}}{2}, \frac{\sqrt{3}}{2}, 1, \dots$ 을 가지게 되어 하드웨어의 구현이 용이하게 된다.^[7]

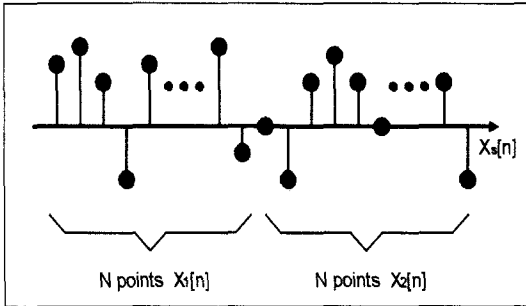


그림 4. $x_s[n]$ 과 $x_i[n]$ 의 관계
Fig. 4. Relation between $x_s[n]$ and $x_i[n]$.

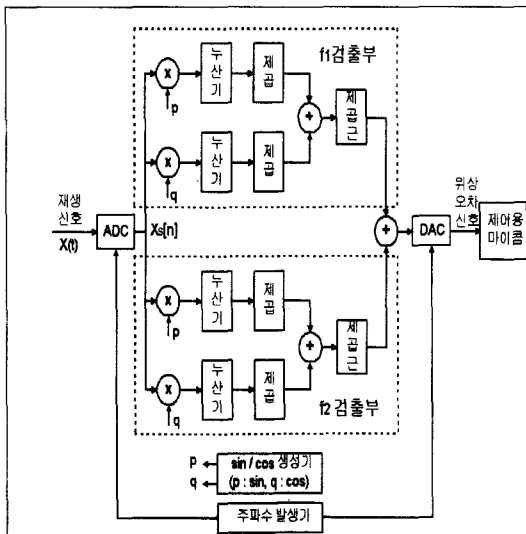


그림 5. 제안하는 방법의 블록도
Fig. 5. Proposed ATF block diagram.

구현된 두개의 주파수 성분을 얻는 방법의 블록도는 그림 5와 같다. 각 부분의 기능을 요약하면, 주파수 발생기에서는 41.85MHz를 입력으로 받아 ADC(analog

to digital converter), DAC(digital to analog converter)의 샘플링 주파수인 2.79MHz를 발생시킨다. 입력된 $x_s[n]$ 은 \sin/\cos 생성기에서 만들어진 $\sin kn \frac{2\pi}{N}$, $\cos kn \frac{2\pi}{N}$ 과 곱해지는데, 이 과정까지는 기존의 방법과 동일하다. 곱해진 신호는 누산기에서 순서대로 N 개씩 더해지는데 N 개가 더해지는 동안의 출력은 이전의 N 개로 구해진 값에 대한 출력을 유지한다. 누산기의 출력으로 제곱, 제곱근 연산을 통해서 식(3.a)과 같이 검출하고자 하는 주파수 성분의 크기를 구한다. 동일한 과정을 다른 하나의 주파수 성분에 대해서도 구하고, 두 주파수 성분의 크기의 차를 DAC로 변환하여, 서보제어 마이콤에 오차 신호로 입력한다.

제안된 방법과 기존의 디지털 구현법의 차이점은 다음과 같다.

첫째, 제안된 방법의 블록도(그림 5)와 기존의 디지털 구현법의 블록도(그림 3)를 비교하여 보면, 디지털 필터 부분이 누산기로 바뀌어져 구현되었고 다른 부분은 동일함을 알 수 있다. 기존의 디지털 구현법의 경우에는 필터 구현의 방법에 따라 로직게이트의 수가 달라질 수 있지만, 일반적으로 가장 간단히 구현할 수 있는 IIR(infinite impulse response) Butterworth 필터의 경우에도 단순한 누산기보다는 로직게이트 수가 많아지게 된다. 예를 들면 1차의 IIR 필터의 경우에도 계수와 입력데이터와의 곱셈연산이 필요하게 되는데, 로직게이트 수를 줄이기 위해서 필터 계수의 값을 적절히 선택하여 구현을 간단히 해도 입력데이터에 대해 덧셈연산이 한 번 일어나는 누산기에 비하여 로직게이트의 수가 많아지게 된다. 또한 계수와 곱셈을 ROM으로 구현하는 경우에도 누산기에 비하여 로직게이트의 수가 증가하게 된다.

표 1. ALTERA FPGA 구현시의 로직게이트 개수

Table 1. Number of logic gates in ALTERA FPGA implementation.

	주파수 발생부	정현파생 성부	필터/ 누산기	제곱	제곱근
기존의 방법	130	2542	9524	5022	4023
제안하는방법	130	2542	5344	5022	4023

ATF 블록에서 필터부는 동일하게 4개가 존재하므로, 이 부분을 제안하는 방법으로 바꿈으로써 로직게

이트의 수를 크게 줄일 수 있다. 표 1에는 기존의 방법과 제안하는 방법을 ALTERA FLEX8000 FPGA로 구현하였을 때의 로직게이트의 개수가 블록별로 나타나 있다. 기존의 방법은 가장 간단한 1차의 IIR Butterworth 필터로 구현한 것이다. 표 1에서 디지털 필터/누산기 부분에서 현저하게 게이트 수가 감소됨을 알 수 있다.

둘째, 기존의 디지털 구현법은 입력값에 대하여 출력이 즉시 나오지만, 제안하는 방법에서는 전체 ATF 블록의 출력이 입력 신호에 대하여 지연되어 나오게 된다. 이는 누산기의 출력이 N 개의 입력 데이터를 더하는 동안에는 이전의 N 개를 가지고 구했던 값을 유지하기 때문이다. 출력의 지연은 (AD 샘플링 주기) $\times N$ 이므로, N 의 값의 증가에 따라 늘어난다. AD 샘플링 주기는 약 358ns이고 서보제어 마이콤의 제어 주기는 약 1ms이다. 따라서 N 은 제어 주기를 고려하여 약 2800개 이하에서 구현해야 한다. 그러나 실제 구현 시에는 N 의 값을 ITI(insert and track information) 영역을 고려하여 정하는 것이 필요하다. 왜냐하면 ITI 영역은 트랙의 초반부에 위치하여 트랙 구조를 파악할 때 기준신호를 얻는 영역으로 f_1, f_2 주파수 성분을 가지도록 구성된 비트 스트림(bit stream)이 기록되어 있어서 주파수성분의 크기가 강하다^[1]. ITI 이외의 영역에서는 f_1, f_2 주파수 성분이 24-25 변조되어 기록되어 있어서, 주파수 성분의 세기가 ITI 영역에 비해 약하다. 따라서 ITI 영역에서의 오차 신호가 재생중의 캡스탄 위상제어에 중요하게 사용된다. 이 구간에서 헤드의 주행 시간은 재생시 약 82 μ s로서 2.79MHz 샘플링시에 약 230개의 입력 데이터를 얻을 수 있는 시간이다. 따라서 N 을 이 구간에서는 230보다 작게 하여 정확한 트랙킹 오차 정보를 얻을 수 있게 한다. 이는 2800에 비하여 상당히 작은 값이 되므로 전체 캡스탄 서보 시스템의 동작을 제어하는데는 영향이 없다.

셋째, 제안하는 방법의 특징은 더하는 데이터 개수인 N 을 제어용 마이콤에서 조절할 수 있게 된 것이다. 기존의 디지털 구현법은 디지털 필터의 구조가 고정되어 있으므로 ITI 영역에서는 위상오차신호를 효과적으로 얻을 수 있지만 편집시에는 ITI 영역이 아닌, 24-25 변조되어 기록된 부분에서 위상오차신호를 검출해야 하므로 신호가 작게 검출된다. 이에 반하여 제안하는 방법에서는 제어용 마이콤에서 ATF 블록에

필요에 따라 N 을 다르게 줄 수 있으므로 재생이나 편집할 때에, 보다 더 정확한 위상오차를 구하는 것이 가능한 구조이다.

V. 하드웨어 구현 및 실험결과

실험에 사용한 전체 DVCR 시스템의 구성도는 그림 6과 같다. 제안된 ATF 블록을 RTL(register transfer logic)-레벨의 Verilog-HDL로 설계하여 Synopsys사의 Design-Analyzer를 이용하여 로직 합성하였다. 이를 ALTERA사의 FLEX8000시리즈인 EPF81188GC232-3으로 구현하였다^{[9] [10]}. ADC, DAC는 각각 8비트, 10비트를 사용하였다. 또한 비교를 위하여 디지털 저역통과필터를 이용하는 기존의 방법도 Verilog-HDL로 설계하여 구현하였다. 구현된 저역통과필터의 차단 주파수는 7.05kHz이고, 1차의 IIR Butterworth 필터이다. 로직 합성된 각 구현법의 로직게이트의 수는 기존의 방법이 약 21,000이고, 제안된 방법이 약 17,000이다.

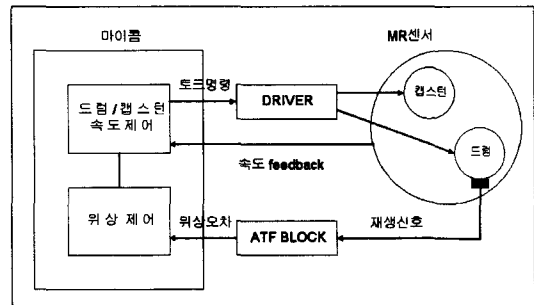
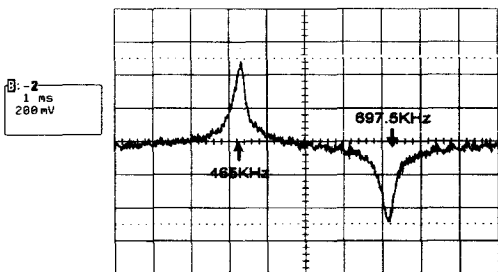


그림 6. DVCR 시스템의 구성도

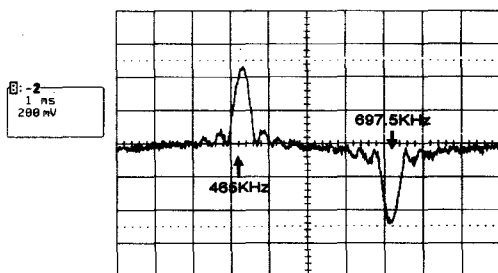
Fig. 6. Configuration of a typical DVCR system.

그림 7에서는 입력으로 280kHz부터 860kHz까지 변하는 일정한 진폭을 갖는 스위프(sweep)신호를 넣고, ATF 블록이 특정한 두 개의 주파수 성분의 크기의 차를 정확하게 검출하는 것을 알아본 결과이다. 실험 결과에서 465kHz 성분과 697.5kHz 성분이 선택적으로 검출되는 것을 확인할 수 있다. 그림 8은 구현된 ATF 블록을 실제 DVCR 시스템에 삽입하여 성능을 확인한 것으로 위에서부터 순서대로 헤드로부터 읽히는 재생 신호, 위상 오차 신호, 헤드 절환 신호를 나타낸다. 각각의 단위는 순서대로 50mV, 500mV, 5V이고 시간은 2ms이다. 그림에서 위상 오차 신호의 파형을

그림 2와 비교하여 보면 제어가 잘 되고 있음을 확인할 수 있다. 또한 실제 시스템에서 측정된 BER(bit error rate)값은 F1/F2 트랙에서는 1.9×10^{-5} , F0 트랙에서는 2.8×10^{-5} 의 값을 가져서, 규격인 1.0×10^{-4} 이하를 각각 만족하였다.



(a)



(b)

그림 7. 주파수 응답 특성

(a) 기존의 ATF (b) 제안된 ATF

Fig. 7. Frequency response.

(a) Conventional ATF (b) Proposed ATF



그림 8. DVCR 시스템에서 ATF오차 신호

Fig. 8. ATF signal in DVCR systems.

VI. 결 론

본 논문에서는 DFT를 이용한 DVCR용 ATF 블

록의 새로운 디지털 구현법을 제안하였다. 제안한 방법은 기존의 디지털 필터 구현의 복잡함과 로직게이트 개수의 증가라는 문제점을 누산기의 구현을 통하여 해결하였다. 성능비교를 위하여 제안한 방법과 기존의 방법을 RTL-레벨의 Verilog-HDL로 설계하고, 로직 합성하여 FPGA로 구현하였다. 구현된 ATF 블록을 실제 DVCR 시스템으로 실험하여 제안한 구현법이 기존의 디지털 구현법과 동일한 성능을 가지며 우수하게 동작함을 확인하였다. 이를 통하여 제안한 방법이 디지털 저역통과필터를 사용한 기존의 방법에 비해 ASIC 구현시에 더 간단하고, 로직게이트 수가 감소하여 비용면에서도 효과적임을 보였다.

참 고 문 헌

- [1] 박구만, "가정용 DVCR의 최신 기술 및 표준화 동향 -신호처리를 중심으로-", *전자공학회지*, vol.22, No.1, pp.76-86, Jan. 1995.
- [2] C. Yamamitsu, et al., "An Experimental Digital VCR for Consumer Use", *IEEE Trans. on Magnetics*, vol.31, No.2, pp. 1037-1043, Mar. 1995.
- [3] K. Mori, et al., "A Digital VCR Deck Mechanism using New Precision Actuators for High Density Recording", *IEEE Trans. on Consumer Electronics*, vol.39, No.3, pp.304-311, Aug. 1993.
- [4] K. A. S. Immink, "Signal-to-Noise Ratio of Pilot Tracking Tones Embedded in Binary Coded Signals", *IEEE Trans. on Magnetics*, vol.24, No.2, pp.2004-2009, Mar. 1988.
- [5] J. A. H. Kahlman and K. A. S. Immink, "Channel Code with Embedded Pilot Tracking Tones for DVCR", *IEEE Trans. on Consumer Electronics*, vol.41, No.1, pp.180-185, Feb. 1995.
- [6] F. Azadegan, et al., "Data-Placement Procedure for Multi-Speed Digital VCR", *IEEE Trans. on Consumer Electronics*, vol.40, No.3, pp.250-256, Aug., 1994.
- [7] 丸岡 智彦, 井阪 治夫 外, "Tracking 誤差檢出 裝置", *日本公開特許公報*, 特開平 6-282905, Oct., 1994.

[8] A. V. Oppenheim, A. S. Willsky and I. T. Young, *Signals and Systems*, Prentice Hall, 1993.

[9] R. Singh, R. Madhavan and Y. Trive,

Digital Design and Synthesis with Verilog HDL, Automata Publishing Co., 1993.

[10] *Verilog-XL Training Manual Ver. 2.2*, 1995.

저 자 소 개



趙誠一(正會員)

1993년 2월 서울대 공대 제어계측과 졸업. 1995년 2월 동대학원 제어계측과 졸업(석사). 현재 동대학원 제어계측과 박사과정



金成旭(正會員)

1995년 2월 서울대 공대 제어계측과 졸업. 1997년 2월 동대학원 제어계측과 졸업(석사). 현재 동대학원 전기공학부 박사과정



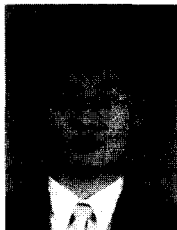
河仁重(正會員)

1973년 2월 서울대 공대 전자공학과 졸업. 1985년 미국 Univ. of Michigan 졸업(공학박사). 현재 서울대 공대 전기공학부 교수



金珽泰(正會員)

1989년 2월 서울대 공대 제어계측과 졸업. 1991년 2월 동대학원 제어계측과 졸업(석사). 현재 삼성전자 기술총괄 멀티미디어연구소 선임연구원



羅日柱(正會員)

1994년 2월 서울대 공대 제어계측과 졸업. 1996년 2월 동대학원 제어계측과 졸업(석사). 현재 삼성전자 기술총괄 멀티미디어연구소 전임연구원