

論文98-35S-8-3

# ATM 멀티캐스트 스위치에서 복사 네트워크의 셀 분배 알고리즘

## (A cell distribution algorithm of the copy network in ATM multicast switch)

李 沃 宰 \* , 田 炳 實 \*\*

(Ok Jae Lee and Byoung Sil Chon)

## 요 약

본 논문에서는 복사 네트워크의 멀티캐스트 셀을 적절하게 분배할 수 있는 새로운 분배 알고리즘을 제안한다. 합산기, 분배기, 가상 주소 부호기, 방송 네트워크가 이원적으로 구성된 복사 네트워크는 제안된 분배 알고리즘에 의하여 낮은 번지와 높은 번지가 양분되어 동시에 동작하기 때문에 입력된 셀이 균등하게 처리되어 셀 지연율과 입력 공정성이 개선되고 복잡도가 감소된다. 또한 방송 네트워크로 이진 트리와 Banyan 네트워크로 구성된 확장 Banyan 네트워크를 사용하여 오버플로우 발생 확률을 1/2로 감소 시킨다. 분석 결과 제안된 알고리즘은 입력 버퍼에서 셀 지연율이 확연하게 감소됨을 알 수 있었다.

## Abstract

In this paper, a new algorithm is proposed which distributes multicast cells in a copy network. The dual copy network is composed of running adder network, distributor, dummy address encoder, and broadcasting network. It is operated lower input address and higher one simultaneously by the distribution algorithm. As a result, for each input has a better equal opportunity of processing, cell delay and hardware complexity are reduced in copy network. Also, for it adopts the broadcasting network from an expansion Banyan network with binary tree and Banyan network, overflow probability is reduced to a half in that network. As a result of computer simulation, the copy network processed by the distribution algorithm is remarkably improved in cell delay of input buffer according to all input loads.

## I. 서 론

지금까지 ATM 스위치가 많이 연구되었고<sup>[1]</sup> 이를 모태로 동시에 단일의 원천지에서 다수의 목적지로 연결을 할 수 있는 멀티캐스트(multicast) 기능을 부가한 멀티캐스트 스위치가 출현하게 되었다. 멀티캐스트 스위치는 셀을 복사하는 방법에 의하여 크게 방송형태

와 멀티캐스트 트리 형태로 나눌 수 있다<sup>[2]</sup>. 전자 형태의 스위치는 셀 복사를 위하여 방송 매체를 사용하는 멀티캐스트 스위치에 비트 맵 주소 부여 구조가 부가된다. 반면에 후자 형태는 셀을 복사하기 위하여 Banyan 이나 omega 네트워크 등과 같은 이진(binary) 네트워크에서 멀티캐스트 트리를 생성하며 멀티캐스트되어야 할 주소대로 복사된 셀을 분리하는 복사 네트워크(copy network)와 복사된 셀을 목적지로 전송하는 점 대 점 스위치(point to point switch)의 조합으로 구성된다<sup>[3] [4]</sup>. 이와 같은 스위치에서는 입력에서 요구한 전체 셀 복사수가 출력 포트 수를 초과하여 발생한 오버플로우(overflow), 출력 경쟁으로

\* 正會員, 群山大學校

(Kunsan Nat'l Univ.)

\*\* 正會員, 全北大學校 工科學科

(Dept. of Elec. Eng., Chonbuk Nat'l Univ.)

接受日字: 1998年5月11日, 수정완료일: 1998年8月1日

인한 셀 지연 및 손실, 스위치의 복잡도, 오버플로우가 발생한 후 오버플로우된 셀들을 공정하게 처리하는 입력의 공정성(fairness) 등의 여러 가지 문제점을 효율적으로 해결할 수 있어야 한다.

Turner<sup>[5] [6] [7]</sup>의 스위치에서는 셀 지연 및 손실을 유발하는 내부 블로킹을 해결하기 위하여 스위칭 노드에 버퍼를 설치하여 해결하지만 트래픽이 증가하면 셀의 출력 경쟁으로 인한 성능이 감소된다. 셀 지연과 출력 경쟁으로 인한 성능 저하를 경감하기 위한 스위치가 제안되었지만<sup>[8]</sup> 복사 네트워크에서의 오버플로우가 발생할 경우 그의 해결 조건은 Turner의 스위치와 동일하다. 이로 인한 셀 손실을 해결하기 위한 다른 접근 방법으로 3 단계 경쟁 해결 알고리즘<sup>[9]</sup>과 back-pressure 메카니즘<sup>[10]</sup>이 제안되었으나 복사 네트워크 입력 포트의 트래픽이 일정하지 않을 경우, 버퍼의 오버플로우로 인한 급격한 성능 저하의 가능성을 배제하지 못한다. 출력 경쟁의 문제점을 해결하기 위한 또 하나의 개념은 셀이 반복적인 네트워크를 서너 번 통과하게 하는 방법<sup>[11] [12] [13]</sup>이 제안되었으나 서로 다른 시간 슬롯의 셀과 충돌을 일으키고, 마스터 셀에서 복사된 셀들이 서로 다른 시간 슬롯에 도착하는 단점을 가지고 있다.

스위치 내부의 경로수를 증가하여 셀 손실을 경감하기 위한 expanded delta 네트워크<sup>[14]</sup>와 Tandem Banyan Switch Fabric<sup>[15]</sup>을 제안하였으나 이들은 출력 충돌을 경감할 수는 있으나 복잡도가 매우 증가하는 단점을 가지고 있다.

스위칭 노드에서 셀 손실 및 지연을 방지하기 위하여 입력단에서 복사될 셀의 수를 미리 조절할 수 있는 네트워크가 Tony T. Lee에 의하여 제안되었다<sup>[3]</sup>. 이 네트워크는 내부의 출력 경쟁으로 인한 성능 저하는 발생하지 않지만 복사할 셀의 합계가 복사 네트워크의 출력 포트의 수를 초과하는 오버플로우가 발생할 경우 입력단 셀 지연이 발생된다. 또한 HOL(Head of Line) 블로킹이 발생할 경우 오버플로우된 셀들은 다음 시간 슬롯에서 다른 셀보다 먼저 처리되어야 할 공정성(fairness)이 확보되어야 한다. 이와 같은 문제를 해결하기 위한 방법들이 제시되었는데<sup>[16] [17] [18]</sup> 이들은 부분적인 해결은 되지만 근본적인 해결책은 되지 못하며, 대규모 시스템으로 확장될 경우 높은 번지로 입력된 셀은 상대적으로 대기시간이 늘어나 HOL 경쟁에 의한 셀 지연이 발생한다.

복사 네트워크에서 오버플로우된 셀의 처리는 대규모 시스템으로 확장될 경우를 가정하여 입력단에서 조절하는 방법이 효율적이다. 왜냐하면, 스위치 내부에 버퍼를 설치하여 이를 해결하는 방법은 입력 트래픽이 불규칙적일 경우 셀 지연과 셀 충돌의 가능성과 이로 인한 스위치 성능이 저하될 가능성이 높다. 반면에 입력단에서 조절하는 방식은 셀 지연은 발생하지만 스위치의 성능 저하가 발생할 확률이 감소되고 흐름 제어에 필요한 정보를 입력단에서 일률적으로 얻을 수 있다는 장점이 있기 때문이다.

따라서 본 논문에서는 이전에 제안하였던 ATM 스위치<sup>[19]</sup>를 기반으로 입력된 셀을 입력단에서 조절하는 이원적(dual) 복사 네트워크의 셀 분배 알고리즘을 제안한다. 복사 네트워크는 입력단을 양분하여 낮은 번지부터 셀 합계를 처리하는 하향식과 높은 번지부터 셀 합계를 처리하는 상향식으로 구성되고 이들을 동시에 처리한다. 이와 같이 동시에 처리된 셀들은 제안된 분배 알고리즘에 의하여 적절하게 분배되기 때문에 입력 처리의 우선권이 단일 구조보다 균등화되고, 오버플로우가 발생한 포트를 다음 시간 슬롯에서 새로운 시작점으로 설정하기 때문에 입력 셀 지연율과 공정성이 개선된다. 또한 방송 네트워크(broadcasting network)로 확장 Banyan 네트워크(expansion Banyan network)를 사용하여 오버플로우 발생확률을 감소시키고 이원적 구조로 인한 복잡도(complexity)가 감소된다.

## II. 복사 네트워크에서 셀 분배 알고리즘

복사 네트워크는 멀티캐스트 되어야 할 목적지 수 만큼 셀을 복사하는 네트워크로서 합산 네트워크(RAN: running adder network), 분배기(distributor), 가상 주소 부호기(DAE: dummy address encoder), 방송 네트워크(broadcasting network)로 구성된다. 합산 네트워크에서 누산된 셀들은 분배기의 분배 알고리즘에 의하여 분배되기 때문에 어느 한 곳으로 집중되지 않아 멀티캐스트 스위치의 특성에 적합하다. 분배된 셀들은 가상 주소 부호기에서 부호화되고 방송 네트워크에서 셀 분리 알고리즘(cell splitting algorithm)<sup>[3]</sup>에 의하여 복사되는 복호화 과정을 거쳐 최종 목적지로 전송된다.

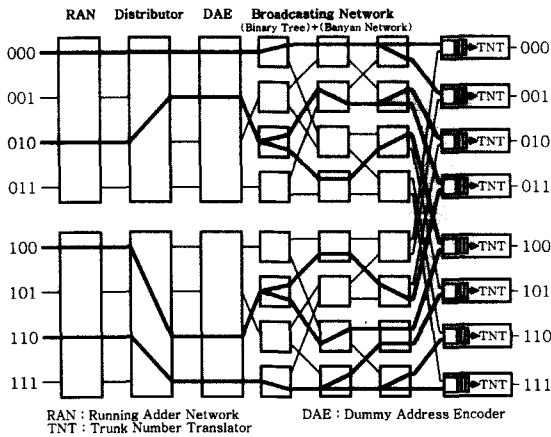


그림 1. 제안된 복사 네트워크(8x8)  
Fig. 1. The proposed copy network(8x8).

방송 네트워크는 한 단(1 stage)의 이진 트리(binary tree)와 Banyan 네트워크로 구성된 확장 Banyan 네트워크이므로 네트워크 독자 경로수가 2배로 증가하여 오버플로우 발생확률이 감소된다. 확장 Banyan 네트워크의 토폴로지 특성은 Banyan 네트워크와 동일하여 그의 특성을 그대로 가지고 있다. 그림 1에서 제안된 8x8 복사 네트워크를 개략적으로 보여 주고 있다.

1. 합산 네트워크

합산 네트워크의 구조는 낮은 번지에서 높은 번지로 연산을 하는 하향식(top-down)과 높은 번지에서 낮은 번지로 연산을 하는 상향식(bottom-up)이 서로 이원적 형태로 동시에 동작할 수 있도록 이루어진다. 각 합산 네트워크는 전체 입력이  $N$ 일 경우 각각  $(N/2) \log_2(N/2)$  노드를 가지고  $\log_2(N/2)$  스테이지로 구성된다. 이원적 구조의 합산 네트워크는 상·하 네트워크가 동시에 동작하여 각 입력 포트에서 요구한 복사될 셀의 수를 누산한다. 합산 네트워크는 2x1 합산 소자로 구성되고, 동작은 합산 소자의 입력을 A, B 출력력을 C라고 하면, 상단 입력 A의 요구된 셀 복사 합  $RS_A$ (running sum)와 하단 입력 B의 셀 복사 합  $RS_B$ 를 더하여 출력  $RS_C$ 로 내보낸다.

입력  $N=8$ 인 경우, 상단과 하단의 입력이 각각  $N/2$ 인 이원적 구조의 합산 네트워크가 그림 2에 표현되어 있다. 각 포트에 입력되는 셀들은 입력 포트 번호를 표현하는 입력 번지수(SA: Source Address), 각 포트에서 요구한 복사될 셀의 수를 표현하는 복사

수(CN: Copy Number)의 헤더 정보를 가지고 있다.

하향식 합산 네트워크를 구성하는 소자 상호간의 결선은 소자 하단의 입력이 분기하여 다음 입력 포트 소자의 상단으로 입력된다. 스테이지 번호를  $k$ 라 하고 이를 좌측에서 우측으로 0, 1, 2, ... 이라면, 상단에서 분기한 입력의 결선 규칙은  $2^k$ 번째 아래의 소자 상단으로 입력이 된다. 하향식 합산 네트워크는 각 입력 포트의 셀 복사의 합을 위에서 아래로, 상향식은 밑에서 위로 누적 합산을 하는데 각 누적 합산 네트워크는 동시에 동작한다. 따라서  $S(u, v)$ 는  $u$  번째에서  $v$  번째 입력까지 각 입력 포트에서 요구한 셀 복사수를 누적 합산한 결과이다. 또한 각 합산 네트워크는 그림 2에서의 같이 상호 순환(cyclic) 형태로 연결되어 임의의 입력 포트까지의 셀 복사 합이 오버플로우일 경우, 다음에 위치한 분배기에 의하여 다음 시간 슬롯에서는 오버플로우가 발생한 입력 포트가 새로운 연산의 시작점으로 설정된다. 각 합산 네트워크의 시작점은 오버플로우가 발생되지 않으면 시작점이 동일하지만 오버플로우가 발생되면 오버플로우가 발생한 포트가 다음 시간 슬롯의 새로운 시작점으로 변경된다. 상단과 하단의 출력력을 각각  $s(i), s(j), i, j$  번째 입력 번지에서 요청한 셀 복사수(copy number)를  $c(i), c(j)$  라면, 하향식 합산 네트워크의 경우는 식 (1), 상향식은 식 (2)와 같다.

$$s(i) = c(0) + c(1) + \dots + c(i) \tag{1}$$

$$s(j) = c(N-1) + c(N-2) + \dots + c(j) \tag{2}$$

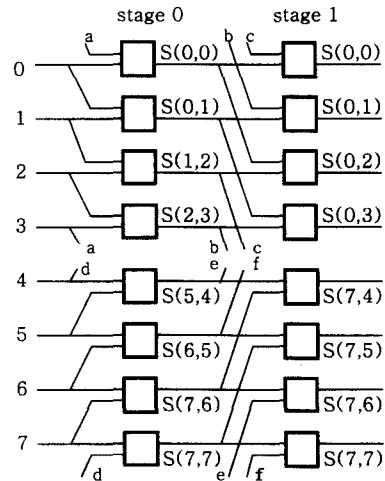


그림 2. 합산 네트워크(8x8)  
Fig. 2. The running adder network(8x8).

2. 분배기

분배기는 입력이  $N$ 일 경우  $N/2$ 으로 양분되어 그림 3과 같이 상단과 하단으로 구성되고 상단 분배기 소자들의 하단 출력은 하단 분배기의 상단 출력과 상호 결합이 되어 분배 알고리즘에 의하여 동작한다. 또한 각 분배 소자는 이에 상응한 입력 포트로 오버플로우 된 셀을 케환할 수 있도록 각 입력 포트와 연결이 되어 있다. RAN에서 출력된 셀들은 분배되기 전에 셀의 집중화가 이루어지는데 이는 불활성(inactive) 입력이 존재할 경우와 RAN에서 시작점이 변경될 경우 방송 네트워크에서 내부 블로킹(internal blocking)을 미연에 방지하기 위함이다. 셀의 집중화는 그림 3의 화살표 방향에 의하여 상단은 낮은 번지 방향으로, 하단은 높은 번지 방향으로 집중화를 실시하며 인접한 포트의 셀 복사합의 수를 상호 비교하여 셀 복사합의 수가 동일할 경우에는 입력 중간에 불활성 입력이 존재하는 경우이므로 다음 포트의 셀 복사합을 삭제하면서 집중화를 실시한다.

셀 분배 과정은 합산 네트워크가 상호 동시에 동작하는 동안 어느 한쪽 네트워크에서 셀 복사의 오버플로우가 발생하고 다른 쪽 합산 네트워크에 오버플로우가 발생하지 않을 경우 이루어지며 오버플로우가 발생한 분배기에서 다른 쪽 분배기로 셀을 분배한다. 셀의 분배 과정에서 셀 복사합이 전체 출력 포트의 수를 초과하거나, 불활성 입력 포트가 존재하지 않아 더 이상 진행되지 못할 때에는 케환(feed back)을 통하여 입력 포트로 셀을 케환시켜 다음 시간 슬롯에서 처리한다.

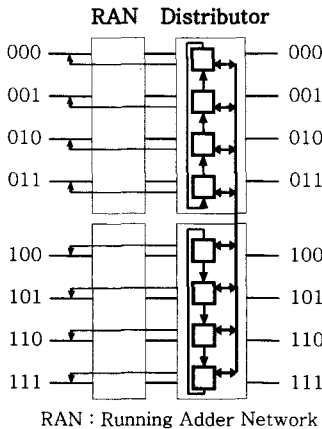


그림 3. 분배기의 구조  
Fig. 3. The architecture of the distributor.

분배기에서 누적 합산된 셀을 처리할 때 각 단의 누적 복사 합에 따라 분배가 서로 다르게 이루어지며 다음과 같은 3 가지 경우가 발생한다.

- 1) 상·하단 분배기 모두에 오버플로우가 발생하지 않을 경우
- 2) 상·하단 분배기중 어느 한 곳에만 오버플로우가 발생할 경우
- 3) 상·하단 분배기 모두에 오버플로우가 발생할 경우

구체적인 셀 분배 알고리즘을 살펴보기 위하여 다음과 같은 값을 정의한다.

$N$  : 입력 및 출력 포트 수

$i$  : 상단 시작점 기준으로  $\{0, \dots, (N/2-1)\}$ 중 RS가 있는 마지막 번호

$j$  : 하단 시작점 기준으로  $\{0, \dots, (N/2-1)\}$ 중 RS가 있는 마지막 번호

$s(i)$  :  $i$  번째 포트에서 누적 복사 합(running sum)

$c(i)$  :  $i$  번째 포트에서 셀 요구 복사수  
( $c(i) = s(i) - s(i-1)$ )

$ps(i)$  : 분배기에서 처리된 누적 복사합(processed sum number)

$fx(i)$  : 처리되지 않고 입력 포트로 케환될  $c(i)$  값

1)의 경우에는  $s(i) \leq N$  이고  $s(j) \leq N$  일 경우로서 상단과 하단 분배기에서 처리된 셀 수는 각각 식 (3), 식 (4)와 같다

$$ps(i) = s(i) \tag{3}$$

$$ps(j) = s(j) \tag{4}$$

2)의 경우에는 상단과 하단 분배기중 어느 한 곳에서 오버플로우가 발생할 경우이므로 다음과 같은 두 가지 경우가 발생한다.

(a)  $s(i) > N$  이고  $s(j) < N$

(b)  $s(i) < N$  이고  $s(j) > N$

(a)의 경우에는 상단 분배기  $i$  번째 포트에서 오버플로우가 발생하고 하단 분배기에서는 오버플로우가 발생되지 않아 상단 분배기로 입력된 셀 복사수 일부를 하단 분배기로 분배하여 복사할 수 있는 경우이다. 이 때에는 상단 분배기  $i$  번째 포트에서 오버플로우된 복사 수를 하단 분배기  $j+1$  번째 포트에 분배하여 처리할 수 있는 경우는 하단 분배기에 입력이 없는 불활성 포트가 존재할 경우 즉,  $N/2 - j + 1 \neq 0$ 일 경우에만 가능하고 불활성 포트가 존재하지 않을 경우에는



3. 가상 주소 부호기

합산 네트워크에서 누적 합산된 RS 값은 방송 네트워크에서 원하는 목적지 주소 수만큼 셀을 복사하기 위하여 가상 주소 부호기에서 주소를 부호화한다. 가상으로 부호화된 셀들은 방송 네트워크의 가상적인 목적지로 복사되고 트렁크 번호 번역기에서 실질적인 목적지 주소로 번역되어 전송된다. 가상 주소 부호화 과정은 누적 합산한 셀 복사 수를 기초로 각 입력 포트에서 요구한 복사수 만큼 가상적인 주소로 할당된다. 이 할당된 가상 주소들을 가상 주소 간격(DAI: dummy address interval)이라고 하며, 이 간격은 최소(min) 수와 최대(max) 수로 표현되고, 최소 수와 동일한 값으로 설정된 색인 참조(IR: index reference) 값이 생성된다. 색인 참조는 트렁크 번호 번역기에서 실질적인 목적지로 번역될 때 번역의 기준이 된다. 따라서 부호화 과정은 IR, min, max의 새로운 필드를 만드는 과정이다. 가상 주소 부호기를 구성하고 있는 소자는 2x1 부호기 소자로서 상단 가상 주소 부호기는 위로 인접한 누적 복사합인  $s(i-1)$ 를 이용하여  $s(i)$ 의, 하단 가상 주소 부호기는 아래로 인접한 누적 복사 합인  $s(i+1)$ 를 이용하여  $s(i)$ 의 가상적인 번지수의 집합을 구한다.

하향식과 상향식 가상 주소 부호기 소자가 새로운 헤더를 형성하는 부호화 과정을 그림 6에서 보여 주고 있다.

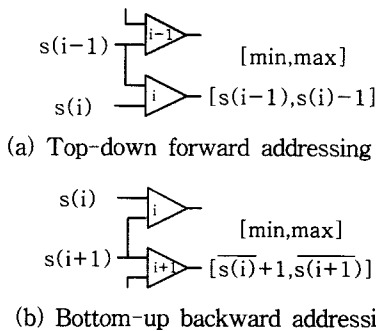


그림 6. 가상 주소 부호 소자의 부호화 과정  
Fig. 6. The encoding process of a DAE's element.

그림 6의 (a)의 경우는 누적 복사 합이 낮은 입력 번지에서 높은 입력 번지 방향으로 동작하게 하는 하향식으로서, 부호화 과정은 방송 네트워크의 낮은 출력 번지부터 가상 주소를 부여하는 순방향 주소 부여(forward addressing) 방식이다. (b)의 경우는 누적

복사 합을 높은 입력 번지에서 낮은 입력 번지 방향으로 동작하는 상향식으로서 부호화 과정은 높은 출력 번지부터 가상 주소를 부여하는 역방향 주소 부여(backward addressing) 방식이다.

방송 네트워크의 입력 포트의 수가  $N$ 이라고 가정하면, 상단 가상 주소 부호기의 경우는 0 번 포트부터 시작하여 가상적인 주소를 부여하는 순방향 주소부여 방식으로 처리되므로 0 번지에서부터  $(N/2-1)$ 번지까지 min, max 이진 비트 시퀀스를 발생한다.

$$\begin{aligned} & \{ 0, s(0)-1 \}, \\ & \{ s(0), s(1)-1 \}, \\ & \quad \vdots \\ & \{ s(N/2-2), s(N/2-1)-1 \} \end{aligned} \quad (17)$$

위에서 표현한 min과 max의 값을 각각 1의 보수 즉, 모든 1은 0으로, 모든 0은 1로 변환하고 min과 max의 위치를 서로 바꾸면 새로운 이진 시퀀스가 발생되는데 이것이 바로 하향식 가상 주소 부호기의 역방향 주소 부여 방식이다.  $s(i)$ 의 1의 보수를  $\overline{s(i)}$ 라고 표현하면 이것에 대한 min과 max의 값은 다음과 같다.

$$\begin{aligned} & \{ \overline{s(0)}+1, \overline{0} \}, \\ & \{ \overline{s(1)}+1, \overline{s(0)} \}, \\ & \quad \vdots \\ & \{ \overline{s(N/2-1)}+1, \overline{s(N/2-2)} \} \end{aligned} \quad (18)$$

이와 같은 방식으로  $(N-1)$  번지에서  $N/2$  번지까지 하단 가상 주소 부호기가 마지막 포트부터 주소를 부여하는 상향식 역방향 주소부여 방식으로 동작하는 것을 살펴보면 다음과 같다.

$$\begin{aligned} & \{ \overline{s(N-1)}+1, N-1 \}, \\ & \{ \overline{s(N-2)}+1, \overline{s(N-1)} \}, \\ & \quad \vdots \\ & \{ \overline{s(N/2)}+1, \overline{s(N/2+1)} \} \end{aligned} \quad (19)$$

제안된 이원적 구조에서는 방송 네트워크가 확장 Banyan 네트워크이기 때문에 출력 경로수  $M=2N$  형태이므로 입력  $N=8$ 일 경우 상단과 하단의 입력은 각각 4이지만 상단과 하단의 출력은 각각 8이므로 입력의 2 배에 해당하는 셀을 부호화한다. 이 경우 부호화 과정과 그 결과가 그림 7에 표현되어 있다.

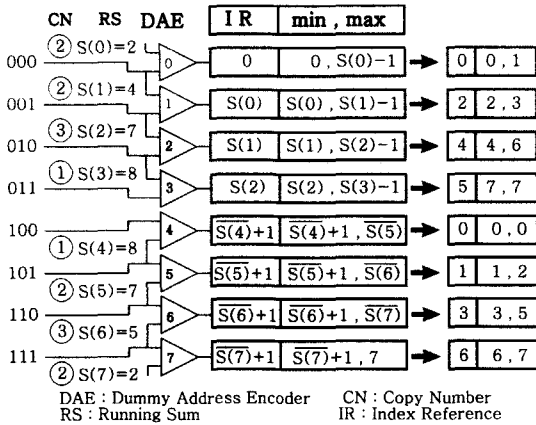


그림 7. 가상 주소 부호화 과정(8x8)  
Fig. 7. A dummy address encoding process(8x8).

III. 분석 및 결과

본 장에서는 제안된 분배 알고리즘에 대한 분석과 성능 평가를 실시한다. 이원적 복사 네트워크는 분배 알고리즘에 의하여 단일 구조와 동일하게 동작하면서 셀 지연율이 감소되고 입력된 셀을 상·하 양쪽에서 처리하기 때문에 셀 처리의 우선 순위가 균등하게 처리되어 입력 공정성(input fairness)이 개선되는 장점을 가지고 있다. 또한 방송 네트워크로 확장 Banyan 네트워크를 사용하였기 때문에 오버플로우가 Banyan 네트워크를 사용한 것 보다 1/2로 경감되고 같은 규모를 이원적 구조로 구성할 경우 복잡도가 표 1과 같이 감소된다.

표 1. RAN과 BN의 스테이지와 소자 수  
Table 1. The number of stage and element in RAN and BN.

		stages	elements
RAN	single(Lee)	$\log_2 N$	$N \log_2 N$
	dual(proposed)	$\log_2(N/2)$	$N \log_2(N/2)$
BN	single Banyan	$\log_2 N$	$(N/2) \log_2 N$
	dual Banyan	$\log_2(N/2)$	$(N/2) \log_2(N/2)$
	single E-Banyan	$\log_2 2N$	$N \log_2 2N$
	dual E-Banyan	$\log_2 N$	$N \log_2 N$

복사 네트워크는 Lee의 스위치에 기초한 것이기 때문에 스위치 내부에서의 블로킹은 발생하지 않고, 입력된 블로킹으로 인한 셀 지연과 입력 공정성이 문제가 된다. 오버플로우가 발생할 경우 오버플로우가 발생한 입력 포트의 셀은 분배 알고리즘에 의하여 입력

단으로 전환되어 다음 시간 슬롯에서 처리되기 때문에 이로 인한 입력 버퍼에서의 셀 지연율이 단일 구조보다 감소된다. 단일 구조와 분배 알고리즘에 의한 이원적 구조에서 각각 오버플로우가 발생할 경우 입력 버퍼에 도착한 셀들이 버퍼에서 대기한 대기 시간을 측정하여 셀 지연율을 관찰한다. 셀 지연은 오버플로우 발생 확률과 셀 분리로 인한 전환에 영향을 받으므로 모든 경우에 대하여 분석을 실시한다.

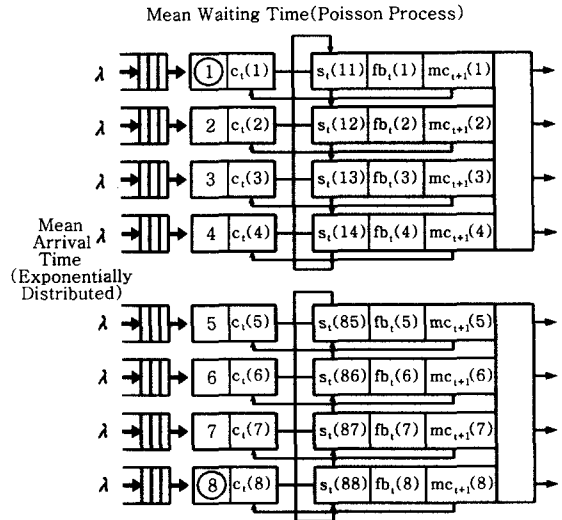


그림 8. 셀 지연 분석을 위한 시뮬레이션 모델  
Fig. 8. The simulation model for analysis of cell delay.

그림 8의 시뮬레이션 모델을 설명하면 입력 노드  $i$ 는 1에서 8까지로 구성되고 이원적으로 양분된 각 단의 시작점은 원으로서 표시된다. 시간 슬롯  $t$ 에서 셀 요구 복사수의 합이 출력 노드의 수를 초과한 오버플로우가 발생할 경우  $t+1$  시간 슬롯에서는 호 분리에 의한 새로운 시작점이 형성된다.  $t$  시간 슬롯의  $i$  번째 입력 노드에서 셀의 요구 복사수를  $c_i(i)$  (requested copy number)라고 하고,  $s_i(u, v)$ 는  $u$  번째 노드에서  $v$  번째 노드까지의 요구 복사수  $c_i(i)$ 를 합산기(adder)가 합한 결과이다.  $t$  시간 슬롯 동안에  $s_i(u, v)$ 와 출력 노드의 수를 비교하여  $s_i(u, v)$ 가 출력 노드의 수를 초과하지 않을 때까지 셀을 처리하고  $s_i(u, v)$ 가 출력 노드의 수를 초과할 경우에는  $t+1$  시간 슬롯에서 셀을 처리한다.  $s_i(u, v)$ 가 출력 노드의 수를 초과한 경우  $i$  번째 입력 노드에서 초과한 요구 복사수를  $fb_i(i)$ (feed back copy number)라고 한다.

$fb(i)$ 가 생성되면  $t+1$  시간 슬롯에서 새로운 시작점이 형성되고  $i$  번째 입력 노드의 새로운 시작점에서 요구 복사수는  $t$  시간 슬롯에서 처리되지 않은 나머지 셀 요구 복사수로 형성되는데 이를  $mc_{t+1}(i)$  (make copy number)라고 한다. 이와 같은 과정이 일정한 시간 슬롯 동안 반복하여 순환적(rotation)으로 발생되는데, 이 과정 동안 입력 노드로 셀이 입력될 때 입력 버퍼에서 셀이 처리되기 까지 대기하는 시간을 분석하여 셀의 평균 지연율을 측정한다.

분석을 간단화 하기 위하여 복사 네트워크에 입력되는 셀들은 모든 입력 포트에 균일하게 분포되며, 각 입력 포트에 입력되는 셀들의 프로세스는 도착률  $\lambda$ 를 가지고 있는 지수함수 분포에 따른다고 가정한다. 또한 입력 버퍼의 크기를 무한하다고 가정하여 제안된 복사 네트워크의 분석을 근사화한다. 멀티캐스트 셀의 요구 복사수는 입력 버퍼의 HOL 위치에서 포이송(Poisson) 분포를 갖는 독립적인 랜덤 변수라고 가정한다. 이로 인하여 입력 버퍼에서 셀의 평균 대기 시간 또한 포이송 분포에 따른다.

시뮬레이션에서 평균 셀 지연율은 입력 부하 변동에 따라 주어진 시간( $10^6$  시간 슬롯)에 대한 입력 버퍼에서 셀이 처리되기까지의 평균 대기시간을 합한 비율로 표현된다. 입력 부하  $\rho$ 는 셀이 도착되는 평균 도착 시간의 역인 도착률에 의하여 복사 네트워크의 입력 버퍼 동작은 매 시간 슬롯마다 셀이 처리되는 것으로 가정한다. 시뮬레이션은 8x8인 경우 기존 단일 구조(single Banyan)인 Lee의 복사 네트워크와 제안된 구조인 이원적 복사 네트워크의 평균 셀 지연율을 상호 비교하며 모든 구조에서 오버플로우가 발생할 경우 셀 분리가 이루어진다고 가정한다. 제안된 구조와 확실한 비교를 위하여 Lee의 Banyan 네트워크를 동일한 규모의 제안된 이원적 구조로 사용할 경우를 가정한 경우(dual Banyan)와 본 논문에서 제안한 이원적 확장 Banyan 네트워크를 사용하는 경우(expansion Banyan Network)로 나누어서 시뮬레이션을 시행한다. 세 가지 구조에서 각각의 입력 버퍼에서 평균 대기 시간을 입력 부하에 따라 평균 요구 복사수를 변화시키면서 평균 셀 지연율을 상호 비교한다.

각 입력 포트에서 평균 셀 요구 복사수가 각각 1, 2, 3, 4, 5, 6, 7, 8의 경우에 입력 부하  $\rho=0.1, 0.3, 0.5, 0.7, 0.95$ 일 경우 세 구조의 평균 셀 지연율을 비

교하여 보았다. 분석 결과  $\rho=0.1$ 인 경우 다소 차이는 있지만 모든 요구 복사수에 대하여 세 구조 모두 단위 셀 지연율 내에서 처리되었다. 최대 요구 복사수가 8인 경우 셀 지연율은 기존 구조에서 0.4275인 반면에 제안된 구조는 0.1762로 상당히 개선됨을 그림 9에서 보여주고 있다. 그림 10에서  $\rho=0.3$ 인 경우의 셀 지연율을 보여 주고 있으며 제안된 구조에서는 모든 요구 복사수에 대하여 단위 셀 지연율 내에서 처리되지만 기존 구조는 요구 복사수가 약 3.8부터 오버플로우가 발생됨을 알 수 있고 기존 구조를 이원적으로 구성하였을 경우 요구 복사수 4.75에서 오버플로우가 발생하여 이원적 구조가 단일 구조보다 셀 지연율이 개선됨을 알 수 있다. 그림 11의  $\rho=0.5$ 인 경우에는 제안된 확장 Banyan 네트워크와 확연한 차이를 보여주고 있으며 요구 복사수가 4인 경우에는 각 입력 포트의 셀 요구 복사수가 전체 출력 포트의 50%를 점유한 형태이므로 상당한 과부하 상태라고 볼 수 있다. 그러나 제안된 구조는 셀 지연율 0.555에서 처리되는 반면에 기존 구조는 1.8002, 기존 구조를 이원적으로 변경할 경우 1.449에서 처리되고 이원적 확장 Banyan 네트워크를 사용할 경우에는 평균 셀 지연율이 약 3.2배 개선됨을 알 수 있다.  $\rho=0.7$ 인 경우의 셀 지연율은 그림 12에 표현되어 있다. 그림 13은 거의 매 시간 슬롯마다 각 입력 포트에 셀이 입력되는  $\rho=0.95$ 인 극단적인 경우이며 제안된 구조에서는 요구 복사수가 2인 경우 단위 셀 지연율을 초과하고 요구 복사수 8인 경우를 살펴보면 평균 셀 지연율은 5이지만 기존 구조는 셀 지연율 7에서 처리됨을 알 수 있다.

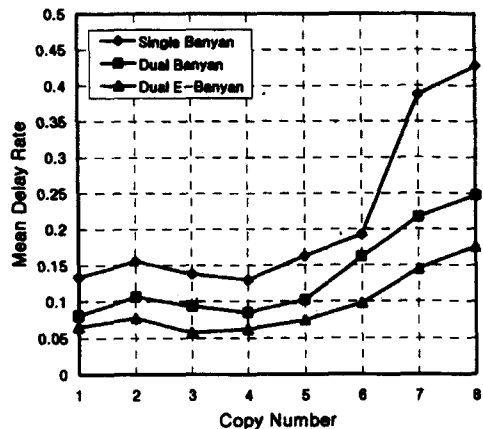


그림 9. 입력 버퍼에서 평균 지연율( $\rho=0.1$ )  
Fig. 9. The mean delay rate in input buffer( $\rho=0.1$ ).



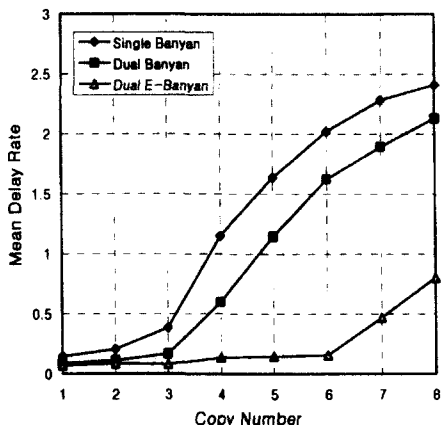


그림 10. 입력 버퍼에서 평균 지연율 ( $\rho=0.3$ )  
 Fig. 10. The mean delay rate in input buffer( $\rho=0.3$ ).

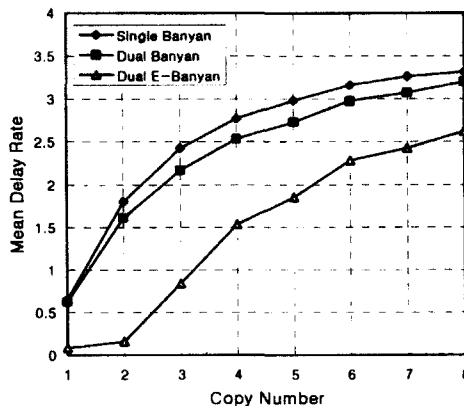


그림 12. 입력 버퍼에서 평균 지연율 ( $\rho=0.7$ )  
 Fig. 12. The mean delay rate in input buffer( $\rho=0.7$ )/

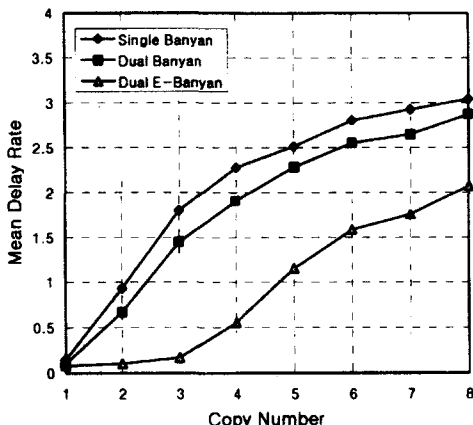


그림 11. 입력 버퍼에서 평균 지연율 ( $\rho=0.5$ )  
 Fig. 11. The mean delay rate in input buffer( $\rho=0.5$ ).

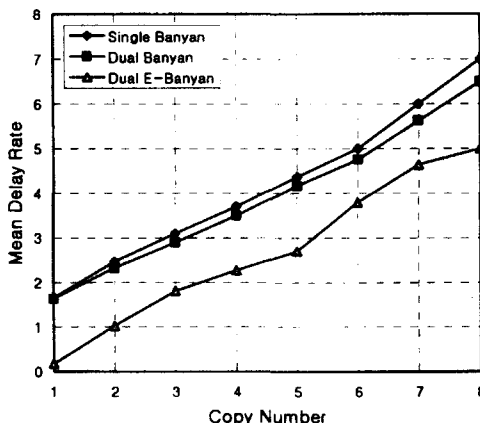


그림 13. 입력 버퍼에서 평균 지연율 ( $\rho=0.95$ )  
 Fig. 13. The mean delay rate in input buffer( $\rho=0.95$ ).

따라서 복사 네트워크를 이원적 확장 Banyan 네트워크로 구성할 경우 모든 입력 부하에 대하여 평균 셀 지연율이 개선되고 입력 공정성이 단일 구조보다 균등하여 멀티캐스트 스위치에 효율적임을 알 수 있다.

#### IV. 결론

본 논문에서는 분배 알고리즘에 의하여 동작한 이원적 복사 네트워크를 제안하였다. 복사 네트워크의 성능은 복사를 요구한 셀의 복사합이 복사 네트워크의 출력 포트 수보다 많을 경우 발생하는 오버플로우에 영향을 받는다. 기존 스위치들은 복사된 셀을 처리하

는 방법에 따라 입력단에서 복사될 셀들을 일률적으로 제어하는 방법과 복사 네트워크 내부 스위칭 노드에 버퍼를 설치하여 이를 해결하는 방법으로 구분되었다. 입력단에서 제어하는 방법은 주로 입력단 버퍼에서 셀 지연율이 발생하였고, 스위치 내부에서 해결하는 방법은 출력 경쟁에 의한 셀 지연율이 문제가 되었다. 기존 스위치들을 분석한 결과 입력단 제어 방식은 대규모 시스템으로 확장을 할 경우 입력단 셀의 공정한 처리 방법만 해결된다면 많은 장점을 가지고 있음을 알 수 있었다. 입력 공정성을 개선할 수 있는 방법은 기존의 구조에서 개선은 어렵기 때문에 입력을 양분하여 처리할 수 있는 이원적 구조를 제안하여 이의 성능을

분석하였다. 성능 분석은 입력 버퍼에서 평균 셀 지연율을 기존 단일 구조와 제안된 구조를 비교하였으며 제안된 구조에서는 방송 네트워크를 Banyan 네트워크를 사용할 경우와 확장 Banyan 네트워크를 사용할 경우로 나누어서 시행하였다. 분석 결과 기존 구조 보다 제안된 구조가 모든 입력 부하 변동 범위에서 셀 지연율이 확연하게 감소되었다.

앞으로 연구되어야 할 사항은 실제 시스템 환경 하에서 일어날 수 있는 비 균일 트래픽 환경에서 입력단의 셀 지연율 분석이 이루어져야 하고, 다원적 구조로 확장할 경우 오버플로우 발생 및 셀 지연 감소와 방송 네트워크 복잡도를 고려하기 위하여 실제 셀 복사 요구 수의 트래픽 분포가 분석되어야 할 것이다.

#### 참 고 문 헌

- [1] H. Ahmadi and W. E. Denzel, "A survey of modern high-performance switching techniques," *IEEE J. Select. Areas Commun.*, vol 7, pp. 1091-1103, Sept. 1989.
- [2] H. Jonathan Chao and Byeong-Seog Choe, "Design and Analysis of a large-scale multicast output buffered ATM switch," *IEEE ATM Development and Applications Selected Readings*, pp. 121-133, 1996.
- [3] T. T. Lee, "Non-blocking copy networks for multicast packet switching," *IEEE J. Select. Areas Commun.*, pp. 1455-1467, Dec. 1988.
- [4] W. D. Zhong et al., "A copy network with shared buffers for large-scale multicast ATM switching," *IEEE/ACM Trans. Network.*, vol. 1, no. 2, Apr. 1993.
- [5] J. S. Turner, "Design of a broadcast packet switching network," *IEEE Trans. Commun.*, vol. 36, June 1988.
- [6] J. S. Turner, "Design of a broadcast packet network," in *Proc. INFOCOM'86*, pp. 667-675, Apr. 1986.
- [7] J. S. Turner, "A practical version of Lee's multicast switch architecture," *IEEE Trans. Commun.* vol. 41, no. 8, Aug. 1993.
- [8] Chong-Kwon Kim, "Performance analysis of a duplex multicast switch," *IEEE Trans. Commun.* vol. 40 no. 10, Oct. 1992.
- [9] T. T. Lee, R. Boorsys, and E. Arthurs, "The architecture of a multicast broadband packet switch," in *Proc. IEEE INFOCOM'88*, pp. 1-8. 1988.
- [10] R. Y. Awdeh and H. T. Mouftah, "The expanded Delta fast packet switch," *IEEE Intl. Conf. commun.* pp. 397-401, May 1994.
- [11] J. S. Turner, "An optimal nonblocking multicast virtual circuit switch," *Technical Report WUCS93-47*, Washinton university Computer Science Department, 1993.
- [12] C. S. Raghavendra, X. Chen, and V. Kumar, "A two-phased multicast routing algorithm in self-routing multistage network," in *IEEE Intl. Conf. Commun.* 1995.
- [13] Chin-Tau Lea, "A multicast broadband packet switch," *IEEE Trans. Commun.* vol. 41, no. 4, pp. 621-630, Apr. 1993.
- [14] R. Venkateswaran and C. S. Raghavendra, "Multicast switch based on Tandem Expanded Delta network," in *IEEE Intl. Conf. Commun.* 1995.
- [15] F. A. Tobagi, T. Kwok, and F. M. Chiussi, "Architecture, performance, and Implementation of the Tandem Banyan fast packet switch," *IEEE J. Select. Areas Commun.* vol. 9 no. 8, pp. 1173-1193, Oct. 1991.
- [16] C. J. Chang and C. J. Ring, "Overall controller in copy network of broadband Packet switch," *Electron. Lett.* vol. 27, no. 11, pp. 937-939, May 1991.
- [17] T. H. Lee and S. J. Liu, "A fair high-speed copy network for multicast packet switch," in *Proc. IEEE INFOCOM'92*, Florence, Italy, vol. 2, pp. 886-894, May 1992.
- [18] Jae W. Byun and Tony T. Lee, "The design and analysis of an ATM multicast switch with adaptive traffic controller," *IEEE/ACM Trans. Networking*, vol. 2, no. 3, pp. 288-298, June 1994.
- [19] 정진태, 이옥재, 전병실, "ATM 교환 시스템의 성능 향상을 위한 새로운 셀 스위치 구조 연구,"

전자공학회 논문지-S, 제34권, S편, 제3호, 3.

1997.

저 자 소 개



李 沃 宰(正會員)

1986년 2월 전북대학교 전자공학과 (공학사). 1994년 8월 전북대학교 전자공학과(공학석사). 1998년 2월 전북대학교 전자공학과(공학박사).

1986년 8월 ~ 1998년 현재 군산대학교 근무. 주관심분야는 지능망, 가상사설망, ATM Switching Network



田 炳 實(正會員)

1967년 2월 전북대학교 전자공학과 (공학사). 1969년 2월 전북대학교 전자공학과(공학석사). 1974년 2월 전북대학교 전자공학과(공학박사).

1971년 ~ 1998년 현재 전북대학교 전자공학과 교수. 1979년 ~ 1980년 미국 University Nortre Dame 객원교수. 1984년 ~ 1985년 전북대학교 전자계산소 소장. 1994년 ~ 1995년 전북대학교 도서관장. 1998년 4월 ~ 1998년 현재 전북대학교 전기전자회로합성연구소 소장. 주관심분야는 병렬처리 컴퓨터, Interconnection Network, ATM 교환기술, ATM 트래픽 제어, ATM ASIC