

확장된 스캔 경로 구조의 성능 평가에 관한 연구

손 우 정*

A Study on the Performance Analysis of an Extended Scan Path Architecture

Woo-Jung Son*

요 약

본 논문에서는 다중 보드를 시험하기 위한 새로운 구조인 확장된 스캔 경로(ESP: Extended Scan Path) 구조를 제안한다. 보드를 시험하기 위한 기존의 구조로는 단일 스캔 경로와 다중 스캔 경로가 있다. 단일 스캔 경로 구조는 시험 데이터의 전송 경로인 스캔 경로가 하나로 연결되므로 스캔 경로가 단락이나 개방으로 결함이 생기면 나머지 스캔 경로에 올바른 시험 데이터를 입력할 수 없다. 다중 스캔 경로 구조는 다중 보드 시험 시 보드마다 별도의 신호선이 추가된다. 그러므로 기존의 두 구조는 다중 보드 시험에는 부적절하다. 제안된 ESP 구조를 단일 스캔 경로 구조와 비교하면, 스캔 경로 상에 결함이 발생하더라도 그 결함은 하나의 스캔 경로에만 한정되어 다른 스캔 경로의 시험 데이터에는 영향을 주지 않는다. 뿐만 아니라, 비스트 (BIST: Built In Self Test)와 IEEE 1149.1 경계면 스캔 시험을 병렬로 수행함으로써 시험에 소요되는 시간을 단축한다. 본 논문에서는 제안한 ESP 구조와 기존 시험 구조의 성능을 비교하기 위해서 수치적 비교를 한다.

Abstract

In this paper, we propose a ESP(Extended Scan Path) architecture for multi-board testing. The conventional architectures for board testing are single scan path and multi-scan path. In the single scan path architecture, the scan path for test data is just one chain. If the scan path is faulty due to short or open, the test data is not valid. In the multi-scan path architecture, there are additional signals in multi-board testing. So conventional architectures are not adopted to multi-board testing. In the case of the ESP architecture, even though scan path is either short or open, it doesn't affect remaining other scan paths. As a result of executing parallel BIST and IEEE 1149.1 boundary scan test by using the proposed ESP architecture, we observed that the test time is short compared with the single scan path architecture. By comparing the ESP architecture with single scan path responding to independency of scan path, test time and with multi-scan path responding to signal, synchronization, we showed that the architecture has improved results.

* 대구전문대학 전자계산과 조교수

논문접수 : 98.4.22 심사완료 : 98.6.10

I. 서론

최근에 와서 회로는 VLSI 설계 기술의 발전과 새로운 생산 공정 기술로 인해 집적도가 증가하고 있다. 이러한 집적도의 증가는 회로의 부피를 더욱 축소시키므로 기존의 인서킷(in-circuit) 방법으로는 시험이 어렵게 되었다. 그러므로 이러한 문제를 해결하기 위하여 하드웨어 설계 초기에 시험을 고려한 설계 기법인 DFT(Design For Testability)의 연구가 활발하게 진행되고 있다[1-3]. 특히, IEEE 1149.1 경계면 스캔 구조[4,5]는 복잡한 칩이나 보드의 시험에 유용하게 사용된다. IEEE 1149.1 경계면 스캔 구조는 대상 회로의 모든 입력 및 출력단에 경계면 스캔 레지스터(BSR: Boundary Scan Register)를 두어 이들을 스캔 경로로 연결시킴으로써, 외부에서부터 관측 및 제어를 한다. IEEE에서는 보드를 시험하는 구조로서 단일 스캔 경로[2,4,5]와 다중 스캔 경로[6,7]를 제시하였다. 단일 스캔 경로 구조와 다중 스캔 경로 구조는 시험의 여러 분야에 응용되고 있다[8,9,10]. 그러나 단일 스캔 경로 구조와 다중 스캔 경로 구조는 이러한 문제점 때문에 다중 보드 시험에는 적합하지 않다. 본 논문은 단일 스캔 경로 구조와 다중 스캔 경로 구조를 혼합하여 다중 보드 시험에 적합한 ESP 제어기를 설계하고 이를 위한 시험 절차를 제안한다. ESP 구조는 단일 스캔 경로 구조와는 달리 스캔 경로 상에 결합이 발생하더라도 그 결합은 하나의 스캔 경로에만 한정되어 다른 스캔 경로의 시험 데이터에는 영향을 주지 않는다.

본 논문의 구성은 다음과 같다. 2장에서는 IEEE 1149.1 경계면 스캔 구조와 ESP 구조를 설명한다. 3장에서는 ESP 구조와 단일 및 다중 스캔 경로 구조와 수치적으로 분석한다. 마지막으로 4장에서 결론을 맺는다.

II. 기존의 보드 시험 구조

1. IEEE 1149.1 경계면 스캔 구조

IEEE 1149.1 경계면 스캔 구조는 기존의 탐침판 (bed of nails)을 직접 연결하여 사용하던 인서킷

(in-circuit) 시험의 문제점을 해결하기 위해서 탐침판없이, 내부에 시험 메카니즘을 구성하고 외부선만을 이용하여 시험한다. IEEE 1149.1 경계면 스캔 구조[4]는 TAP 제어기 (TAPC: Test Access Port Controller), 명령어 레지스터 (IR: Instruction Register), 시험 데이터 레지스터 (TDR: Test Data Register)의 3가지 핵심요소로 구성된다. TAP 제어기는 TAP의 입력 신호[4]들인 TMS(Test Mode Select), TCK(Test Clock), 그리고 TRST*(Test Reset)를 받아 명령어 레지스터와 시험 데이터 레지스터에 필요한 클럭과 제어 신호를 발생한다. 명령어 레지스터에는 수행될 명령어가 적재된다. 시험 데이터 레지스터에는 시험에 필요한 데이터나 조건값이 적재된다.

IEEE 1149.1 경계면 스캔 구조를 가지는 칩 및 보드를 시험하는 구조에는 단일 스캔 경로와 다중 스캔 경로가 있다. 그러나 두 구조가 다중 보드 시험에는 부적절하다. 그러므로 본 논문에서는 다중 보드를 시험하기 위한 ESP 구조와 시험 절차를 제안한다.

2. ESP의 기본 구조

ESP 구조는 다중 보드 시험을 위해서 ESP 제어기와 시스템의 시험 버스를 연결한다. 다중 보드 시험을 위한 ESP 구조는 TDI, TCK, TMS, TRST* 그리고 TDO 신호선을 사용한다. 이 신호선은 모든 보드에서 공통으로 사용하는 버스 구조로서, 보드가 제거되거나 스캔 경로상의 결합이 발생하더라도 전체 보드에는 영향을 주지 않는다. 다중 보드 시험을 위한 ESP 제어기와 시스템 버스의 구성도는 1과 같다.

3. ESP 제어기의 구성요소

ESP 제어기는 INSTRUCTION, TAP 제어기, PATH_CONFIG, ADDRESS, BYPASS, MUX, TMS_CONTROL, SWITCH 블록으로 구성되며 각 블록은 다음과 같다. INSTRUCTION 블록은 ESP 제어기에서 사용하는 명령어가 입력되는 명령어 레지스터이다. TAP 제어기 블록은 IEEE 1149.1 경계

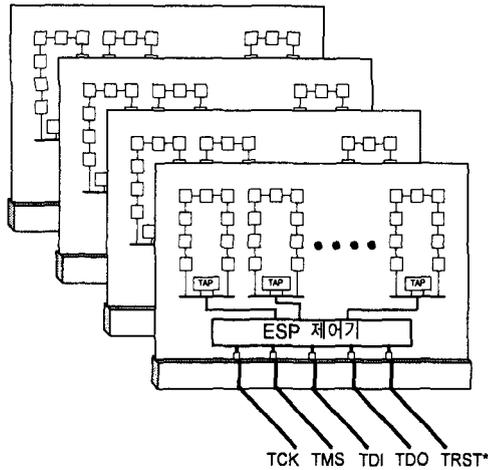


Fig 1. ESP architecture

면 스캔 구조의 TAP 제어기를 그대로 사용한다. PATH_CONFIG 블록은 선택되어진 보드에 대해 스캔 경로를 구성한다. ADDRESS 블록은 시험할 보드의 주소를 받아서 보드 선택 여부를 결정한다. BYPASS 블록은 자신을 보드 시험을 위한 시험 데이터의 이동경로로서 이용한다. MUX 블록은, 경로의 모든 데이터가 하나의 직렬경로를 사용하므로 신호들을 하나씩 선택하여 출력한다.

TMS_CONTROL 블록은 IEEE 1149.1 경계면 스캔 시험과 비스트를 동시에 수행하기 위해 스캔 경

로 구성을 결정하는 PATH_CONFIG 블록의 출력을 받아 스캔 경로를 연결한다.

III. ESP 구조와 기존 구조의 비교

1. 단일 스캔 경로 구조 방법에 의한 비교

ESP 구조와 단일 스캔 경로 구조를 비교하기 위해서, 그림 2와 같이 M개의 보드 시험에서 N개의 대상 회로에 대한 단일 스캔 경로 구조를 모델링한다. 이 모델링에서는 스캔 경로의 무결성 시험의 수행 후부터 수행 시간을 비교한다. 시험은 인테스트, 익스테스트, 런비스트, 바이패스 명령어를 이용하여, 대상 회로의 내부와 상호 연결선을 시험하는 절차를 모델링하였다. 시험은 인테스트와 런비스트 시험을 병렬로 수행한 후, 익스테스트 시험을 하는 절차이며, 시험 수행 시간의 단위는 클럭 수로 모델링한다.

단일 스캔 경로 구조에서 k개 대상 회로에 대한 인테스트 시험은 식 (1)과 같다.

$$Intest\ Times_{Ptotal} = Intest\ IP\ Times_{Ptotal} + Intest\ TP\ Times_{Ptotal} \quad (1)$$

여기서, $Intest\ IP\ Times_{Ptotal}$ 항은 단일 스캔 경로 구조에서 k개 대상 회로의 명령어 레지스터에 인테스트 명령어를 적재하는데 소요되는 시간의 합을 나타낸다. $Intest\ TP\ Times_{Ptotal}$ 항은 k개 대상

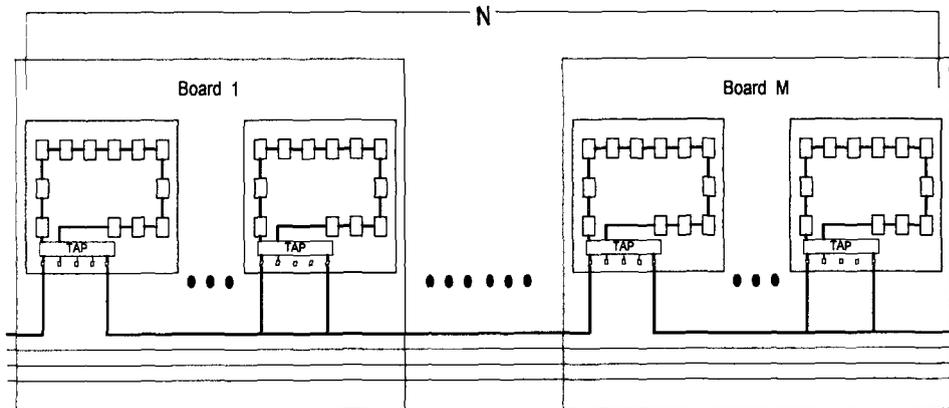


Fig 2. Model of single scan path architecture for multi board test
로의 TMS 신호를 조절한다. SWITCH 블록은 스캔 회로에 인테스트 시험을 위한 시험 패턴을 입출력

하는데 소요되는 총 시간을 나타낸다. 이 항은 식 (2)와 같이 함수로써 표현된다.

$$Intest\ TP\ Times_{Ptotal} = f(In, Out, No) \quad (2)$$

여기서, In 은 대상 회로의 입력 신호선 수를 나타낸다. Out 은 대상 회로의 출력 신호선 수를 나타낸다. No 는 대상 회로에 인가되는 시험 패턴의 수를 나타낸다. 즉, 첫 번째 대상 회로의 시험 데이터 레지스터에 처음 입력되는 시험 패턴 수는 $(In_1 + Out_1)$ 이다. 그리고 입력되어 쉬프트되어진 시험 패턴은 5 클럭 동안 적재 및 포착된다. No_1 은 첫 번째 대상 회로를 인테스트 시험하기 위한 시험 패턴 수를 나타낸다. $(In_1 + Out_1 + 5) \times No_1$ 은 시험 데이터 레지스터에 입력되는 모든 시험 패턴이 입력 및 쉬프트되어지는 시간이다. 단일 스캔 경로 구조에서 시험 패턴의 입출력은 시험 패턴이 입력되면서 이전 상태에서 출력된 값을 쉬프트하여 출력시킨다. 마지막 결과값을 출력하기 위해서 시험 데이터 레지스터에 입력되는 시험 패턴 수는 $(In_1 + Out_1 + 5)$ 이다. 즉, 인테스트 시험의 시험 패턴 입출력 시간은 $((In_1 + Out_1 + 5) \times No_1 + (In_1 + Out_1 + 5))$ 에 의해서 결정된다. 식 (2)에서 k 개 대상 회로의 시험 패턴을 입출력하는데 소요되는 시간의 합은 식 (3)에 의해 결정된다. 식 (3)은 다음과 같다.

$$\sum_{k=1}^N (In_k + Out_k + 5) \times (No_k + 1) \quad (3)$$

단일 스캔 경로 구조에서 k 개 대상 회로에 익스테스트 시험을 수행하는데 소요되는 시간은 식 (4)와 같다.

$$Extest\ Times_{Ptotal} = Extest\ IR\ Times_{Ptotal} + Extest\ TP\ Times_{Ptotal} \quad (4)$$

여기서, $Extest\ IR\ Times_{Ptotal}$ 항은 단일 스캔 경로 구조에서 k 개 대상 회로의 명령어 레지스터에 익스테스트 명령어를 적재하는데 소요되는 시간의 합을 나타낸다. $Extest\ IR\ Times_{Ptotal}$ 항은 k 개의 대상 회로의 상호 연결 시험을 위한 시험 패턴의 입출력하는데 소요되는 시간의 합을 나타낸다. 이 시간은 인테스트 시험 패턴과 같이 식 (3)에 의해서

결정된다.

단일 스캔 경로 구조에서 k 개 대상 회로에 런비스트 시험을 수행하는데 소요되는 시간은 식 (5)와 같다.

$$Runbist\ Times_{Ptotal} = Runbist\ IR\ Times_{Ptotal} + Max((Runbist_1), (Runbist_2), \dots, (Runbist_k)) \quad (5)$$

여기서, $1 \leq k \leq N$

$1 \leq k \leq N$ 은 대상 회로 수가 최고 N 개를 나타낸다. $Runbist\ IR\ Times_{Ptotal}$ 항은 단일 스캔 경로 구조에서 모든 런비스트 명령어를 적재하는데 소요되는 시간의 합을 나타낸다.

$Max(A, B, \dots, M)$ 는 각 항 중에서 제일 큰 값을 의미한다. $Runbist_k$ 은 런비스트 시험을 하는 k 번째 대상 회로의 시험 수행 시간을 나타낸다. 런비스트 시험을 원하는 여러 대상 회로들은 동시에 수행할 수 있다. 그러므로 런비스트 총 수행 시간은 런비스트 시험을 하는 대상 회로의 가장 긴 수행 시간에 의존한다.

K 개의 대상 회로중에서 시험을 하지 않는 대상 회로는 바이패스한다. K 개의 대상 회로를 바이패스하는데 소요되는 시간은 식 (6)과 같다.

$$Bypass\ Times_{Ptotal} = Bypass\ IR\ Times_{Ptotal} + Bypass\ Times_{Ptotal} \quad (6)$$

여기서, $Bypass\ IR\ Times_{Ptotal}$ 항은 단일 스캔 경로 구조에서 k 개의 대상 회로에 바이패스 명령어를 적재하는데 소요되는 시간의 합을 나타낸다.

$Bypass\ Times_{Ptotal}$ 항은 시험을 하지 않는 대상 회로를 바이패스시키는데 소요되는 시간의 합을 나타내며 1 클럭의 지연이 있다. 일반적으로 내부 회로의 결함을 검사하는 인테스트 시험과 상호 연결 선을 시험하는 익스테스트 시험은 같이 수행하지 않고 별도로 수행한다. 그러므로 IEEE 1149.1 경계면 스캔의 시험은 다음 두 단계의 시험 수행 합으로 나타낸다. 첫째, 인테스트, 런비스트, 바이패스 시험을 혼합하여 수행하고, 둘째, 익스테스트, 바이패스 시험을 혼합하여 수행한다. 이 때 소요되는 총 시간은 식 (7)과 같다. 단일 스캔 경로 구조에서 N

개의 대상 회로를 인테스트, 익스테스트, 런비스트, 바이패스의 시험들을 혼합하여 수행하는데 소요되는 시간은 식 (7)과 같다.

$$Test\ times_{Ptotal} = A + B \quad (7)$$

$$A = Intest\ IR\ Times_{Ptotal} + Runbist\ IR\ Times_{Ptotal} + Bypass\ IR\ Times_{Ptotal} + Intest\ TP\ Times_{Ptotal} + Runbist\ Times_{Ptotal} + Bypass\ Times_{Ptotal} \quad (8)$$

$$B = Extest\ IR\ Times_{Ptotal} + Bypass\ IR\ Times_{Ptotal} + Extest\ TP\ Times_{Ptotal} + Bypass\ Times_{Ptotal} \quad (9)$$

여기서, 식 (8)은 인테스트, 런비스트, 바이패스의 혼합 시험에 소요되는 시간을 나타낸다. 식 (9)는 익스테스트, 바이패스의 혼합 시험에 소요되는 시간을 나타낸다. $Intest\ TP\ Times_{Ptotal}$ 항은 단일 스캔 경로 구조에서 N개 대상 회로 중 인테스트 시험을 하는 모든 대상 보드들에 시험 패턴을 입출력하는데 소요되는 시간의 합을 나타낸다. $Extest\ TP\ Times_{Ptotal}$ 항은 단일 스캔 경로 구조에서 N개 대상 회로 중 익스테스트 시험을 하는 모든 대상 보드들에 시험 패턴을 입출력하는데 소요되는 시간의 합을 나타낸다. $Runbist\ Times_{Ptotal}$ 항은 단일 스캔 경로 구조에서 N개 대상 회로 중 런비스트 시험을 하는 모든 대상 보드들에 시험 패턴을 입출력하는데 소요되는 시간의 합을 나타낸다. $Bypass\ Times_{Ptotal}$ 항은 단일 스캔 경로 구조에서 N개 대상 회로 중 시험을 하지 않고 보드를 바이패스시키는데 소요되는 시간의 합을 나타낸다.

M개의 보드 시험을 위한 ESP 구조는 그림 3과 같이 모델링한다. 여기서 전체 보드 수는 M개이고, 전체 스캔 경로 수는 N개이다. 시험은 인테스트와 런비스트 시험을 병렬로 수행한 후, 익스테스트 시험을 하는 절차이며, 시험 수행 시간의 단위는 클럭 수로 모델링한다.

ESP 구조에서의 인테스트, 익스테스트, 런비스트, 바이패스의 병렬 수행 시간은 시험 식 (10)과 같다.

$$Test\ Time_{ESPtotal} = A + B \quad (10)$$

$$여기서, A = a + b + c \quad (11)$$

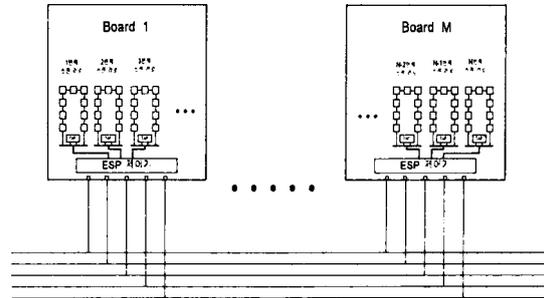


Fig 3. Model of ESP for multi board test

$$a = Intest\ IR\ Time_{ESPtotal} + Runbist\ IR\ Time_{ESPtotal} + Bypass\ IR\ Time_{ESPtotal} \quad (12)$$

$$b = Max(Extest\ TP\ Time_{ESPtotal} + Bypass\ Time_{ESPtotal}, Runbist\ Time_{ESPtotal}) \quad (13)$$

$$c = Sel\ Board\ Time + Con\ Scan\ Time + Con\ TMS\ Time \quad (14)$$

$$B = d + e \quad (15)$$

$$d = Extest\ IR\ Times_{Ptotal} + Bypass\ IR\ Times_{Ptotal} + Extest\ TP\ Times_{Ptotal} + Bypass\ Times_{Ptotal} \quad (16)$$

$$e = Sel\ Board\ Time + Con\ Scan\ Time + Con\ TMS\ Time \quad (17)$$

여기서, A항은 인테스트, 런비스트, 바이패스의 혼합 시험에 소요되는 시간의 합을 나타낸다. B항은 익스테스트, 바이패스의 혼합 시험에 소요되는 시간의 합을 나타낸다. a항은 인테스트, 런비스트, 바이패스 명령어를 적재하는데 소요되는 데 소요되는 시간의 합을 나타낸다. ESP 구조에서는 런비스트 시험과 다른 시험을 병렬로 수행한다. b항은 런비스트 수행 시간과 인테스트 시험 패턴을 입출력하는데 소요되는 총 시간, 시험을 하지 않는 스캔 경로의 바이패스 시간의 합과 런비스트 수행 시간 중 큰 값만큼 소요된다. c항의 $Sel\ Board\ Time$ 은 시험을 하기 위한 보드를 선택하는데 소요되는 시간을 나타낸다. $Con\ Scan\ Time$ 은 선택되어진 보드에서 4개의 스캔 경로를 구성하는데 소요되는 시간을 나타낸다. $Con\ TMS\ Time$ 은 런비스트를 병렬 수행하기 위해서 TMS 신호를 조절하는데 소요되는 시간을 나타낸다. $Sel\ Board\ Time$, $Con\ Scan\ Time$, 그

리고 *Con TMS Time* 항은 보드 수가 증가하여도 일정한 상수 값을 가진다. ESP 구조에서 비스트의 병렬 수행 시간은 두 경우로 나누어진다.

경우 1 :

$$\text{Extest TP Time}_{ESPtotal} + \text{Bypass Time}_{ESPtotal} > \text{Runbist Time}_{ESPtotal} \quad (18)$$

$$\text{Test Time}_{ESPtotal} = A + B \quad (19)$$

$$\text{여기서, } A = a + b + c \quad (20)$$

$$a = \text{Intest IR Time}_{ESPtotal} + \text{Bypass IR Time}_{ESPtotal} \quad (21)$$

$$b = \text{Extest TP Time}_{ESPtotal} + \text{Bypass Time}_{ESPtotal} \quad (22)$$

$$c = \text{Sel Board Time} + \text{Con Scan Time} + \text{Con TMS Time} \quad (23)$$

$$B = d + e \quad (24)$$

$$d = \text{Extest IR Times}_{Ptotal} + \text{Bypass IR Times}_{Ptotal} + \text{Extest TP Times}_{Ptotal} + \text{Bypass Times}_{Ptotal} \quad (25)$$

$$e = \text{Sel Board Time} + \text{Con Scan Time} + \text{Con TMS Time} \quad (26)$$

경우 2 :

$$\text{Extest TP Time}_{ESPtotal} + \text{Bypass Time}_{ESPtotal} < \text{Runbist Time}_{ESPtotal} \quad (27)$$

$$\text{Test Time}_{ESPtotal} = A + B \quad (28)$$

$$A = a + b + c \quad (29)$$

$$a = \text{Runbist IR Time}_{ESPtotal} \quad (30)$$

$$b = \text{Runbist Time}_{ESPtotal} \quad (31)$$

$$c = \text{Sel Board Time} + \text{Con Scan Time} + \text{Con TMS Time} \quad (32)$$

$$B = d + e \quad (33)$$

$$d = \text{Extest IR Times}_{Ptotal} + \text{Bypass IR Times}_{Ptotal} + \text{Extest TP Times}_{Ptotal} + \text{Bypass Times}_{Ptotal} \quad (34)$$

$$e = \text{Sel Board Time} + \text{Con Scan Time} + \text{Con TMS Time} \quad (35)$$

다음으로 ESP 구조를 단일 스캔 경로 구조와 비교하면 다음과 같다. 첫째, 다중 보드 시험을 위한

단일 스캔 경로 구조에서는 스캔 경로가 하나의 연결 구조를 형성하므로 스캔 경로에 결함이 발생하면 올바른 시험을 할 수 없다. 그에 반해, ESP 구조는 한 보드안에 다중 스캔 경로로 구성되고, 한 스캔 경로내의 결함은 그 스캔 경로안에서만 한정되므로 다른 스캔 경로에 대해서는 시험이 가능하다.

둘째, 다중 보드 시험을 위한 단일 스캔 경로 구조에서는 전체 대상 회로 중 시험을 하지 않는 대상 회로는 모두 바이패스시켜야 한다. 그러므로 시험하지 않는 보드에 대해서 바이패스 명령어를 모두 입력하여야 한다. 그러나 ESP 구조에서는 선택되어진 보드내에서만 스캔 경로를 구성하고 그 스캔 경로에만 명령어를 적재하면 된다.

또한 단일 스캔 경로 구조는 시험 대상 회로수에 관계없이 시험 패턴의 출력값을 보기 위해서는 스캔 경로의 처음부터 마지막까지 시험 패턴을 쉬프트하여서 결과값을 검사해야 한다. 식 (2)에서 보는 바와 같이 시험 패턴의 인가 시간은 입출력 신호선 수와 시험 패턴 수에 의해서 결정된다. 또한 식 (3)에서 보는 바와 같이 인테스트와 익스테스트의 시험 패턴 입출력 시간은 각 대상 회로의 입출력 신호선 수에 의해서 결정된다. N개의 전체 대상 회로에서 첫 번째 대상 회로에 한번 입력되어진 시험 패턴은 결국 마지막 대상 회로까지 쉬프트되어 출력되어진다. 그러나 ESP 구조에서는 멀티드롭 방식을 사용하므로 시험을 위한 보드를 주소값에 의해서 바로 선택되어진다.

셋째, 다중 보드 시험을 위한 단일 스캔 경로 구조에서는 시험 모드 선택 신호선을 공통으로 사용하므로 경계면 스캔 시험과 비스트의 병렬 수행이 불가능하다. ESP 구조에서도 시험 모드 선택 신호선을 공통으로 사용한다. 그러나 ESP 구조에서는 신호선을 제어하는 기능에 의해 비스트와의 병렬 수행이 가능하다. 즉, 식 (18)과 (19)에서 보는 바와 같이 비스트와의 병렬 수행 중 큰 수행시간만큼만 소요되므로 두 수행 시간의 작은 값만큼 수행 시간이 감소된다.

넷째, 단일 스캔 경로 구조에서는 여러 보드를 동시에 수행할 수 없다. 반면 ESP 구조는 동일한 보

드에 대해서는 동시에 보드가 선택되어지고, 동시에 시험패턴이 인가하여 수행이 가능하다. 이로 인해 단일 스캔 경로 구조보다 시험 수행 시간이 감소한다.

다음으로 ESP 구조가 단일 스캔 경로 구조와 비교하여 추가되어지는 수행 시간은 다음과 같다. ESP 구조에서 추가되는 수행 시간은 *Sel Board Time*, *Con Scan Time*, *Con TMS Time*이다. *Sel Board Time* 항은 시험을 하기 위한 보드를 선택하는데 소요되는 시간으로서, *Address_Select* 명령어를 적재하는데 소요되는 시간과 주소를 *ADDRESS_REGISTER* 블록에 적재하는데 소요되는 시간의 합이다. 그러므로 시험 보드 수가 증가하여도 일정한 상수 값을 가진다. *Con Scan Time* 항은 선택되어진 보드에서 스캔 경로를 구성하는데 소요되는 시간으로서, *Path_Config* 명령어를 적재하는데 소요되는 시간과 스캔 경로 구성을 위한 데이터를 *PATH_CONFIG* 블록에 적재하는데 소요되는 시간의 합이다. 그러므로 선택되어진 보드의 스캔 경로를 구성하는 시간도 일정한 상수 값을 가진다. *Con TMS Time* 항은 비스트를 병렬 수행하기 위해서 시험을 위한 스캔 경로의 TMS 신호를 조절하는데 소요되는 시간으로서, *TMS_control* 명령어를 적재하는데 소요되는 시간과 *TMS_CONTROL* 블록에 데이터를 적재하는데 소요되는 시간의 합이다. *Sel Board Time*, *Con Scan Time*, 그리고 *Con TMS Time* 항은 ESP 구조에서 추가되는 오버헤드이지만 시험을 위한 보드 수의 증가와는 비례하여 시험 수행 시간이 증가하는 것이 아니고 일정한 상수 값을 가진다.

2. ESP 구조와 다중 스캔 경로 구조의 해석적 방법에 의한 성능 분석

첫째, ESP 구조와 다중 스캔 경로 구조를 버스 신호선수에 대해 비교하면 다음과 같다.

JTAG(Joint Test Action Group)에서는 경계면 스캔 구조의 시험을 위해서 추가되는 하드웨어 오버헤드를 줄이기 위해서 노력해왔다. 특히, 이 구조를 가지는 다중 보드 시스템에 적용될 경우에 신호선의 증가는 회로기판의 제작을 어렵게 할 뿐만 아니라 각 소자의 핀 수를 증가시키기 때문에 다른

하드웨어 비용에 비해 상당히 큰 부담이 된다. 그러므로 신호선 증가는 시험에 있어서 중요한 요소이다. 두 구조의 신호선 수에 대한 비교는 다음과 같다. 다중 스캔 경로 구조를 다중 보드 시스템에 적용한 구조는 한 개의 보드가 추가될 때마다 TMS, TCK, TRST*의 신호선이 추가된다. 예로서, 시스템이 100장의 보드로 구성된다면, 시험을 위한 신호선이 302개가 된다. 즉 N개의 보드와 한 보드당 M개의 스캔 경로가 존재할 경우, $3(N * M) + 2$ 개의 신호선이 필요하게 된다. 현실적으로 수십, 수백장이 상으로 구성되는 다중 보드 시스템인 경우에 한 보드당 TMS, TCK, TRST* 신호를 계속해서 추가하면 신호선 추가에 따른 하드웨어 부담이 증가할 뿐만 아니라 구현이 부적절하게 된다. 그러나 ESP 구조의 경우 시험 대상회로의 크기에 관계없이 제어 신호선의 수는 경계면 스캔 구조의 기본 다섯 개의 기본 신호선으로 일정하다. 그러므로 ESP 구조는 보드 수가 증가할 수록 다중 스캔 경로 구조에 비해서 신호선 수에 대한 하드웨어 오버헤드가 더욱 줄어들게 된다.

둘째, 다중 스캔 경로 구조는 각 스캔 경로의 시험을 독립적으로 수행한다. 그러므로 시험 데이터 입출력 시 마스터(master)로 동시에 데이터 신호를 보내면 신호의 충돌이 발생한다. 즉, 시험을 제어하는 마스터와 칩들간의 동기를 맞추어야 한다. 그러므로 이를 해결하기 위해서 복잡한 시험 절차를 필요로 한다. 그러나 ESP 구조는 스캔 경로 사이에 데이터를 순차적으로 보냄으로써 데이터 충돌은 발생하지 않는다.

IV. 결 론

본 논문에서는 IEEE 1149.1 경계면 스캔 구조를 가지는 다중 보드 시험을 위한 구조와 절차를 제안한다. 본 연구에서 제안한 ESP 구조의 성능을 평가하기 위해, 제안한 ESP 구조를 기존의 시험 구조인 단일 스캔 경로 구조와 시험 시간에 대한 수치적 평가를 하였다. ESP 구조는 다중 스캔 경로 구조의 스캔 경로마다 독립된 TMS와 TCK 신호선들이 각각 제어되는 것을 외부로는 TMS와 TDI 단일 신호

선만으로 4개의 스캔 경로에 제공되는 신호선들의 역할을 수행하도록 설계함으로써 다중 스캔 경로 구조에 비해 신호선 추가가 없었다. 또한 기존의 IEEE 1149.1 경계면 스캔 구조를 가지는 보드에 용이하게 장착할 수 있어 이식성이 높았다. ESP 제어기는 최대 256개의 보드로 구성된 다중 보드 시스템에서의 단일 보드 선택, 그룹 보드 선택 그리고 전역 보드 선택을 지원하여 동일한 시험 동작을 동시에 실시할 수 있어 시험 시간을 단축시켰다. 현재 다중 보드로 구성되어진 통신 시스템의 보드와 시스템 테스트 기법에 대한 연구가 진행중이다. 향후 과제로는 본 논문에서 설계, 구현한 ESP 제어기를 이 시스템에 장착하여 시험을 수행하고자 한다.

References

[1] A. L. Crouch, M. Pressly and J. Circello, "Testability Features of the MC68060 Microprocessor," in Proc. Int'l Test Conf. , pp.60-69, 1994.

[2] D. Bhavsar, "An architecture for Extending the IEEE Standard 1149.1 Test Access Port to System Backplanes," in Proc. Int'l Test Conf. , pp.768-776, 1991.

[3] H. Fujiwara, 'Logic Testing and Design for Testability', The MIT Press, 1985.

[4] IEEE std. 1149.1-1990, 'IEEE Standard Test Access Port and Boundary Scan Architecture', May 21, 1990.

[5] L. Whetsel, "A Proposed Method of Accessing 1149.1 in a Backplane Environment," in Proc. Int'l Test Conf. , pp.206-216, 1992.

[6] M. Abravmoici, M. A. Breuer and A. D. Friedman, 'Digital Systems Testing and Testable Design', Computer Science Press, 1990.

[7] P. S. Parikh and M. Abramovici, "On Combining Design for Testability Techniques," in Proc. Int'l Test Conf. , pp.423-429, 1995.

[8] P. Varma, "On Path-Delay Testing in a Standard Scan Environment," in Proc. Int'l Test Conf., pp.164-173, 1994.

[9] R. G. Benneets and A. Osseran, "IEEE Standard 1149.1-1990 on Boundary Scan: History, Literature Survey, and Current Status," JETTA, Vol.2, No.1, pp.11-25, 1991.

[10] S. Narayanan, R. Gupta and M. Breuer, "Configuring Multiple Scan Chains for Minimum Test Time," in Proc. IEEE International Conference on Computer Aided Design pp.4-8, 1992.

● 저자소개



손우정

1989년 : 경북대학교 공과대학 전자공학과 졸업(공학사)
 1993년 : 경북대학교 대학원 컴퓨터공학과 졸업(공학석사)
 1997년 : 경북대학교 공과대학 컴퓨터공학과 졸업(공학박사)
 1994년 ~ 현재 : 현재 대구전문대학 전자계산과 조교수
 관심분야는 VLSI 테스트, VLSI 설계, CAD 데이터베이스