論文98-35T-6-3

채널길이변조를 이용한 GaAs MESFET 모델

(GaAs MESFET Model using Channel-length Modulation)

李 相 興 *, 李 起 焌 **

(Sang-Heung Lee and Ki-Jun Lee)

요 약

GaAs MESFET는 동작점에 따라 선형영역, 포화영역으로 구분된 모델을 사용함에 따라, GaAs MESFET 회로 해석을 위한 컴퓨터 시뮬레이션 시 영역의 경계점에서의 1차 및 2차 미분 불연속으로 인한 해의 발산 문제가 발생하곤 하였다. 본 논문에서는 선형영역과 포화영역을 모두 포함한 통합된 채널길이변조식을 제안하였다. 새로이 제안된 채널길이변조식을 이용하여 전류-전압 모델과 커패시턴스-전압 모델을 제안하였다. 제안된 전류-전압 모델은 Shur의 모델과 비교하였으며 제안된 커패시턴스-전압 모델은 디바이스 시뮬레이션 결과와 비교하였다. 비교된 결과로부터 제안된 모델들은 기존의 모델과 유사한 결과를 얻었으며 연속성이 개선될 것으로 기대된다.

Abstract

In the conventional GaAs MESFET circuit simulation, the DC and transient simulation results are often failed due to the discontinuities of the first and second order derivatives arising from the use of separate models in linear, saturation, and transition regions. In this paper, we propose a unified drain current-voltage model by using a unified channel length modulation effect that is derived by extending the channel length modulation effect in the saturation region to the linear region. Calculated results from the proposed drain current-voltage model agree well with the results of Shur model. Also, we propose a unified capacitance model for linear, transition, and saturation regions by using a unified channel length modulation effect. Its results from the proposed capacitance model agree well with 2-D device simulation results. Thus, the proposed models are expected to be useful in circuit simulations.

I. 서 론

GaAs를 이용한 소자, GaAs MESFET은 빠른 전자이동도를 갖는 관계로 최근 고속 디지털 집적회로와 MMIC 등에서 주목을 받고 있으며, 상용화 단계에 있다. 이러한 사회적 수요에 따라 GaAs MESFET 특성의 해석적 모델이 절실히 요구되고 있는 실정이다.

현재 GaAs MESFET 회로의 시뮬레이션을 위한 전류-전압 모델은 Curtice 모델,[1,2] Statz 모델[3]이 많이 사용되고 있으며, 커패시턴스-전압 모델로는 쇼트키 다이오드 모델, Takada 모델[4] 및 Statz 모델[3]이 주로 사용되고 있다. 또한 회로를 시뮬레이션하기 위하여 새로이 개발되는 모델들도 이들 모델들을 변형[5~7]하여 사용하고 있는 실정이다.

먼저, 본 논문에서는 GaAs MESFET의 특성을 선형영역과 포화영역의 구분없이 하나의 식으로 표현하기 위하여, 전자속도 포화에 의해 드레인에서 소오스 쪽으로 확장된 공핍영역의 길이가 변조되는 현상(channel length modulation)을 모델한 기존의 식[8,9]을 선형영역 까지 포함하는 식으로 새로이 모델링하였

* 正會員, 天安工業大學 電子科
(Dept. of Elec. Eng., Cheonan College)
** 正會員, 忠南大學校 電子工學科
(Dept. of Elec. Eng., Chungnam Nat'l Univ.)
接受日字: 1998年4月18日, 수정완료일: 1998年5月30日

다. 다음, 앞서 새로이 모델한 채널길이변조식을 이용하여 드레인 전류-전압 특성과 커패시턴스 특성을 모델하는데 적용하였다. 제안한 모델의 타당성을 검증하기 위하여, 전류-전압 특성은 Shur의 드레인 전류-전압 모델[9]과 비교하였으며 커패시턴스 특성은 pinch-off 전과 후 및 천이영역으로 나누어 모델한 Takada 모델과 2차원 디바이스 시뮬레이터인 MEDICI[10]의 결과와 비교하였다.

본 논문의 드레인 전류-전압 모델은 영역을 구분하여 모델한 기존의 모델과 거의 일치한 결과를 얻을 수 있었으며, 커패시턴스 모델은 디바이스 시뮬레이션 결과와 유사한 결과를 얻을 수 있었다. 따라서, 본 논문에서 제안한 모델들이 선형영역과 포화영역을 구분하지 않고 하나의 식으로 사용될 수 있음을 확인할 수 있었으며, 시뮬레이션시 연속성의 개선으로 해의 수렴성이 개선될 것으로 기대된다.

Ⅱ. GaAs MESFET의 채널길이 변조현상의 모델링

1. GaAs MESFET의 채널길이 변조현상의 모델링

포화영역에서 속도포화(velocity saturation)에 의해 드레인 쪽에서 소오스 쪽으로 공핍영역이 확장되는 현상이 채널길이변조(channel length modulation)이다. 본 논문에서는 기존의 포화영역에서 만 적용되는 채널길이변조식[8,9]을 선형영역 까지 확장하여 새로이 모델링한다.

그림 1은 선형영역에서의 공핍전하의 분포(게이트 아래의 공핍층의 edge가 소오스쪽 edge로 부터 드레인쪽 edge 까지 채널길이를 따라 거의 선형적으로 변한다고 가정)와 포화영역에서 속도포화(velocity saturation)에 의해 드레인 쪽에서 소오스 쪽으로 공핍영역이 확장되었을 때 공핍전하의 분포를 각각 보여주고 있다.

그림 1에서 드레인 전압이 증가하면 L_s의 길이도 증가하고 영역 Ⅲ에서의 전압강하 $V_{Ⅲ}$는 L_s를 이용하여 다음과 같이 표현된다.[8,9]

$$V_{Ⅲ} = \frac{2A_t}{\pi} E_s \sinh\left(\frac{\pi L_s}{2A_t}\right) \tag{1}$$

여기에서, $E_s = \upsilon_s/\mu$ (υ_s: 전자포화속도, μ: 이동도), A_t는 활성층(active layer)의 두께이고, L_s는 전자 속도포화에 의해 드레인에서 소오스 쪽으로 확장된 공핍영역의 길이이다. 상기 $V_{Ⅲ}$는 다시 다음과 같이 근사화된다.[9]

$$V_{Ⅲ} = K_d \cdot (V_i - V_{Ⅱ}) \tag{2}$$

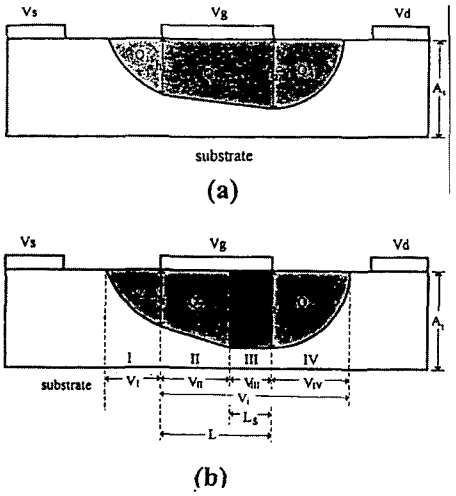

그림 1. 선형영역 및 포화영역에서의 공핍전하의 분포
(a) 선형영역 (b) 포화영역

Fig. 1. Depletion charge distribution of GaAs MESFET.
(a) linear region (b) saturation region

여기서, K_d는 nonself-aligned gate 구조를 갖는 드바이스의 경우는 대략 0.1 정도의 값을 갖는 것으로 알려져 있으며, self-aligned gate 구조를 갖는 디바이스의 경우는 대략 1 정도의 값을 갖는 것으로 알려져 있다. $V_{Ⅱ}$는 다음과 같이 표현된다.[9]

$$V_{Ⅱ} = \frac{V_p \cdot \alpha (1 - U_g)}{(\alpha + 1 - U_g)} \tag{3}$$

여기서, $\alpha = E_s \cdot L/V_p$, $U_g = (V_{bi} - V_{gs})/V_p$, V_p는 pinch-off 전압이고 V_{bi}는 metal과 GaAs substrate 사이의 built-in 전압을 나타낸다.

식 (1)로 부터 속도포화에 의해 드레인에서 소오스 쪽으로 확장된 공핍영역의 길이 L_s를 구하면 다음과 같이 표현된다.

$$L_s = \frac{2A_t}{\pi} \ln\left[\left(\frac{\pi V_{Ⅲ}}{2E_s A_t}\right) + \left(\left(\frac{\pi V_{Ⅲ}}{2E_s A_t}\right)^2 + 1\right)^{1/2}\right] \tag{4}$$

식 (4)는 속도포화 이후, 포화영역에서의 드레인에서 소오스 쪽으로 확장된 공핍영역의 길이를 계산하는 식으로서, 전자속도가 포화되기 이전의 선형영역(L_s=0)에서는 적용되지 않으므로 기존의 커패시턴스 모델에서는 두 구간(선형 및 포화영역)으로 나누어 다루어 왔다.

따라서, 선형영역과 포화영역에서의 전하 분포는 하나의 식으로 표현되어야 되어 L_s가 선형영역과 포화영역에서 동시에 쓰일 수 있어야만 하나 식 (4)를 선형영역($V_{ds} \le V_{ds,sat}$)으로 연장 했을 때 L_s가 음수가 되어(실제로는 zero에 가까운 매우 작은 값을 가져야 한다) 적용할 수 없으므로 본 논문에서는 상기 식 (4)의 L_s에 다음과 같이 limiting 함수를 곱하여 선형영역과 포화영역에서 동시에 이용될 수 있는 L_s를 제안하였으며 제안된 식은 다음과 같이 표현된다.

$$L_s = \frac{2A_t}{\pi} \ln\left[\left(\frac{\pi V_m}{2E_s A_t}\right) + \left(\left(\frac{\pi V_m}{2E_s A_t}\right)^2 + 1\right)^{1/2}\right] \cdot F(V_{ds}) \quad (5)$$

여기서,

$$F(V_{ds}) = \frac{1}{[1 + e^{\eta (V_{d,sat} - V_{ds})}]^2}$$

$$V_{d,sat} = K_s \cdot (V_{gs} - V_{th}).$$

Limiting 함수 $F(V_{ds})$의 수학적 의미는 다음과 같다. V_{ds}가 $V_{d,sat}$ 보다 작으면 작을수록 지수항은 큰 값을 갖게 되므로 $F(V_{ds})$는 0에 가까워지고, V_{ds}가 $V_{d,sat}$ 보다 큰 경우에는 지수항은 0에 가까워지므로 $F(V_{ds})$는 1에 가까운 값을 갖게 된다. 이 limiting 함수 $F(V_{ds})$를 식 (4)에 곱하면 V_{ds}가 $V_{d,sat}$ 보다 큰 영역에서는 $F(V_{ds})$가 거의 1에 가까우므로 물리적인 현상을 반영한 식 (4)의 모양을 따르게 되며, limiting 함수가 이 처럼 식 (4)에 적용될 때 물리적인 의미를 갖게 된다. 파라미터 η는 선형영역에서는 L_s가 0에 가깝고 포화영역에서는 식 (4)에 근접하도록 하기 위해 도입된 파라미터이다. 그리고 GaAs MESFET에서는 채널이 pinch-off 이전에 전자속도 포화에 의해 포화가 일어나므로 $V_{d,sat}=V_{gs}-V_{th}$의 관계식에 의해 드레인 포화전압을 구하면 오차가 발생한다. 따라서, $V_{d,sat}=K_s \cdot (V_{gs}-V_{th})$로 표현할 수 있다.

2. 실험 및 고찰

본 논문에서는 앞서 새로이 모델한 식 (5)를 GaAs MESFET에 적용하여 보았다.

본 논문의 디바이스 시뮬레이션에 사용된 GaAs MESFET 구조를 그림 2에 나타내었다. 그리고, 디바이스 시뮬레이션에서 얻은 채널길이변조치와 본 논문에서 제안된 선형영역과 포화영역을 모두 포함하는 채널길이변조식(L_s)에 의한 계산치를 게이트 길이(L=1.1 μm)로 정규화하여 그림 3에 나타내었다. 디바이스 시뮬레이션에 사용된 시뮬레이터는 TMA社의 MEDICI이다. 사용된 파라미터들은 경험적으로 결정하여 사용하였으며, 그림 2의 디바이스의 경우 η=3.1, k_d=0.1, k_s=0.22이다. 그림 3에서 볼 수 있듯이 식 (5)가 디바이스 시뮬레이션 결과와 잘 일치함을 알 수 있었다.

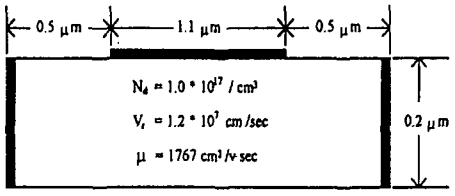

그림 2. 소자 시뮬레이션에 사용된 GaAs MESFET 구조

Fig. 2. GaAs MESFET geometry used for device simulation.

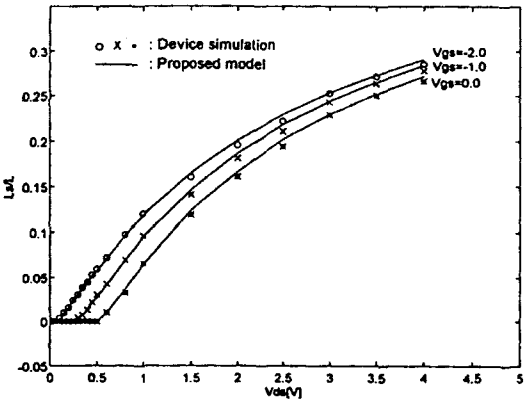

그림 3. 드레인 전압에 따른 채널길이변화(η=3.1, Kd=0.1, Ks=0.22)

Fig. 3. Channel length modulation with increasing the drain voltage for η=3.1, K_d=0.1, K_s=0.22

Ⅲ. GaAs MESFET의 통합 전류-전압 모델

현재, GaAs MESFET의 잘 알려진 드레인 전류-

전압 모델로는 실리콘 JFET 모델인 Shichman-Hodges 모델, Curtice 모델, Statz 모델 및 Shur 모델이다. 본 논문에서는 Ⅱ장에서 새로이 모델한 채널 길이변조식을 Shur 모델에 적용하였다.

1. GaAs MESFET의 통합 전류-전압 모델

Shur의 드레인 전류-전압 특성 모델[9]은 두 가지로 나누어 설명할 수 있다. 하나는 square law 모델로서 1μm 게이트의 GaAs MESFET에 대하여 pinch-off 전압이 2[V] 보다 작은 데 잘 맞는 모델이고, complete velocity saturation 모델은 1μm 게이트의 GaAs MESFET에 대하여 pinch-off 전압이 3[V] 보다 큰 데 잘 맞는 모델이다. 본 논문에서는 square law 모델에만 적용하여 보았으며, complete velocity saturation 모델에도 적용이 가능하다. Square law 모델식을 정리하면 다음과 같다.

$$I_{ds}=\left(\frac{\mu v_s \varepsilon W}{2A_t(V_p+3E_sL)}\right)(V_{gs}-V_{th})^2\tanh(\gamma V_{ds})(1+\lambda V_{ds}) \quad (6)$$

여기서, W는 채널 폭(width), L은 채널 길이, A_t는 활성층의 두께, μ는 이동도, ε는 유전율, $V_{th}=V_{bi}-V_p$ 이다. 위 식 (6)에 제2장에서 설명한 채널길이변조현상(L_s)을 고려하면 식 (7)과 같다.

$$I_{ds}=\left(\frac{\mu v_s \varepsilon W}{2A_t(V_p+3E_s(L-L_s))}\right)(V_{gs}-V_{th})^2\tanh(\gamma V_{ds})(1+\lambda V_{ds}) \quad (7)$$

여기서, γ는 V_{ds}=0에서 $\gamma=G_{ch}/I_{sat}$로(I_{sat}는 참고문헌 [9]의 정의와 동일) 계산된다. $G_{ch}=G_0\left(1-\sqrt{\frac{V_{bi}-V_{gs}}{V_p}}\right)$로 낮은 V_{ds}에서 채널 컨덕턴스이고, $G_0=\frac{qN_d\mu WA_t}{L}$로 전(full) 채널 컨덕턴스이다.

따라서, Shur의 모델에서는 전자속도가 포화되기 이전의 선형영역에서는 식 (6)를 적용하고, 전자속도가 포화되어 채널길이변조가 생긴 포화영역에서는 식 (7)이 적용된다. 본 논문에서는 제2장에서 제안한 선형영역과 포화영역 모두에서 적용이 가능한 채널길이변조식 (5)를 이용하여 GaAs MESFET의 드레인 전류-전압을 계산하는데 식 (7)를 이용할 것을 제안한다.

2. 실험 및 고찰

이 절에서는 Shur의 모델과 본 논문에서 제안한 통합 전류-전압 모델의 결과에 대하여 논의하겠다.

그림 4는 참고문헌 [9]의 파라미터(η=5.0, k_d=0.15, k_s=0.5)를 사용하여 V_{gs}=0.1[V]~-0.5[V]에 대하여 V_{ds}를 0[V]에서 3[V] 까지 변화시켜 가면서 얻은 전류-전압 특성곡선이다. 그림 4에서 볼 수 있는 것 처럼 본 논문에서 제안한 식 (7)을 적용한 결과, Shur의 모델의 결과와 거의 일치함을 알 수 있다. 따라서, Shur의 square law 모델에 적합한 디바이스의 경우, 본 논문에서 제안한 통합된 채널길이변조식을 적용한 통합 전류-전압 모델은 선형영역과 포화영역의 구분없이 사용할 수 있음을 확인할 수 있었다.

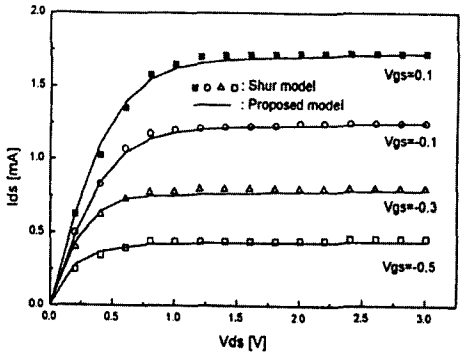

그림 4. GaAs MESFET의 전류-전압 특성
Fig. 4. I-V characteristics of GaAs MESFET.

Ⅳ. GaAs MESFET의 통합 커패시턴스 모델

회로의 과도 특성 및 주파수 특성의 예측을 위해서는 내부 커패시턴스를 정확히 모델하는 것이 중요하다. SPICE에서는 GaAs MESFET의 커패시턴스 모델로서 JFET의 커패시턴스 모델을 사용하는데, 이는 게이트와 소오스, 게이트와 드레인 사이를 연결하는 쇼트키 다이오우드의 공핍 커패시턴스 모델이다. 그런데, GaAs MESFET의 게이트-소오스 및 게이트-드레인 커패시턴스를 쇼트키 다이오우드의 커패시턴스 모델로 시뮬레이션 하는 경우 edge fringing 커패시턴스를 고려하지 않고 외부전압에 의한 공핍 커패시턴스 만을 고려하여 계산하므로 오차가 발생한다. 이러한 현상을 고려하여 Shur의 모델[11]과 Takada의 모델[4] 등이 있다. 이 모델 중 Shur의 모델은 잘 맞으나, 식 중에서 수치 해석적으로 풀어야 할 부분이 너무 많아 SPICE와 같은 회로 시뮬레이터에 적용하기에는 적절

치 않다. 반면, Takada의 모델은 Shur의 모델에 비하여 정확도는 떨어지지만 모델이 단순하고 따라서 회로 시뮬레이터로의 적용이 용이하다는 점 때문에 회로 시뮬레이터에 사용되고 있다. Takada 커패시턴스 모델의 경우 핀치오프(pinch-off) 전의 상태와 핀치오프 후의 상태의 중간에 있는 천이상태(transition region)에서는 2차원 소자 시뮬레이션 결과를 이용하여 선형적으로 모델하고 있지만, 이 경우 미분 불연속이 근본적으로 제거될 수 없을 뿐만아니라 속도포화가 일어났을 때 공핍층의 전하량을 정확히 계산하지 못하고 있다. 본 논문에서는 선형영역과 포화영역에서의 전하량을 하나의 식으로 통합한 커패시턴스 모델을 제안한다.

1. GaAs MESFET의 통합 커패시턴스 모델

채널의 캐리어 농도는 공핍층의 경계에서 abrupt하다고 가정할때 포화영역에서의 게이트 아래에 공핍된 단위 channel width 당 전하량 Q_1, Q_2, Q_3, Q_4은 제2장의 그림 1(b)에 표시된 것과 같이 다음으로 주어진다.

$$\begin{aligned} Q_1 &= \frac{\pi}{4} qN_d h_1^2 \\ Q_2 &= qN_d h_1 (L-L_s) + \frac{1}{2} qN_d (h_2-h_1)\cdot(L-L_s) \\ Q_3 &= qN_d h_2 L_s \\ Q_4 &= \frac{\pi}{4} qN_d h_2^2 \end{aligned} \tag{8}$$

여기서,

$$h_1 = \sqrt{\frac{2\epsilon}{qN_d}(V_{bi}-V_g+V_s)}$$

$$h_2 = \sqrt{\frac{2\epsilon}{qN_d}(V_{bi}-V_g+V_d)}$$

따라서, 총 전하량 Q_t는 다음과 같이 주어진다.

$$\begin{aligned} Q_t &= Q_1+Q_2+Q_3+Q_4 \\ &= \frac{1}{2}\sqrt{2\epsilon qN_d}\,[(L-L_s)(V_{bi}-V_g+V_s)^{1/2} \\ &\quad +(L+L_s)(V_{bi}-V_g+V_d)^{1/2}] \\ &\quad +\frac{\pi}{2}\epsilon\,[(V_{bi}-V_g+V_s)+(V_{bi}-V_g+V_d)] \end{aligned} \tag{9}$$

식 (8)의 Q값 계산에서 근사값으로 계산하였는 데 이의 영향은 그리 크지 않은 것으로 보여지며 참고문헌 [4]에서도 이와 같이 근사화하여 사용하고 있다. 식 (9)에서 L_s를 0으로 가정하면 그림 1(a)의 선형영역에서 계산한 총 공핍전하량이 된다. 따라서, 식 (9)는 선형영역과 포화영역을 동시에 고려한 공핍전하량 식이 되므로 하나의 연속적인 식이 된다. 따라서, 게이트-소오스 내부 커패시턴스, C_{gs}는 게이트 총 공핍전하량 Q_t를 게이트-드레인 전압이 일정한 상태에서 소오스 전압에 대하여 편미분하면 식 (10)과 같이 표현된다.

$$\begin{aligned} C_{gs} &= \frac{\partial Q_t}{\partial V_s}\Big|_{V_g,\,V_d=\,constant} \\ &= \frac{1}{2}\sqrt{\frac{qN_d\epsilon}{2V_{bi}}}\left[2V_{bi}\left(\sqrt{1-\frac{V_{gd}}{V_{bi}}}-\sqrt{1-\frac{V_{gs}}{V_{bi}}}\right)\frac{\partial L_s}{\partial V_s}\right. \\ &\quad \left.+(L-L_s)\frac{1}{\sqrt{1-\frac{V_{gs}}{V_{bi}}}}\right]+\frac{\pi}{2}\epsilon \end{aligned} \tag{10}$$

여기에서, $\frac{\partial L_s}{\partial V_s}=0$이므로 식 (10)은 식 (11)과 같이 간단히 표현된다.

$$C_{gs} = \frac{1}{2}\sqrt{\frac{qN_d\epsilon}{2V_{bi}}}\,(L-L_s)\frac{1}{\sqrt{1-\frac{V_{gs}}{V_{bi}}}}+\frac{\pi}{2}\epsilon \tag{11}$$

실제, C_{gs}는 드레인-게이트 전압에 크게 영향을 받지 않는 것으로 알려져 있지만, 식 (11)에서는 드레인-게이트 전압의 영향이 매개변수 L_s를 통하여 고려되어져 있다. 한편, 게이트-드레인 내부 커패시턴스, C_{gd}는 게이트-소오스 전압이 일정한 상태에서 게이트 총 공핍전하량 Q_t를 드레인 전압에 대하여 편미분하면 식 (12)로 얻어진다.

$$\begin{aligned} C_{gd} &= \frac{\partial Q_t}{\partial V_d}\Big|_{V_g,\,V_s=\,constant} \\ &= \frac{1}{2}\sqrt{\frac{qN_d\epsilon}{2V_{bi}}}\left[2V_{bi}\left(\sqrt{1-\frac{V_{gd}}{V_{bi}}}-\sqrt{1-\frac{V_{gs}}{V_{bi}}}\right)\frac{\partial L_s}{\partial V_d}\right. \\ &\quad \left.+(L+L_s)\frac{1}{\sqrt{1-\frac{V_{gd}}{V_{bi}}}}\right]+\frac{\pi}{2}\epsilon \end{aligned} \tag{12}$$

여기에서,

$$\frac{\partial L_s}{\partial V_d} = \frac{1}{[1+e^{\eta(V_{d,sat}-V_{ds})}]^2}\left|\frac{\frac{K_d}{E_s}\sqrt{(\frac{\pi V_{ds}}{2E_sA_t})^2+1}+\frac{\pi V_{ds}}{2E_sA_t}}{\frac{\pi V_{ds}}{2E_sA_t}\sqrt{(\frac{\pi V_{ds}}{2E_sA_t})^2+1}+(\frac{\pi V_{ds}}{2E_sA_t})^2+1}\right|$$
$$+(\frac{2A_t}{\pi})\eta\left(\frac{1}{[1+e^{\eta(V_{d,sat}-V_{ds})}]^2}-\frac{1}{[1+e^{\eta(V_{d,sat}-V_{ds})}]^3}\right)\cdot$$
$$\ln\left\{\frac{\pi V_{ds}}{2E_sA_t}+\sqrt{(\frac{\pi V_{ds}}{2E_sA_t})^2+1}\right\}$$

이상의 식 (11)과 식 (12)가 각각 선형영역과 포화영역 모두를 포함하여 게이트-소오스 커패시턴스와 게이트-드레인 커패시턴스를 모델링한 식이다.

2. 실험 및 고찰

본 논문에서는 제2장의 속도포화에 의해 드레인에서 소오스 쪽으로 확장된 공핍영역의 길이 L_s를 계산하는데 사용된 GaAs MESFET 구조와 동일한 파라미터를 이용하여 게이트-소오스 커패시턴스 및 드레인-소오스 커패시턴스를 계산하였으며, 그 결과를 pinch-off 전과 후 및 천이영역으로 모델한 Takada 모델과 2차원 디바이스 시뮬레이터인 MEDICI의 시뮬레이션 결과와 비교하였다.

그림 5 및 그림 6은 제2장의 그림 2의 GaAs MESFET의 게이트 길이가 1.1 μm일 때 디바이스 시뮬레이션과 본 논문의 모델에 의한 결과이며, 두 결과의 차이를 보다 쉽게 표현하기 위하여 디바이스 시뮬레이션이나 본 논문에 의해 계산 결과 중 가장 큰 값으로 나누어 정규화(normalization)하였다. 그림 5은 게이트-소오스 전압(V_{gs})의 변화에 따른 게이트-소오스 간 내부 커패시턴스의 변화를 나타낸 것으로서, 본 논문의 제안된 커패시턴스-전압 모델의 계산 결과와 디바이스 시뮬레이션 결과가 큰 차이가 없이 비교적 잘 맞고 있다. 그림 6은 드레인-게이트 전압, V_{ds}의 변화에 따른 게이트-드레인 간 내부 커패시턴스의 변화를 보여주는 것으로서, 선형영역에서는 비교적 잘 맞고 있으나 포화영역에서는 디바이스 시뮬레이션 결과와 차이가 남을 알 수 있다. 이는 디바이스 시뮬레이션의 결과는 external 전압에 의한 결과이고 본 논문의 시뮬레이션의 결과는 internal 전압에 의한 차이로 생각된다. 식 (12)에 의하면 external 전압에 의해 계산한 것이 보다 internal 전압에 의해 계산했을 경우의 값이 커짐을 알 수 있다. 또한, 그림 6에서는 본 논문에 사용한 디바이스에 대하여 Takada 모델에 의한 결과도 보여지고 있다. 디바이스 시뮬레이션 결과와 비교할 때 본 논문의 모델에 의한 결과 보다도 더 심한 차이를 보이고 있음을 알 수 있으며, 이는 Takada 모델이 공핍형 FET에는 잘 맞지 않는 모델임을 말해 준다. 한편, 게이트-소오스 커패시턴스의 계산에서 Takada 모델이 드레인 바이어스의 함수가 아니기 때문에 Takada 모델과는 비교하지 않았다.

본 논문에서는 공핍층의 변화정도에 의한 채널길이 변조를 포화영역 뿐만이 아니라 선형영역 까지를 포함하여 하나의 수식으로 완성하였으며, 이 제안된 속도포화에 의해 드레인에서 소오스 쪽으로 확장된 길이 식을 이용하여 전하량 및 커패시턴스 모델에 적용하였다. 본 논문의 선형영역, 포화영역 및 천이영역을 하나로 포함한 커패시턴스 모델은 회로 시뮬레이션 상에서 영역의 경계점에서 나타나는 불연속성이 개선될 것으로 기대된다.

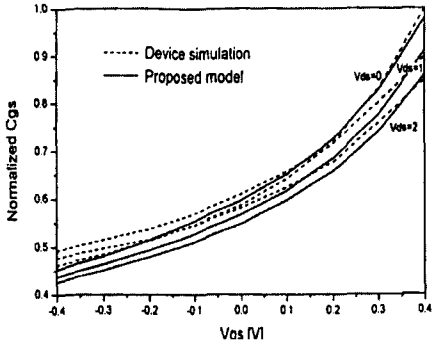

그림 5. 게이트-소오스 커패시턴스 특성
Fig. 5. Gate-source capacitance characteristics.

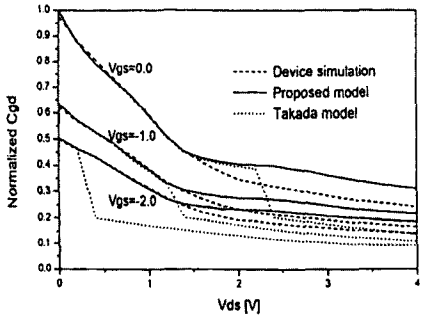

그림 6. 게이트-드레인 커패시턴스 특성
Fig. 6. Gate-drain capacitance characteristics.

V. 결 론

본 논문에서는 GaAs MESFET의 특성을 선형영역과 포화영역의 구분없이 하나의 식으로 표현하기 위하여, 전자속도 포화에 의해 드레인에서 소오스 쪽으로 확장된 공핍영역의 길이가 변조되는 현상(channel length modulation)을 모델한 기존의 식을 선형영역까지 포함하는 식으로 새로이 모델링하였다. 이와 같이 기존의 식을 새로이 모델한 후, 본 논문의 모델을 디바이스에 적용한 결과 디바이스 시뮬레이션의 결과

와 잘 일치함을 확인할 수 있었다.

새로이 모델한 채널길이 변조식을 이용하여 드레인 전류-전압 특성과 커패시턴스 특성을 모델하는데 적용하였다. 본 논문의 새로이 모델한 채널길이 변조식을 이용한 드레인 전류-전압 모델은 영역을 구분한 기존의 모델과 거의 일치한 결과를 얻었다. 따라서, 본 논문의 드레인 전류-전압 모델이 선형영역과 포화영역 모두를 포함한 하나의 식으로 사용될 수 있음을 확인할 수 있었다.

또한, 새로이 모델한 채널길이 변조식을 이용하여 게이트-소오스 커패시턴스, 게이트-드레인 커패시턴스를 모델하는데 적용하였다. 비록 포화영역에서의 약간의 오차는 있지만 비교적 잘 맞고 있으며, pinch-off의 전, pinch-off 후 및 천이영역으로 나누어 모델한 Takada 모델의 결과 보다 좋은 결과를 얻을 수 있었다. 따라서, 본 논문의 커패시턴스 모델이 선형영역과 포화영역 모두를 포함한 하나의 식으로 사용될 수 있음을 확인할 수 있었으며, 시뮬레이션 시 연속성의 개선으로 수렴성이 개선될 것으로 기대된다. 향후 드레인-소오스 전압이 클 경우 본 논문의 결과가 디바이스 시뮬레이션의 결과와의 오차를 개선할 여지가 있다.

참 고 문 헌

[1] W. R. Curtice, "A MESFET Model for Use in the Design of GaAs Integrated Circuit," IEEE Trans. on MTT, vol. 28, no. 5, pp. 448-456, 1980.

[2] W. R. Curtice and M. Ettenberg, "A Nonlinear GaAs MESFET Model for Use in the Design of Output Circuits for Power Amplifiers," IEEE Trans. on MTT, vol. 33, no. 12, pp. 1383-1394, Dec. 1985.

[3] H. Statz, P. Newman, I. W. Smith, R. A. Puchel, and H. A. Haus, "GaAs FET Device and Circuit Simulation in SPICE," IEEE Trans. on ED, vol. 34, no. 2, Feb. 1987.

[4] T. Takada, K. Yokoyama, M. Ida, and T. Sudo, "A MESFET Variable Capacitance Model for GaAs Integrated Circuit Simulation," IEEE Trans. on MTT, vol. 30, no. 5, pp. 719-723, May 1982.

[5] A. E. Parker and D. J. Skellern, "A Realistic Large-Signal MESFET Model for SPICE," IEEE Trans. on MTT, vol. 45, no. 9, pp. 1563-1571, Sep. 1997.

[6] J. R. Tellz, M. Al-Daas, and K. K. Mezher, "Improved Junction Capacitance Model for the GaAs MESFET," IEEE Trans. on ED, vol. 40, no. 11, pp. 2083-2085, Nov. 1993.

[7] J. R. Tellz, M. Al-Daas, and K. K. Mezher, "Comparison of Nonlinear MESFET Models for Wideband Circuit Design," IEEE Trans. on ED, vol. 41, no. 3, pp. 288-293, Mar. 1994.

[8] A. B. Grebene and S. K. Ghandi, "General Theory of Pinched Operation of Junction Gate FET," SSE, vol. 12, pp. 573-589, 1969.

[9] M. S. Shur, "Analytical Model of GaAs FET's," IEEE Trans. on ED, vol. 32, no. 1, pp. 70-72, Jan. 1985.

[10] MEDICI User's manual, Technology Modeling Associates, Inc., 1992.

[11] T. H. Chen and M. S. Shur, "A Capacitance Model for GaAs MESFET's," IEEE Trans. on ED, vol. 12, no. 5, pp. 883-891, May 1985.

저 자 소 개

李 相 興(正會員)

1966년 1월 5일생. 1988년 2월 충남대학교 공과대학 전자공학과 졸업 공학사. 1992년 2월 충남대학교 대학원 전자공학과 졸업 공학석사. 1998년 2월 충남대학교 대학원 전자공학과 졸업 공학박사. 1990년 10월 ~ 1991년 3월 한국전자통신연구원 화합물집적회로연구실 위촉연구원. 1995년 3월 ~ 1998년 3월 한국과학기술원 정보전자연구소 위촉연구원. 1994년 3월 ~ 현재 천안공업대학 강사. 1998년 4월 ~ 현재 한국전자통신연구원 회로소자기술연구소 집적회로연구부 시스템설계자동화팀 박사후(PostDoc) 연수연구원. 주관심분야는 반도체소자 모델링 및 시뮬레이션, 전기 패키지 모델링, VLSI 설계 등임.

李 起 焌(正會員) 第 27卷 A編 第 4號 參照

현재 충남대학교 전자공학과 교수