

論文98-35D-12-9

Electron Cyclotron Resonance N₂O-플라즈마 게이트 산화막을 사용한 다결정 실리콘 박막 트랜지스터의 성능 향상 및 단채널 효과 억제

(Improved Performance and Suppressed Short-Channel Effects of Polycrystalline Silicon Thin Film Transistors with Electron Cyclotron Resonance N₂O-Plasma Gate Oxide)

李進雨*, 李來寅**, 韓喆熙*

(Jin-Woo Lee, Nae-In Lee, and Chul-Hi Han)

요 약

본 논문에서는 electron cyclotron resonance (ECR) N₂O-플라즈마 산화막을 게이트 산화막으로 사용한 다결정 실리콘 박막 트랜지스터 (TFT)의 성능과 단채널 특성에 대하여 연구하였다. ECR N₂O-플라즈마 게이트 산화막을 사용한 소자는 열산화막을 이용한 경우에 비해 우수한 성능과 억제된 단채널 효과를 나타낸다. 얇은 ECR N₂O-플라즈마 산화막을 사용하여 n채널 TFT의 경우 3 μm, p채널 TFT의 경우 1 μm 게이트 길이까지 문턱 전압 감소가 없는 소자를 얻었다. 이러한 특성 향상은 부드러운 계면, passivation 효과, 그리고 계면과 박막 내부에 존재하는 강한 Si ≡ N 결합 등에 기인한다.

Abstract

Improved performance and suppressed short-channel effects of polysilicon thin film transistors (poly-Si TFTs) with very thin electron cyclotron resonance (ECR) N₂O-plasma gate oxide have been investigated. Poly-Si TFTs with ECR N₂O-plasma oxide (N₂O-TFTs) show better performance as well as suppressed short-channel effects than those with conventional thermal oxide. The fabricated N₂O-TFTs do not show threshold voltage reduction until the gate length is reduced to 3 μm for n-channel and 1 μm for p-channel, respectively. The improvements are due to the smooth interface, passivation effects, and strong Si ≡ N bonds.

I. 서 론

최근, 다결정 실리콘 박막 트랜지스터 (poly-

SiTFT)는 능동 액정 표시기 (Active matrix liquid crystal display, AM-LCD), 집적회로, EEPROM, 그리고 비 휘발성 정적 기억소자 (Non-volatile static RAM)에 응용되고 있다^{[1]-[4]}. 이들 응용 분야에서, poly-Si TFT의 낮은 문턱 전압, 우수한 subthreshold 특성 및 균일한 전류-전압 특성을 얻기 위해, 전기적 특성이 우수한 얇은 게이트 산화막을 기르는 것에 대한 관심이 크게 고조되어 왔다^[5]. 그러나, 기존의 방법(열산화, 저압 또는 상압 기상 화학 증

* 正會員, 韓國科學技術院 電氣 및 電子工學科
(Department of Electrical Engineering)

** 正會員, 三星電子(株)

(Samsung Electronics Co., Ltd)

接受日字:1998年5月21日, 수정완료일:1998年11月19日

착, 플라즈마 증착)으로 다결정 실리콘 위에 형성된 얇은 산화막은 전기적 특성이 매우 나빠서^[6], poly-Si TFT의 게이트 절연막으로 사용하기엔 부적합하다.

한편, 고집적을 위해 작은 크기를 갖는 poly-Si TFT의 필요성이 크게 대두되고 있으나, 게이트 길이가 짧아질수록 poly-Si의 그레인 경계 (grain boundary)에 존재하는 많은 결함 준위 때문에 심각한 단채널 효과를 보인다^[7]. 단채널 효과 억제를 위해, 이온 주입, 수소화 및 offset/LDD 구조 등의 방법이 사용되어 왔다^{[7], [8]}. 그러나, 여전히 bulk-MOSFET 보다 매우 심각한 단채널 효과 때문에, 고집적도 실현에 큰 장애물이 되고 있다. 이러한 단채널 효과를 획기적으로 억제하기 위해서는 게이트 산화막의 두께를 줄이는 것이 절실하나, 우수한 특성을 갖는 얇은 산화막을 구현하기 어려워서, poly-Si TFT에서 얇은 게이트 산화막을 사용한 단채널 효과 억제에 대한 연구가 매우 미흡하였다.

본 논문에서는 ECR N₂O-플라즈마 산화를 이용하여 얻어진 얇은 산화막을 게이트 절연막으로 사용한 poly-Si TFT의 우수한 성능과 단채널 효과를 억제 한 결과를 보인다.

II. 실험 방법

ECR N₂O-플라즈마 산화막과 열산화막을 이용하여 자기 정렬 (self-aligned) 구조의 상보성 (complementary) 다결정 실리콘 박막 트랜지스터를 제작하였다. 열산화된 실리콘 웨이퍼 위에 LPCVD에서 SiH₄가스를 이용하여 100 nm 두께의 비정질 실리콘을 증착하였으며, 600 °C 질소 분위기에서 고상 결정화를 통하여 다결정 실리콘을 형성하였다. ECR N₂O-플라즈마 산화를 이용하여 400 °C, 2 mtorr의 공정 압력과 600 W의 초고주파 전력하에서 12 nm 두께의 게이트 절연막을 길렀다. 비교를 위하여, 9.7 nm 두께의 열산화막을 900 °C, 전식 산화를 이용하여 길렀다. 게이트 다결정 실리콘은 LPCVD에서 580 °C, SiH₄가스를 이용하여 증착하였다. 게이트 도핑은 고체 확산 소오스 (PH-1000N)를 이용하여 950 °C에서 30분간 도핑하였다. 소오스 및 드레인 도핑은 n채널 TFT의 경우 As⁺이온을, p채널 TFT의 경우 BF₂⁺이온을 5 × 10¹⁵ cm⁻²의 dose로 각각 주입하였다. 주입된 불순물의 활

성화를 위하여 900 °C에서 30분간 열처리를 하였다. 보호층으로 쓰일 LPCVD 산화막을 증착한 뒤, 접촉 구멍을 형성한 다음 알루미늄을 증착하였다.

III. 결과 및 고찰

ECR N₂O-플라즈마 산화막은 산화막과 실리콘 내부에 질소를 결합시킨다. 질소의 결합 상태를 알아 보기 위하여 X-선 광전자 분광 (XPS) 측정을 하였다. 그림 1에 N₂O-플라즈마 산화막의 N(1s) 결합에너지를 나타내었다. 내부 그림은 깊이에 따른 질소 원자의 XPS 농도이다. 계면과 다결정 실리콘 내부에 함유된 질소는 397.8 eV의 N(1s) 전자 결합에너지를 가지며, 이 값은 LPCVD 실리콘 질화막의 Si≡N 결합에서의 것과 거의 같다^[9]. 따라서, ECR N₂O-플라즈마 산화에 의해 결합된 질소는 강한 Si≡N 결합을 형성함으로써 그레인 경계와 그레인 내부에 존재하는 트랩 준위들을 passivation 한다고 여겨진다^{[10], [11]}.

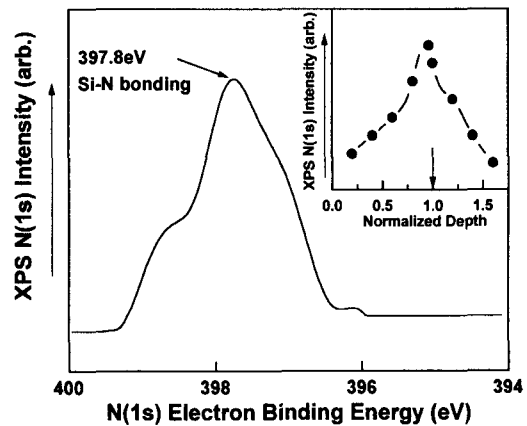


그림 1. N₂O-플라즈마 산화막 계면에서의 질소원자에 대한 XPS N(1s) 전자 결합 에너지 강도. 결합 에너지는(1s) 최내각 전자를 진공 준위까지 탈출 시키는데 필요한 에너지로 정의 되었다. 내부의 그림은 깊이에 따른 XPS N(1s) 강도 분포 화살표는 실리콘/산화막 계면을 가리킨다

Fig. 1. XPS intensity of nitrogen N(1s) energy of N₂O-plasma oxide at the interface. Binding energy is defined as a required energy to escape electron from core shell (1s) to vacuum. Inset: the depth profile of XPS N(1s) intensity. The vertical arrow indicates the Si/SiO₂ interface.

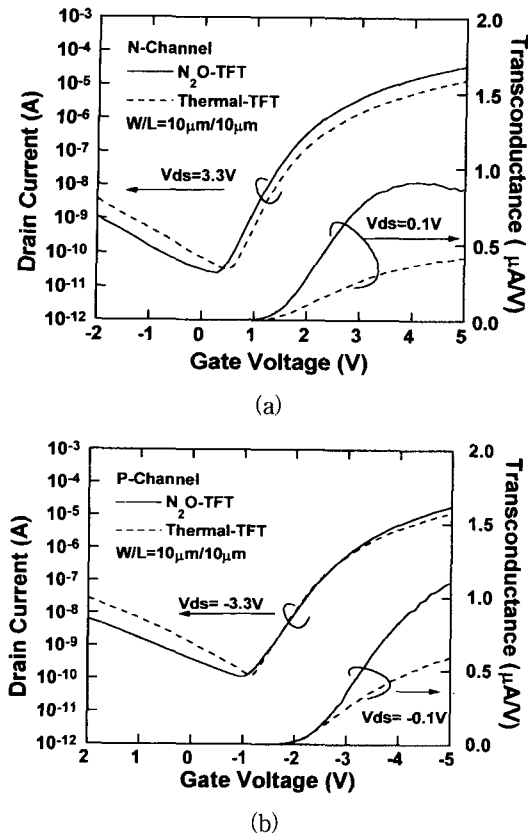


그림 2. N_2O -플라즈마 산화막과 열산화막을 사용한 다결정 실리콘 박막 트랜지스터의 드레인 전류-게이트 전압 특성 (a) n채널 (b) p채널

Fig. 2. Measured I_{ds} - V_{gs} characteristics of complementary poly-Si TFTs with N_2O -plasma and thermal gate oxide. (a) n-channel (b) p-channel

그림 2 (a), (b) 에 제작된 다결정 실리콘 박막 트랜지스터의 드레인 전류-게이트 전압 전달 특성을 나타내었다. n 및 p채널 모두에서 ECR N_2O -플라즈마 산화막을 사용한 TFT (N_2O -TFT)가 열산화막을 사용한 TFT (Thermal-TFT)보다 이동도, 누설 전류, 문턱 전압 등의 측면에서 우수한 특성을 보인다. 열산화는 그레인 경계로의 산화물질의 확산 증가 및 결정 방향에 따른 불균일한 산화율로 인해 다결정 실리콘의 표면 거칠기를 증가시킨다^[10]. 반면, ECR N_2O -플라즈마 산화는 낮은 산화율과 질소-함유층으로 인해 그레인 경계에서의 산화 물질의 확산 증가가 적고 결정 방향에 대하여 균일한 산화율을 가짐으로써 다결정 실리콘의 표면 거칠기를 증가시키지 않고 부드러운 산화막/다결정 실리콘 계면을 형성한다^[10]. 다

결정 실리콘의 표면 거칠기는 TFT의 전자 및 정공의 이동도에 직접적인 영향을 미치므로^[12], N_2O -TFT의 높은 전자 및 정공의 이동도는 N_2O -플라즈마 산화막과 실리콘간의 계면이 매우 부드럽기 때문이라고 생각된다^[10].

기존의 보고에 의하면, ECR O_2 -플라즈마 산화막을 이용한 TFT는 산소 플라즈마에 의한 passivation 효과에 의해 우수한 전기적 특성을 가진다^[13]. 한편, 질소 이온 주입 또는 NH_3 -플라즈마 어닐링을 이용하여 결합된 질소에 의한 passivation 효과가 TFT의 특성에 미치는 영향이 보고된 바 있다^{[14], [15]}. 질소 이온 주입에 의해 다결정 실리콘 내부에 함유된 질소는 donor효과 또한 가지고 있어서, p채널 TFT의 경우 passivation효과가 상쇄된다고 보고 되었다^[14]. 그림 2 (a), (b)에서 보여지는 바와 같이 n채널에 비해 p채널 N_2O -TFT의 문턱 전압 향상이 적게 이루어졌다. 이것은 ECR N_2O -플라즈마에 의해 결합된 질소 또한 donor효과를 가지고 있어서 passivation효과를 상쇄 했기 때문이라 생각된다.

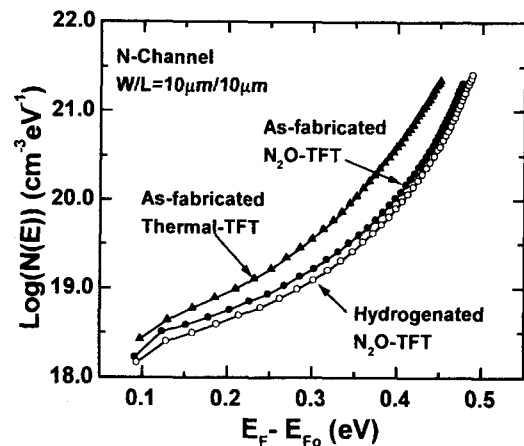
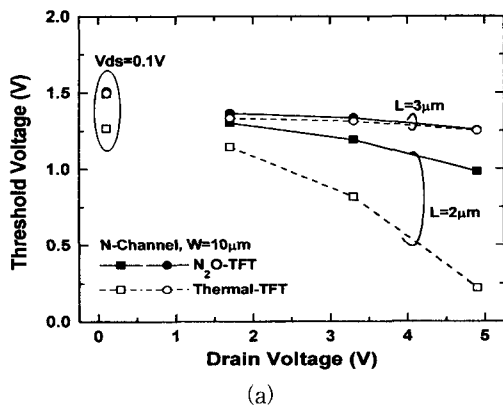


그림 3. N_2O -플라즈마 산화막과 열산화막을 사용한 다결정 실리콘 박막 트랜지스터의 bandgap내부의 결함 준위 밀도. 에너지는 평탄 전압 조건에서의 페르미 준위를 기준으로 하였다

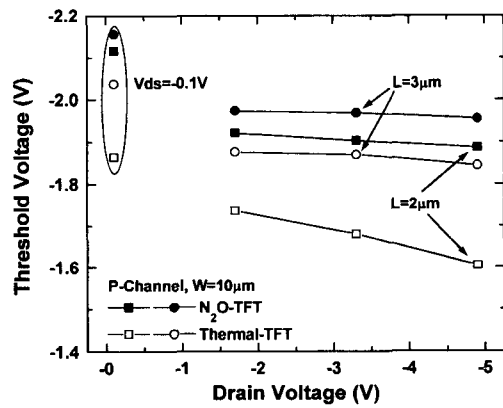
Fig. 3. Density of states in the forbidden gap for the poly-Si TFTs with thermal and N_2O -plasma gate oxide. The energy is referred to the Fermi level position at the Flatband condition.

ECR N_2O -플라즈마 산화의 passivation 효과를 알아보기 위해, 결함 준위 밀도 (density of trap states)를 field-effect conductance방법으로 구하였

다^[16]. 그림 3에 N₂O-TFT와 Thermal-TFT들의 결함 준위 밀도를 나타낸다. 아울러 수소화 후의 N₂O-TFT의 것도 함께 나타낸다. ECR N₂O-플라즈마 산화의 경우 결함 준위 밀도가 크게 낮았고 수소화 후에 결함 준위 밀도가 조금 감소되었다. 이 결과는 대부분의 결함 준위가 ECR N₂O-플라즈마 산화시 passivation 되었음을 의미한다. 이것은 질소 원자가 형성하고 있는 Si≡N결합 또는 산소 원자가 결합하고 있는 Si-O결합이 수소화에 의해 생성되는 Si-H결합에 비해 강하기 때문이다.



(a)

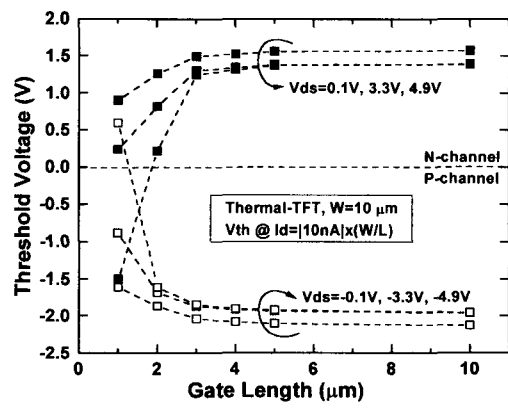


(b)

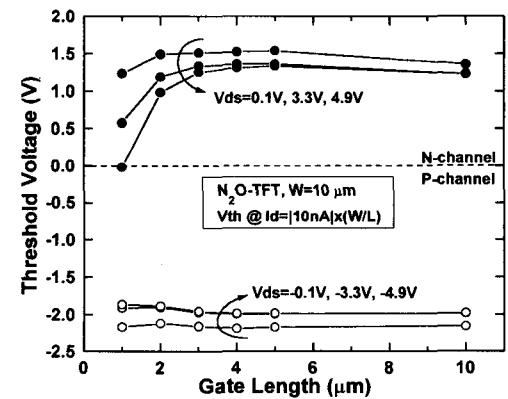
그림 4. N₂O-플라즈마 산화막과 열산화막을 사용한 다결정 실리콘 박막 트랜지스터의 드레인 바이어스에 따른 문턱 전압. 문턱 전압은 $I(W/L) \times 10$ nA의 드레인 전류가 흐를 때로 정의되었다 (a) n채널 (b) p채널

Fig. 4. Threshold voltage versus drain bias characteristics of complementary poly-Si TFTs with thermal oxide and N₂O-plasma oxide. The threshold voltage is defined as a gate voltage for a drive current of $I(W/L) \times 10$ nA. (a) n-channel (b) p-channel

그림 4 (a), (b)에 2 µm 게이트 길이를 갖는 n채널 및 p채널 소자들의 드레인 바이어스에 대한 문턱 전압을 각각 나타내었다. n채널과 p채널 모두에서 N₂O-TFT가 Thermal-TFT보다 드레인 바이어스에 따른 문턱 전압 감소가 적었다. p채널 소자들이 n채널 소자들에 비해 드레인 바이어스에 대한 문턱 전압 감소가 적은 것은 정공의 이온화율이 전자의 것보다 낮기 때문이다^[7]. 기존의 보고에 의하면, 충격 이온화 (impact ionization)에 의한 “kink 효과”가 높은 드레인 바이어스에서의 문턱 전압 감소의 원인이다.



(a)



(b)

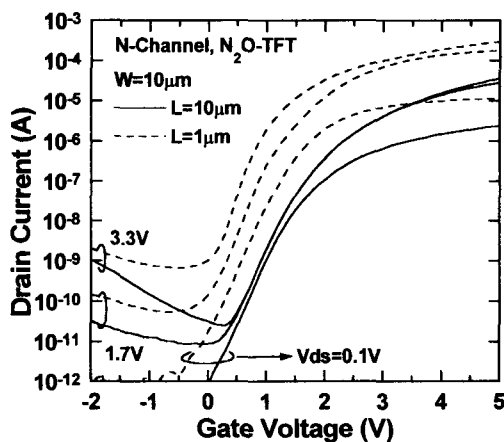
그림 5. (a) 열산화막 (b) N₂O-플라즈마 산화막을 사용한 다결정 실리콘 박막 트랜지스터의 게이트 길이에 따른 문턱 전압

Fig. 5. Threshold voltage versus gate length characteristics of complementary poly-Si TFTs. (a) Thermal-TFTs (b) N₂O-TFTs.

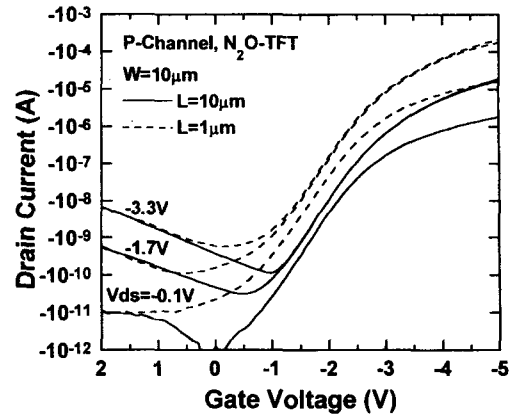
즉, 게이트 길이가 짧을 수록, 드레인 전압에 의한 그레인 경계에서의 장벽 저감 (drain induced grain

boundary lowering, DIGBL) 효과와 전계-의존 trap-assisted 눈사태 현상 (field-dependent trap-assisted avalanche generation)이 심화되며, 이들 효과는 모두 다결정 실리콘 내부의 트랩 준위 밀도와 밀접한 관계를 갖는다. 따라서, N_2O -TFT가 Thermal-TFT에 비해 드레인 전압 증가에 따른 문턱 전압 감소가 적은 것은 낮은 트랩 준위 밀도를 갖고 있기 때문이다. 또한, 계면과 다결정 실리콘 내부에 존재하는 강한 $Si \equiv N$ 결합이 impact ionization에 대하여 강한 내성을 갖고 있기 때문에 여겨진다.

그림 5 (a), (b)에 각각 제작된 Thermal-TFT와 N_2O -TFT의 게이트 길이에 따른 문턱 전압을 나타내었다. 두 경우 모두 게이트 길이가 줄어 들수록, 높은 드레인 바이어스에서 문턱 전압이 더 많이 감소하며, 이것은 그림 3에서의 결과와 일치한다. 산화막의 두께가 열산화막에 비해 두꺼움에도 불구하고, N_2O -TFT의 경우 문턱 전압 감소가 적다. 이런 문턱 전압 변화 특성은 높은 드레인 바이어스에서 더 억제된다. 보이는 바와 같이, ECR N_2O -플라즈마 산화를 이용함으로써 n채널의 경우 $3 \mu m$ 의 게이트 길이까지, p채널의 경우 $1 \mu m$ 의 게이트 길이까지 문턱 전압 감소가 나타나지 않았다. 이것은 기존의 보고된 단채널 효과의 결과와 비교할 때 크게 개선된 결과이다 [7], [17], [18]. 특히, p채널 N_2O -TFT의 채널 길이 감소에 따른 문턱 전압 감소가 n채널 N_2O -TFT 보다 더욱 더 적은 것은, 질소의 donor효과에 의해 p채널 TFT의 경우에서만 활성 영역의 상반 도핑 효과가 나타났기 때문이라고 생각되며 [19], 이것은 그림 2에서의 결과와도 일치 한다.



(a)



(b)

그림 6. N_2O -플라즈마 산화막을 사용한 $1 \mu m$ 와 $10 \mu m$ 게이트 길이를 갖는 다결정 실리콘 박막 트랜지스터의 드레인 전류-게이트 전압 특성 (a) n채널 (b) p채널

Fig. 6. Typical I_{ds} - V_{gs} transfer characteristics of poly-Si TFTs with N_2O -plasma oxide with $1 \mu m$ and $10 \mu m$ gate length. (a) n-channel (b) p-channel.

질소의 donor효과가 없는 Thermal-TFT의 경우 n채널과 p-채널 모두 비슷한 형태로 문턱 전압 감소가 나타남을 알 수 있다.

그림 6 (a), (b)에 $1 \mu m$ 와 $10 \mu m$ 의 게이트 길이를 갖는 n채널 및 p채널 N_2O -TFT의 드레인 전류-게이트 전압 특성을 각각 나타내었다. 단채널 소자의 경우, 드레인 전압이 커짐에 따라 문턱 전압과 subthreshold slope이 감소하였다. 이러한 단채널 효과에도 불구하고, $1 \mu m$ 의 게이트 길이를 갖는 N_2O -TFT는 기존의 두껍거나 열등한 산화막을 사용한 소자에서 얻을 수 없는 우수한 전달 특성을 나타낸다.

IV. 결 론

얇은 ECR N_2O -플라즈마 산화막을 게이트 절연막으로 사용한 다결정 실리콘 박막 트랜지스터의 성능과 단채널 효과가 연구되었다. 얇은 ECR N_2O -플라즈마 산화막을 게이트 절연막으로 사용한 TFT는 열산화막을 사용한 TFT에 비해 우수한 성능과 매우 억제된 단채널 효과를 보여 주었다. N_2O -TFT는 n채널의 경우 $3 \mu m$ 까지, p채널의 경우 $1 \mu m$ 까지 문턱 전압 감소가 나타나지 않았다. 이러한 특성 향상의 원인은

로는, ECR N_2O -플라즈마 산화의 passivation 효과, 부드러운 계면, 함유된 질소가 형성하고 있는 강한 Si $\equiv N$ 결합 등이 있다. 저온 공정과 우수한 얇은 산화막을 기를 수 있는 ECR N_2O -플라즈마 산화법은 MOSFET소자와 다결정 실리콘 박막 트랜지스터의 게이트 절연막으로 응용이 가능하며, 표시 시스템을 하나의 기판 위에 집적하는 고집적 System-On-Glass 구현에 매우 적합한 방법이라 생각된다.

참 고 문 헌

- [1] H. Oshima and S. Morozumi, "Future trends for TFT integrated circuits on glass substrates", in IEDM Tech. Dig., p. 157, 1989.
- [2] A. G. Lewis, I. W. Wu, T. Y. Huang, A. Chiang and R. H. Bruce, "Active matrix liquid crystal display design using low and high temperature processed polysilicon TFTs", in IEDM Tech. Dig., p. 843, 1990.
- [3] M. Cao, T. Zhao, K. C. Sarawat, and J. D. Plummer, "A Simple EEPROM cell using twin polysilicon thin film transistors", *IEEE Electron Device Lett.*, vol. 15, p. 304, 1994
- [4] A. Kumar K.P. and J. K.O. Sin, "A Simple polysilicon TFT technology for display systems on glass", in IEDM Tech. Dig., p. 515, 1997.
- [5] P. S. Lin and T. S. Li, "The impact of scaling-down oxide thickness on poly-Si thin-film transistors" I-V characteristics, *IEEE Electron Device Lett.*, vol. 15, p. 138, 1994.
- [6] T. I. Kamins, "Polycrystalline silicon for integrated circuit applications", Kluwer Academic, Boston, 1988.
- [7] A. G. Lewis, I. W. Wu, T. Y. Huang, M. Koyanagi, A. Chiang, and R. H. Bruce, "Small geometry effects in N- and P-channel polysilicon thin film transistors", in IEDM Tech. Dig., p. 260, 1988.
- [8] C. T. Liu, C. H. Douglas Yu, A. Kornblit, and K. H. Lee, "Inverted thin-film transistors with a simple self-aligned lightly doped drain structure", *IEEE Trans. on Electron Devices*, vol. 39, p. 2803, 1992.
- [9] R. I. Hedge, P. J. Tobin, K. G. Reid, B. Maiti, and S. A. Ajuria, "Growth and surface chemistry of oxynitride gate dielectric using nitric oxide", *J. Appl. Phys. Lett.*, vol. 66, p. 2882, 1995.
- [10] J. W. Lee, N. I. Lee, S. H. Hur, and C. H. Han, "Oxidation of Silicon Using Electron Cyclotron Resonance Nitrous Oxide Plasma and Its Application to Polycrystalline Silicon Thin Film Transistors", *J. of Electrochem. Soc.* vol. 144, no. 9, p. 3283, 1997.
- [11] J. W. Lee, N. I. Lee, J. I. Han, and C. H. Han, "Characteristics of polysilicon thin film transistor with thin-gate dielectric grown by electron cyclotron resonance nitrous oxide plasma", *IEEE Electron Device Lett.*, vol. 18, p. 171, 1997.
- [12] H. Takahashi and Y. Kojima, "Oxide-semiconductor interface roughness and electrical properties of polycrystalline silicon thin-film transistors", *J. Appl. Phys. Lett.*, vol. 64, no. 17, p. 2273, 1994.
- [13] J. Y. Lee, C. H. Han, and C. K. Kim, "ECR plasma oxidation effects on performance and stability of polysilicon thin film transistors", in IEDM Tech. Dig., p. 523, 1994.
- [14] C. K. Yang, T. F. Lei, and C. L. Lee, "Improved electrical characteristics of thin-film transistors fabricated on nitrogen-implanted polysilicon films", in *IEDM Tech Dig.*, p. 505, 1994.
- [15] H. C. Cheng, F. S. Wang, and C. Y. Huang, "Effects of NH_3 plasma passivation on n-channel polycrystalline silicon thin-film transistors", *IEEE Trans. Electron Devices*, vol. 44, p. 64, 1997.
- [16] G. Fortunato and P. Migliorato, "Determination of gap state density in

- polycrystalline silicon by field-effect conductance”, *J. Appl. Phys. Lett.*, vol. 49, p. 1025, 1986.
- [17] M. Hack and A. G. Lewis, “Avalanche-induced effects in polysilicon thin-film transistors”, *IEEE Electron Device Lett.*, vol. 12, p. 203, 1991.
- [18] S. Yamada, S. Yokoyama, and M. Koyanagi, “Two-dimensional device simulator for avalanche induced short channel effect in poly-Si TFT”, in *IEDM Tech. Dig.*, p. 859, 1990.
- [19] J. B. Mitchell, J. Shewchun, and D. A. Thompson, and J. A. Davies, “Nitrogen-implanted silicon. II. Electrical properties,” *J. Appl. Phys.*, vol. 46, p. 335, 1975.

 저 자 소 개



李進雨(正會員)

1972년 9월 12일생. 1994년 한국과학기술원 전기 및 전자공학과 졸업. 1996년 한국과학기술원 전기 및 전자공학과 졸업(석사). 현재 한국과학기술원 전기 및 전자공학과 박사과정

李來寅(正會員)

1965년 2월 10일생. 1987년 고려대학교 전기공학과 졸업. 1989년 고려대학교 전기공학과 졸업(석사). 1989년 ~ 1994년 삼성전자(주) 반도체 연구소 연구원. 1994년 ~ 현재 삼성전자(주) 반도체 연구소 선임연구원. 1995년 ~ 현재 한국과학기술원 전기 및 전자공학과 박사과정



韓喆熙(正會員)

1954년 8월 12일생. 1977년 서울대 공대 전기공학과 졸업. 1979년 한국과학기술원 전기 및 전자공학과 졸업(석사). 1983년 한국과학기술원 전기 및 전자공학과 졸업(공학박사). 1983년 ~ 1987년 금성사 중앙연구소 책임연구원. 현재 한국과학기술원 전기 및 전자공학과 교수