

SOI edge channel과 나노 점을 갖는 나노 구조의 기억소자

(A Nano-structure Memory with SOI Edge Channel and A Nano Dot)

朴根叔*, 韓相然**, 申炯澈**

(Geunsook Park, Sangyeon Han, and Hyungcheol Shin)

요 약

본 논문에서는 SOI 기판 위에 새롭게 제안된 측면 채널과 나노 점을 갖는 나노 구조의 기억소자를 제작하였다. Top-silicon의 측면이 채널영역이 되고 나노 점이 이 채널 영역의 위에 반응성 이온 식각(RIE)에 의해 형성되는 구조를 가지는 이 소자는 측면 채널(edge channel)의 너비가 SOI기판의 열산화에 의해 얇아진 top-silicon의 두께에 의해 결정되고, 나노 점의 크기는 반응성 이온 식각(RIE) 및 전자선 직접·묘화에 의해 결정된다. 제작된 나노 구조 소자의 I_d-V_d , I_d-V_g 특성 및 -20V에서 +14V까지의 게이트 전압 영역에서 문턱전압의 변화 범위가 약 1V정도 되는 기억소자의 특성을 얻었다.

Abstract

We fabricated the newly proposed nano structure memory with SOI edge channel and a nano dot. The width of the edge channel of this device, which uses the side wall as a channel and has a nano dot on this channel region, was determined by the thickness of the recessed top-silicon layer of SOI wafer. The size of side-wall nano dot was determined by the RIE etch and E-Beam lithography. The I_d-V_d , I_d-V_g characteristics of the devices without nano dots and memory characteristics of the devices with nano dots were obtained, where the voltage scan was done between -20 V and 14 V and the threshold voltage shift was about 1 V.

I. 서 론

현대의 정보통신 기술은 고집적 데이터 저장기술의 끊임없는 발전을 요구하고 있다. 최근의 반도체 기억 소자를 살펴보면 64M Dynamic Random Access Memory(DRAM)는 전자 백만 개 정도로, 16M 비휘

발성 메모리는 전자 만개정도로 1bit의 정보를 저장하고 있다. 메모리 산업의 발전속도를 감안하면 2010년에는 전자 10개 이하로 1bit의 정보를 저장하게 된다는 예측들이 나오고 있다. 일반적으로 하나의 칩(chip)에 더 많은 정보를 저장하기 위해서는 소자의 크기와 에너지 소모가 작아야 한다. 따라서, 미래의 기억 소자는 현재 보다도 소자의 크기와 단위 비트 저장에 필요한 전자의 개수가 크게 줄어들 것으로 예측이 되고 있다. 이러한 관점에서 볼 때, 나노 구조의 기억소자는 소자의 크기가 작을 뿐 아니라 동작속도가 빠르고 에너지 소모 또한 작다^[1, 2]. DRAM으로 대표되는 기억소자가 우리나라 산업에서 차지하는 비중으로 미루어 볼 때, 이러한 나노 구조의 기억 소자 개발은 차세

* 正會員, LG 半導體 (株)

(LG Semicon Co., Ltd.)

** 正會員, 韓國科學技術院 電氣 및 電子工學科

(Department of Electrical Engineering, KAIST)

接受日字:1998年5月8日, 수정완료일:1998年11月23日

대 테라비트(tera bit)급의 메모리에 응용 가능한 소자라는 측면에서 매우 큰 의미를 가진다. 최근에 SOI의 측면 채널을 이용한 트랜지스터가 발표되었다^[2]. 우리는 이 구조를 발전시켜, 본 논문에서 SOI 기판을 이용하여 측면 채널과 나노 점을 갖는 나노 구조의 기억소자를 새롭게 제안하고 제작하였다. 이 논문에서는 나노 구조 기억소자의 공정 방법 및 전기적 특성을 보였다.

II. 소자의 구조 및 제작

우리가 이 소자를 제작할 때 이용한 측면(side wall)공정은 수직 식각 기술을 이용하므로, lithography 기술을 이용하지 않고도 나노 점을 작게 만들 수 있다는 데 장점이 있다.

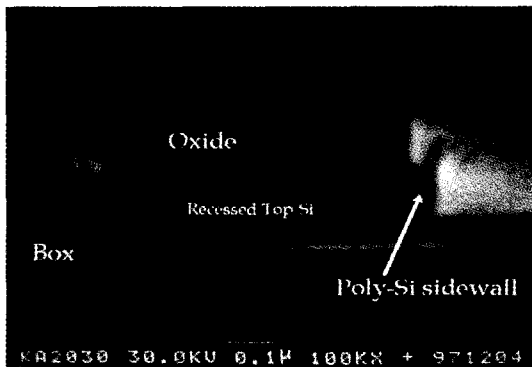


그림 1. 다결정 실리콘은 두꺼운 산화막과 열산화에 의해 얇아진 top-silicon의 옆면을 따라 남는다. 남겨진 다결정 실리콘의 두께는 약 100nm 이고, 이 논문에서 제작된 기억소자에서의 두께는 50nm보다 작다

Fig. 1. Poly-silicon remains at the side wall of the thick oxide and the recessed top-silicon layer. The thickness of the remained poly-silicon is about 100nm, in this case, thickness is smaller than 50nm in our memory device.

공정 순서로는 우선 SOI기판을 열산화하여 top-silicon을 얇게 하고 이때 형성된 열산화막과 얇아진 top-silicon을 한번에 수직 식각한다. 이때, 열산화막과 얇아진 top-silicon은 반드시 수직 식각 되어야만 후에 나노 점 형성이 용이하다. 그리고, 터널링 열산화막을 기른 뒤 LPCVD 다결정 실리콘을 얇게 증착한 후 측면(side wall)에 다결정 실리콘이 작게 남도록

수직 식각한다. LPCVD 다결정 실리콘은 등방성으로 증착되고 반응성 이온 식각(RIE)은 거의 이방성 수직 식각이 되기 때문에 측면(side wall)을 따라 다결정 실리콘이 남는다. 그림 1은 측면(side wall)에 다결정 실리콘이 100nm남도록 etch-back한 후의 사진이다.

다결정 실리콘은 top-silicon의 옆면을 따라 연속하여 남게 되므로 그림 2와 같이 전자선 패터닝하여 짧게 잘라낸다. 이렇게 하여 만들어진 나노 점은 그림 2 (b)와 같은 모양일 것이다.

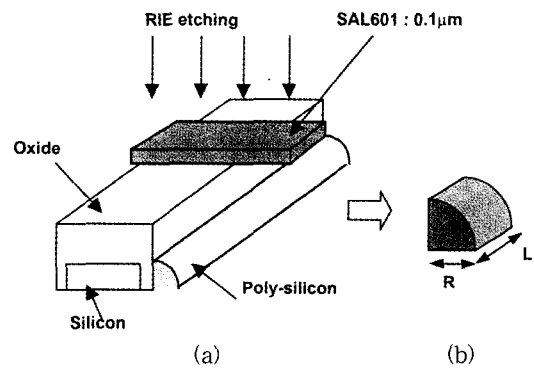


그림 2. 실리콘의 옆면을 따라 연속적으로 남은 다결정 실리콘은 전자선 직접 묘화를 이용하여 잘라내면 나노 점이 형성된다. R과 L은 실린더의 반지름과 길이를 나타낸다

Fig. 2. The poly-silicon remained at the side wall was patterned by E-Beam lithography to form a nano-dot. R and L represent the radius and the length of the cylinder.

이러한 방법으로 우리는 측면 채널과 나노 점을 갖는 나노 구조의 기억소자를 제작하였다. 처음 top-silicon을 얇게 한 후의 두께는 SEM(Scanning Electron Microscope)으로 측정하였을 때, 41nm였고 이때 길러진 열산화막의 두께는 200nm였다. 터널링 산화막 14nm를 열산화하여 기른 뒤 LPCVD 다결정 실리콘을 50nm 증착하고 나노 점의 크기가 10nm 정도 되도록 반응성 이온 식각(RIE)을 감안하여 식각(etch-back)하였고, 측면(side wall)에 연속하여 남은 다결정 실리콘을 전자선 패터닝으로 약 100nm 크기로 잘라내어 나노 점을 형성하였다. 그림 3은 다결정 실리콘이 측면(side wall)을 따라 남아있게 만들기 위해 100nm 전자선 패터닝을 한 후의 SEM사진을 보여주고 있다.

나노 점 위에 산화막을 50nm 증착한 후 콘트롤 레이트 다결정 실리콘을 증착하였다. 그러면 이 소자의

구조는 그림 4에서와 같은 모습이 된다.

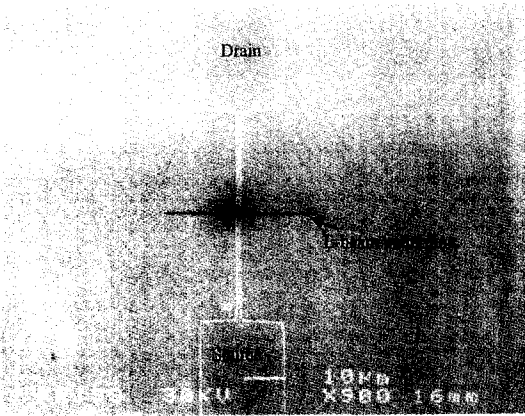


그림 3. 나노 점을 만들기 위해 전자선 패터닝한 사진
Fig. 3. The poly-silicon remained at the side wall was patterned by E-beam lithography to form a nano-dot.

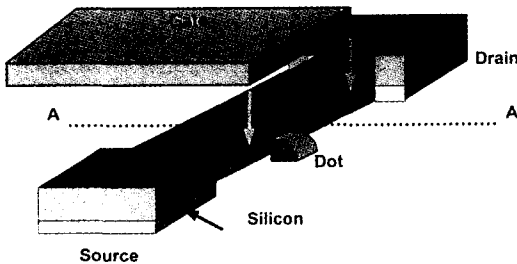


그림 4. 측면 채널과 나노 점을 갖는 나노 구조 기억 소자의 조감도
Fig. 4. The structure of nano-structure memory with SOI edge channel and a nano dot. Bird's eye view.

일반적인 MOSFET나 기억소자는 실리콘 표면에 반전층(inversion layer)이 생성되지만 이 논문에서 발표되는 소자는 콘트롤 게이트 아래의 산화막의 두께가 top-silicon의 옆면에 자라는 산화막에 비해 매우 두껍기 때문에 반전층(inversion layer)은 top-silicon의 옆면을 따라 생기게 된다^[2].

우리는 만들어진 나노 점을 원통의 1/4배 되는 모양으로 가정하여 제작된 소자의 capacitance를 계산하였다. 그림 5에서 볼 수 있듯이 이 소자에서는 3가지 capacitance성분이 있다^[3, 4]. C_{gc} 는 콘트롤 게이트와 채널, C_{gd} 는 콘트롤 게이트와 나노 점, C_{dc} 는 나노 점과 채널사이의 capacitance이다. 그리고 각각의 capacitance는 다음과 같이 표현된다^[5, 7, 8]

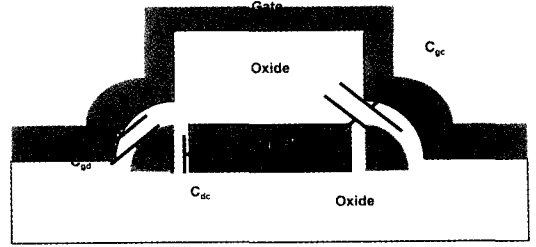


그림 5. 나노구조 기억소자의 capacitance
Fig. 5. The capacitance of nano-structure memory.

$$C_{gc} = (t_{si} - R)L \frac{\epsilon_{ox}}{(t_{ox1} + t_{ox2})}, \text{ when } t_{si} > R \quad (1)$$

$$C_{gd} = \frac{\epsilon_{ox} \frac{\pi}{2} L}{\ln\left(\frac{R + t_{ox2}}{R}\right)} \quad (2)$$

$$C_{dc} = \frac{\epsilon_{ox}}{t_{ox1}} RL \quad (3)$$

이때, t_{si} 는 top-silicon 두께이고 t_{ox1} 은 나노 점과 채널 사이의 터널링막 두께, t_{ox2} 는 나노점과 콘트롤 게이트 사이의 산화막 두께이다. 제작 과정을 통해서 형성된 나노 점의 크기 R, L 이 각각 40nm, 240nm이므로 C_{gd} 는 15.7aF, C_{dc} 는 24.66aF으로 계산되어진다. 이때의 C_{gc} 값은 $(t_{si} - R)$ 이 매우 작은 값을 가지므로 무시하였으므로, capacitance coupling ratio는 $C_{gd}/(C_{gd}+C_{dc})$ 로 계산되므로, 0.39가 된다. 그리고 전자 하나가 channel에서 나노 점으로 들어가게 하기 위해서 필요한 gate전압 $\Delta V_g (= \Delta V_{th})$ 와 나노 점 내의 charging 에너지의 변화량 ΔE_{ch} 는 다음과 같은 식으로 표현될 수 있다^[5, 6, 7].

$$\Delta V_g = \frac{e}{C_{ge}} \quad (4)$$

$$\Delta E_{ch} = \frac{e^2}{2 \cdot (C_{gd} + C_{dc})} \quad (5)$$

그리고, 그 각각의 값은 ΔV_g 가 10.2mV, ΔE_{ch} 는 1.98meV로 계산되었다.

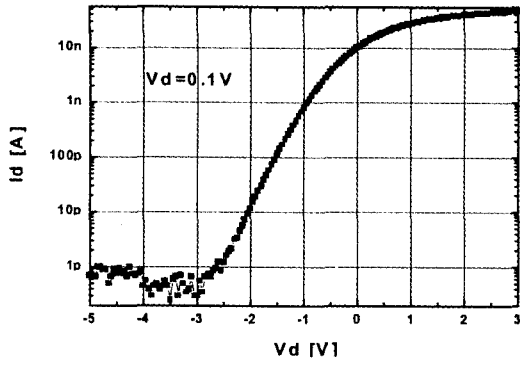
III. 측정 및 결과

제작된 나노 구조의 기억소자의 전기적 특성은 HP4145B 특성분석기를 이용하여 측정되었다.

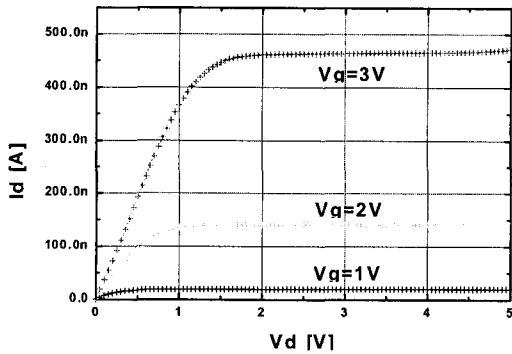
그림 6는 나노 점이 없는 FET의 I-V특성을 보여주고 있다. 이러한 I-V특성으로부터 얻어진 나노 구조

소자의 얇아진 top-silicon의 두께는 약 42nm이고, 이 값은 SEM으로 측정된 결과인 41nm와 거의 일치한다. 이 소자의 문턱 전압은 약 -0.5V임을 알 수 있다.

전자하나가 들어갔을 때 이 소자의 문턱전압 변화량이 약 10.2 mV이므로 1V의 문턱전압 변화를 위해서는 전자가 약 100개정도가 들어갔을 것으로 추정된다.



(a)



(b)

그림 6. 나노점이 없는 소자의 I-V특성. FET동작이 확인되었다. (a) I_d - V_g 특성곡선, (b) I_d - V_d 특성곡선

Fig. 6. The normal FET operation of the nano-structure edge channel transistor device without dot was observed. (a) I_d - V_g characteristics, (b) I_d - V_d characteristics.

그림 7은 나노 점을 가지고 있는 나노 구조 기억소자의 프로그램 및 소거 특성을 보여준다. 이는 -20V에서 14V까지 전압을 순방향 스위프 (forward sweep)하고 다시 14V에서 -20V로 역방향 스위프 (backward sweep)한 결과이며 프로그램 및 소거를 여러 번 반복해 본 결과 재현성이 확인되었다. 이때, 이 나노 구조 기억소자의 문턱 전압 이동은 약 1V정도이고 이는 프로그램시 채널에서 나노 점으로의 전자 이동에 기인한다. 즉, F-N(Fowler-Nordheim)터널링에 의한 채널에서 나노 점으로의 전자 터널링에 의해 프로그램이 되는 것이다^[9]. 그리고, 앞에서 보였듯이

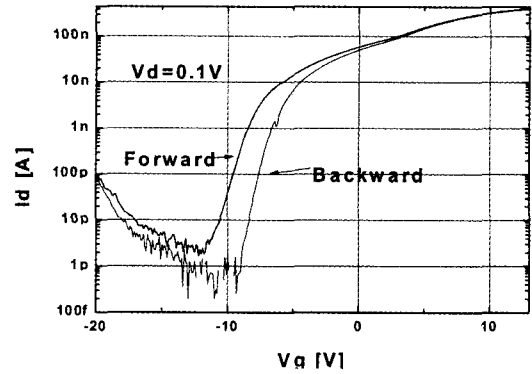


그림 7. 나노점이 있는 기억소자에서 약 1V의 문턱전압 변화가 있었다. 전압은 -20V에서 14V까지 스위프하였다

Fig. 7. The memory operation of nano-structure side channel memory device with dot was observed. And the threshold voltage shift is about 1V. The voltage scan was done between -20V and 14V.

IV. 결론

본 논문에서는 전자선 직접 묘화와 반응성 이온 식각(RIE)을 이용하여 측면 채널과 나노 점을 갖는 나노 구조의 기억소자를 제안하고 제작하였으며 또 상온에서 반도체 특성 분석기(parameter analyzer)를 이용하여 소자 특성을 측정하였다. 측정한 결과 나노 점이 없는 소자에서는 FET특성을 얻을 수 있었으며 나노 점이 있는 기억소자에서는 프로그램 및 소거 특성을 얻었고 1V의 문턱전압 변화가 있었다. 이러한 문턱전압 변화는 전자 100개정도가 나노 점에 저장되었음을 의미한다. 좀더 나은 광학 패터닝을 이용하여 채널 길이를 줄이고, 또 훨씬 더 작은 전자선 패터닝과 반응성 이온 식각(RIE)을 이용, 나노 점의 크기를 줄인다면, 현재 제작된 소자보다 훨씬 작은 크기의 소자를 제작할 수 있을 것이다. 결론적으로, 이 나노 구조의 기억 소자는 단전자 기억소자로의 응용이 가능할 것으로 예상된다.

참고 문헌

[1] L.P. Kouwenhoven, C.M. Marcus, P.L.

- Mceuen, S. Tarucha, R.M. Westervelt, and N.S. Wingreen. "Electron transport in quantum dot", *kluwer*, 1997.
- [2] Akiko OHATA and Akira TORIUMI, "Coulomb Blockade Effects in Edge Quantum Wire SOI-MOSFETs", *IEICE Trans. Electron.*, vol. E79.C, no. 11 Nov. 1996.
- [3] Lingjie Guo, Effendi Leobanaung, Stephen Y. Chou, "A Silicon Single-electron Transistor Memory Operating at Room Temperature.", *Science*, vol. 275, January 1997.
- [4] J.J. Welser, Sandip Tiwari, S. Rishton, K. Y. Lee, and Y. Lee, "Room Temperature Operation of a Quantum-Dot Flash Memory", *IEEE Electron Device Letters*. vol. 18, no. 6, June 1997.
- [5] Anri Nakajima, Toshiro Futatsugi, Kinjiro Kosemura, Tetsu Fukano, and Naoki, "Room Temperature operation of Si single-electron memory with self-aligned floating dot gate.", *Appl. Phys. Lett.*, vol. 70, March 1997.
- [6] Lingjie Guo, Effendi Leobanaung, Stephen Y. Chou, "A Room-temperature silicon single-electron metal-oxide-semiconductor memory with nanoscale floating-gate and ultranarrow channel.", *Appl. Phys. Lett.* vol. 70, February 1997.
- [7] Kazuo Yano, Tomoyuki Ishii, takashi Hashimoto, Takashi Kobayashi, Fumio Murai, and Koichi Seki, "Room-Temperature Single-Electron Memory", *IEEE Trans. Elect. Dev.* vol 41., no. 9, Sep. 1994.
- [8] Kazuo Yano, Tomoyuki Ishii, Takishi Hashimoto, Takashi Kobayashi, Fumio Murai, and Koichi Seki, "Transport characteristics of polycrystalline-silicon wire influenced by single-electron charging at room temperature.", *Appl. Phys. Lett.* vol. 67, no. 6, August 1995.
- [9] M. Lenzlinger and E. H. Snow, "Fowler-Nordheim tunneling into thermally grown SiO₂", *J. Appl. Phys.*, vol. 40, pp. 278-283, 1969.

저 자 소 개

朴根叔(正會員) 第33卷 A編 第3號 參照

1996년 2월 충북대학교 반도체 과학과 학사, 1998년 2월 한국과학기술원 전기및전자공학과 석사, 1998년 3월 ~ 현재 LG반도체 중앙 연구소 Device 팀 연구원. 주관심분야는 6T-SRAM, ASIC 소자, SET



申炯澈(正會員)

1985년 2월 서울대학교 전자공학과 전자공학 학사 취득. 1987년 2월 서울대학교 전자공학과 반도체 전공 석사 취득. 1993년 Univ. of California Berkeley 전기공학과 반도체 전공 박사 취득. 1992년 ~ 1994년 미국 Applied Materials 공정 엔지니어. 1994년 ~ 1996년 Motorola Advanced Custom Tech. 소자 엔지니어. 1996년 ~ 현재 한국과학기술원 전기 및 전자공학과 조교수. 1권의 저서와 약 70여편의 기술논문 발표. AVS(American Vacuum Society) 우수 논문상 수상. 주관심분야는 단전자 기억 소자, 나노 구조 소자, RF 회로, 저전력 회로



韓相然(正會員)

1993년 8월 한국과학기술원 과학기술대학 전기및전자공학과 학사. 1997년 2월 한국과학기술원 전기 및 전자공학과 석사. 1997년 3월 ~ 현재 한국과학기술원 전기및전자공학과 박사과정 재학중. 주관심분야는 E-Beam lithography, 단전자 기억소자, nano-crystal 기억소자