

論文98-35D-12-5

활성 바디 바이어스를 이용한 고속, 저전력 SOI 인버터 (A High Speed and Low Power SOI Inverter using Active Body-Bias)

吉俊濤*, 諸敏圭*, 李京美*, 李宗昊**, 申洞澈*

(Joonho Gil, Minkyu Je, Kyungmi Lee, Jongho Lee, and Hyungcheol Shin)

요약

효율적인 바디 바이어스와 자유로운 공급 전압(supply voltage)으로 동작할 수 있는 동적 문턱 전압(dynamic threshold voltage)제어를 이용한 고속, 저전력 SOI 인버터를 새로이 제안하였다. 제안된 회로의 특성을 BSIM3SOI 회로 시뮬레이터와 ATLAS 소자 시뮬레이터를 이용해 검증하였고 다른 SOI 회로와 비교함으로써 제안한 회로가 우수한 성능을 가짐을 보였다. 제안된 회로는 1.5V의 공급 전압에서 같은 전력 소모를 갖는 기존의 SOI 회로보다 27% 빠르게 동작하였다.

Abstract

We propose a new high speed and low power SOI inverter with dynamic threshold voltage that can operate with efficient body-bias control and free supply voltage. The performance of the proposed circuit is evaluated by both the BSIM3SOI circuit simulator and the ATLAS device simulator, and then compared with other reported SOI circuits. The proposed circuit is shown to have excellent characteristics. At the supply voltage of 1.5V, the proposed circuit operates 27% faster than the conventional SOI circuit with the same power dissipation.

I. 서론

저전력 소모에 대한 접근 방법 중 하나는 공급 전압(supply voltage)을 줄이는 것이다. 그러나 공급 전압의 감소를 위해서는 문턱 전압(threshold voltage)의 감소가 필수적이며, 문턱 전압의 감소는 오프-상태(off-state)에서의 누설 전류의 양에 의해 제한된다. 이러한 문제를 해결하기 위한 방법 중 하나는 MOSFET에 액티브 바디 바이어스를 가하여 동적 문

턱 전압 동작을 이용하는 것이다. 로직 천이(logic transition)동안에는 낮은 문턱 전압을, 오프-상태에서는 높은 문턱 전압을 갖기 때문에 이러한 동적 문턱 전압제어를 이용한 회로는 저전력으로도 고속 동작이 가능하다. SOI MOSFET의 바디는 다른 전기적인 노드(node)로부터 쉽게 분리할 수 있기 때문에 소자마다 개별적인 바디 바이어스를 가해주는 동적 문턱 전압 동작의 적용이 용이하다. 최근 동적 문턱 전압 동작을 이용한 몇 가지 SOI 회로가 제안되었고, 보고된 회로를 그림 1에 나타내었다^[1-4].

본 논문에서는 활성 바디 바이어스를 이용한 새로운 고속, 저전력 SOI 인버터를 제안하였다. 제안된 회로는 회로 시뮬레이션과 소자 시뮬레이션을 통해 특성을 분석하고 다른 회로들과 비교하였다. 또한 MOSFET의 바디 저항에 대한 회로 특성의 변화를 보였다^[5].

* 正會員, 韓國科學技術院 電氣 및 電子工學科
(Department of Electrical Engineering, KAIST)

** 正會員, 圓光大學校 電氣工學部
(School of Electrical Engineering, Wonkwang University)

接受日字:1998年10月23日, 수정완료일:1998年11月23日

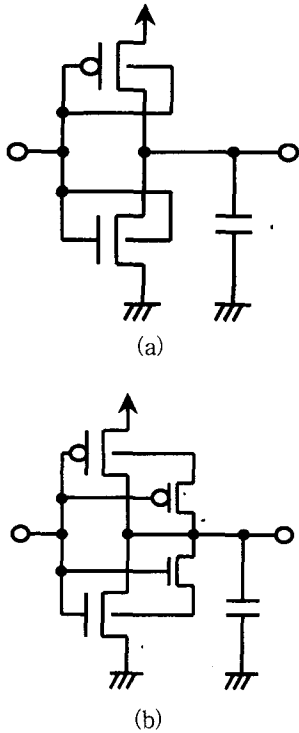


그림 1. 보고된 기존의 SOI 인버터 회로. (a) [1]의 회로. (b) [2]의 회로
 Fig. 1. Reported SOI inverter circuits.
 (a) circuit in [1] (b)circuit in [2].

II. 회로 설명

제안된 회로는 그림 2와 같다. 주 MOSFET(Mn과 Mp)의 바디는 각각 보조 MOSFET(Mn*와 Mp*)의 소스에 연결된다. 보조 MOSFET은 작게 디자인하였다. 부가적인 입력 커패시턴스 증가는 단지 보조 MOSFET의 접합 커패시턴스(junction capacitance) 뿐이다. 그림 3은 제안된 인버터의 레이아웃과 기존의 소스-바디 묶음 구조와 T-게이트 바디 접촉(contact) 구조를 갖는 SOI 인버터의 레이아웃 비교이다. 레이아웃 면적의 최소화를 위해 제안된 인버터는 T-게이트 소자를 사용하였고 주 MOSFET의 바디와 보조 MOSFET의 소스는 접촉-실리사이드(contact-silicide)를 이용하여 연결하였다. 기존의 SOI 인버터 중에서는 그림 3(c) 보다 그림 3(b) 가 더 최소화된 레이아웃이다.

시뮬레이션에서는 모든 보조 MOSFET(Mn*과 Mp*)의 폭은 1 μ m, 주 MOSFET(Mn과 Mp)는 각각 12 μ m와 24 μ m를 사용하였다. 결과 비교를 위해,

기존의 SOI 인버터는 14 μ m(N) 과 28 μ m(P) 소자를 사용했다. 총 레이아웃 면적을 같게 하는 것을 기준으로 삼았다.

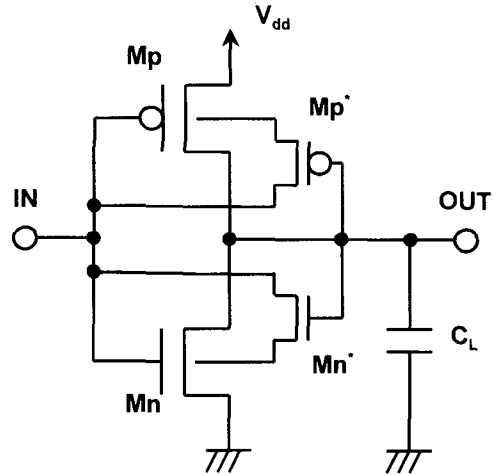


그림 2. 제안된 회로 구조. Mn과 Mp는 주 MOSFET 이고, Mn*와 Mp*는 보조 MOSFET이다.
 Fig. 2. The proposed circuit scheme. Mn and Mp are the main MOSFETs. Mn* and Mp* are the subsidiary MOSFETs.

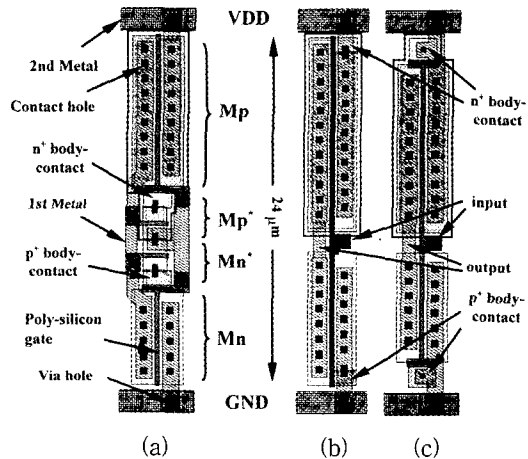


그림 3. 레이아웃 비교. (a) 제안된 인버터. (b) 소스-바디 묶음 바디 접촉을 가지는 기존의 SOI 인버터. (c) T-게이트 바디 접촉을 가지는 기존의 SOI 인버터

Fig. 3. Comparison of the layouts.
 (a) the proposed inverter (b) the conventional SOI inverter with source-body tie structure body contact (c) the conventional SOI inverter with T-gate structure body contact.

그림 4가 나타내듯이 제안된 인버터의 pull-down

동작은 다음과 같이 설명할 수 있다.

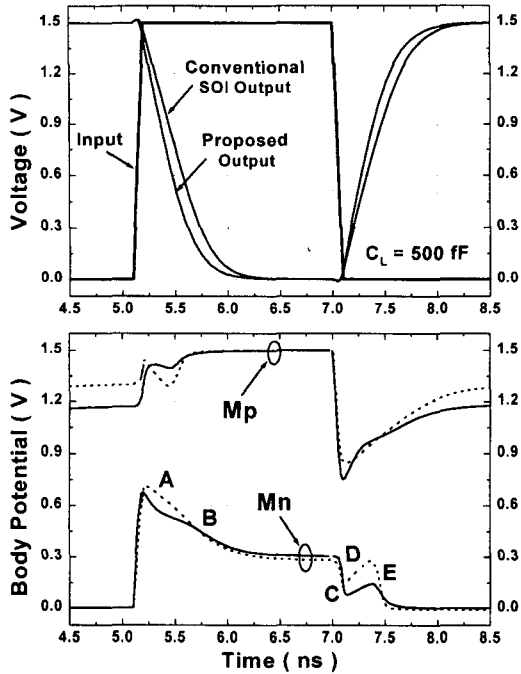


그림 4. 제안된 회로의 출력과 바디 전위의 과도 파형. 모든 MOSFET의 유효 채널 길이(length)는 $0.25 \mu\text{m}$ 이고, PMOSFET의 폭은 NMOSFET의 2배를 사용하였다. 실선은 회로 시뮬레이션에 의한 결과를, 점선은 소자 시뮬레이션에 의한 결과를 나타낸다.

Fig. 4. OUT and body nodes transient waveforms of the proposed circuit. The effective gate length of all MOSFETs is $0.25 \mu\text{m}$ and the width of PMOSFET is twice that of NMOSFET. The solid line and the dashed line are the results from circuit simulation and device simulation, respectively.

IN 이 L 이고 OUT이 H 일 때, Mn은 오프 상태이고 Mn*는 온(on)상태이다. 이때 Mn의 바디 전위는 L이다. IN이 L에서 H로 변할 때 Mn과 Mn*은 순차적으로 온 상태가 된다. 그림 4의 영역 A는 Pull-down이 시작된 직후를 나타내는데, 이때 Mn의 바디 전위는 다이오드 turn-on 전압인 약 0.7V로 충전된다. 이 순방향 바디 바이어스에 의해 바디 전하가 줄어 문턱 전압은 낮아지게 된다. Mn의 낮아진 문턱 전압은 드레인 전류를 증가시키고 pull-down 전이 시간을 감소시킨다. 또한, 채널 이동도(mobility)의 증가와 기생 바이폴라 동작은 동작 성능의 향상을 돕는다. 바디 전하의 감소에 의해 수직 방향 유효 전계가

감소하고, 따라서 채널 이동도는 증가하게 된다. 또한, 바디 전위가 0.6V이상에선 주 MOSFET의 수평방향으로 내재된 기생 바이폴라 트랜지스터가 턴-온되어 콜렉터 전류가 MOS 전류에 더해지게 된다^{[1] [4]}.

영역 B에서는, OUT이 내려감에 따라 Mn의 바디 전위는 감소한다. 이것은 Mn*의 채널 전자가 Mn의 바디로 들어가 정공과 재결합을 하기 때문이며, 또한 Mn의 드레인과 바디 사이의 커패시티브 커플링(capacitive coupling)때문이다. IN이 “H”에서 “L”로 변하는 Pull-up 초기 부분인 영역 C에서는, Mn*은 오프 상태이고 따라서 Mn의 바디는 부동(floating)되는 상태가 된다. 이때 부동 몸체 효과(floating body effect)로 인해 Mn의 바디 전위는 급격하게 감소한다^[6]. 영역 D에서는, OUT이 증가함에 따라 바디 전위는 드레인과 바디 사이의 커패시티브 커플링때문에 증가한다. OUT이 Mn*의 문턱 전압보다 커지는 영역 E에서는, Mn*은 turn-on되고 Mn의 바디 전위는 다시 L이 된다.

PMOSFET의 동작은 마찬가지로 설명될 수 있다.

III. 시뮬레이션 결과

제안된 회로를 검증하고 다른 회로와 성능을 비교하기 위해 BSIM3SOI 회로 시뮬레이터^[7]와 ATLAS 2차원 소자 시뮬레이터^[8]를 사용했다. 주 MOSFET의 출력과 바디 전위의 과도 파형은 기존의 SOI 인버터와 비교하여 그림 4에 나타내었다. 주 MOSFET에서 초기 바디 전위의 증가는 0.7V정도이다. 그림 5는 pull-down 단의 I_D-V_{GS} 특성 곡선을 보여준다. 결과는 혼성-모드(mixed-mode) 시뮬레이션으로 얻었다. 첨가한 그림은 pull-down 단의 시뮬레이션 조건이다. 이로부터 제안된 회로가 우수한 I-V특성을 가짐을 알 수 있다. 제안된 회로는 다른 회로에 비해 작은 입력 문턱 전압과 큰 바디 전위를 갖기 때문에 가장 빠른 속도로 동작한다.

AC 특성과 공급 전압이 지연 시간과 전력 소모에 미치는 영향을 알아보기 위해, $C_{int}=70 \text{ fF}$ 과 $C_L=200 \text{ fF}$ 의 조건으로 7단의 인버터 체인을 시뮬레이션하였다. 그림 6은 시뮬레이션 결과를 나타낸 것이다. 거의 같은 전력 소모를 가질 때 1.5V의 공급 전압에서 제안된 회로는 기존의 SOI 회로보다 27% 빠르게 동작하였다. 또한 제안된 회로는 Mn*의 작은 입력 문턱

전압과 높은 바디 전위때문에 [2]의 회로보다 13% 더 빠르게 동작하였다. 또 [3]의 회로는 제안된 회로보다 두개의 MOSFET을 더 필요로 한다. 공급 전압이 감소함에 따라 제안된 회로의 속도 향상은 더욱 증가한다. 공급 전압이 1.2V인 경우 제안된 회로는 기존의 SOI 회로와 [2]의 회로에 대해 각각 35%와 20%의 속도 향상을 보였다.

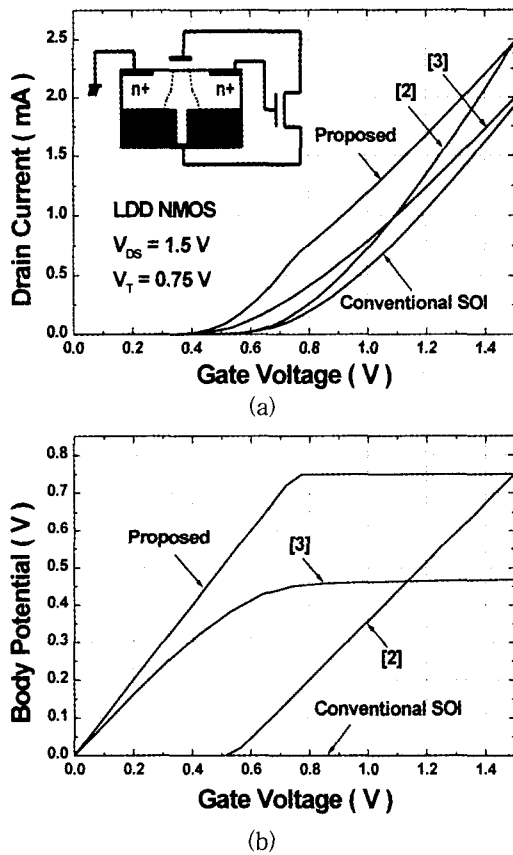


그림 5. 소자 시뮬레이션으로 얻은 pull-down 단의 I_D - V_{GS} 특성. 실리콘 필름 두께는 200 nm를 사용하였다. (a) 드레인 전류 (b) 바디 전위
 Fig. 5. The I_D - V_{GS} characteristics of the pull-down stage obtained by device simulation. The silicon film thickness in the simulation domain is 200 nm.
 (a) drain current (b) body potential.

그림 7은 링 오실레이터의 각 단의 지연 시간을 비교한 것이다. 또 1.5V의 공급전압에서 회로의 과도 파형을 첨가하였다.

여기서도 제안된 회로가 가장 우월한 속도 특성을 가지고 있다.

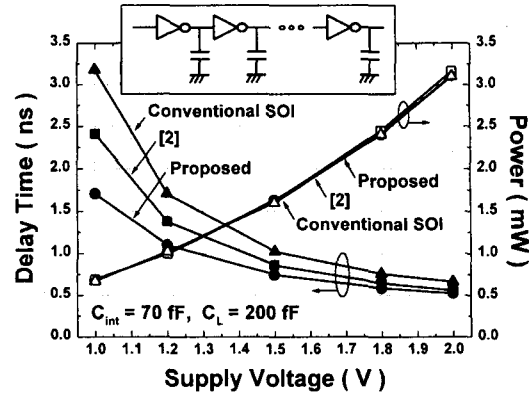


그림 6. 7-단 인버터 체인의 지연 시간과 100MHz에서의 전력 소모
 Fig. 6. Delay time and power dissipation of 7-stage inverter chains at 100 MHz.

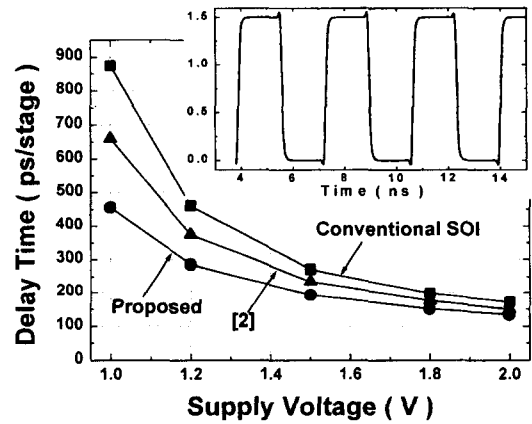


그림 7. 링 오실레이터의 각 단의 지연 시간
 Fig. 7. Delay time per stage of a ring oscillator with 17 inverters at $C_{int}=70\text{ fF}$.

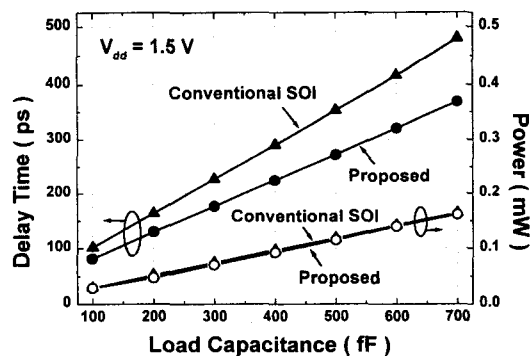


그림 8. 1.5V 전원에서 부하 커패시턴스에 대한 지연 시간과 전력 소모의 변화
 Fig. 8. Load capacitance dependence of delay time and power dissipation at V_{dd} of 1.5 V.

그림 8은 1.5V의 공급전압에서 부하 커패시턴스

(load capacitance)가 지연 시간과 전력 소모에 어떻게 영향을 주는지를 나타낸다. 부하 커패시턴스가 증가함에 따라 기존의 SOI 회로에 대한 제안된 회로의 우수성은 향상된다. 제안된 회로는 기존의 SOI 회로보다 100 fF에서 20% 빠르게, 700 fF에서는 23% 빠르게 동작하였다.

IV. 설계 최적화

그림 9는 주 MOSFET의 바디 저항이 지연 시간에 어떻게 영향을 미치는지를 보여준다.

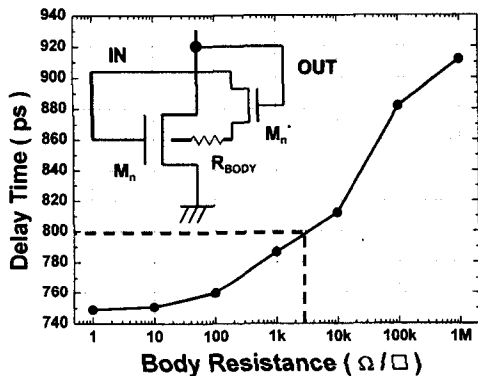


그림 9. 바디 저항에 따른 지연 시간의 변화
Fig. 9. The body series resistance dependence of the delay time.

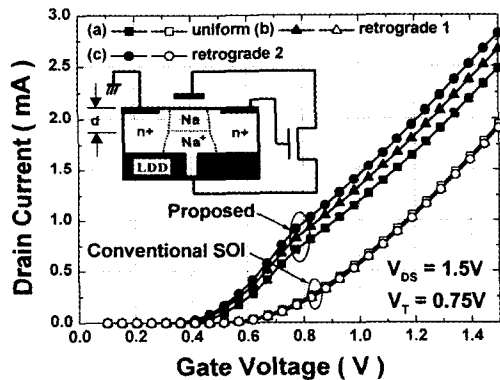


그림 10. 소자 시뮬레이션으로 얻은 채널 도핑 기술에 따른 전류 구동성. 소자 파라메타는 다음과 같다. (a) $N_A=2.5 \times 10^{17} \text{ cm}^{-3}$; (b) $N_A=2 \times 10^{17} \text{ cm}^{-3}$, $N_A^+=1 \times 10^{18} \text{ cm}^{-3}$, $d=55 \text{ nm}$; and (c) $N_A=2 \times 10^{17} \text{ cm}^{-3}$, $N_A^+=1 \times 10^{19} \text{ cm}^{-3}$, $d=60 \text{ nm}$.
Fig. 10. The current drivability of the various channel doping engineering obtained by device simulation. Device parameters are (a) $N_A=2.5 \times 10^{17} \text{ cm}^{-3}$; (b) $N_A=2 \times 10^{17} \text{ cm}^{-3}$, $N_A^+=1 \times 10^{18} \text{ cm}^{-3}$, $d=55 \text{ nm}$; and (c) $N_A=2 \times 10^{17} \text{ cm}^{-3}$, $N_A^+=1 \times 10^{19} \text{ cm}^{-3}$, $d=60 \text{ nm}$.

바디 저항이 증가함에 따라 속도 특성은 떨어진다. 바디 저항에 의한 지연 시간의 증가를 5%로 제한한다면, 바디 저항은 $3\text{k}\Omega/\square$ 보다 작아야 한다.

보고된 이전의 연구로부터, 매우 큰 ΔV_t 는 retrograde 도핑을 사용함으로써 얻을 수 있다^[9]. 도핑 기술이 회로 특성에 어떻게 영향을 주는지는 그림 10에 나타내었다. Retrograde로 도핑된 인버터의 전류 구동성(current drivability)은 높은 바디 효과 계수(body effect factor; γ)때문에 균일하게 도핑된 인버터보다 훨씬 더 향상된다. 또한 retrograde 도핑은 바디 저항을 감소시킨다.

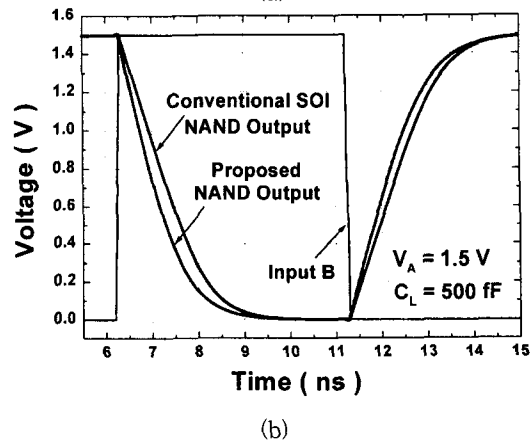
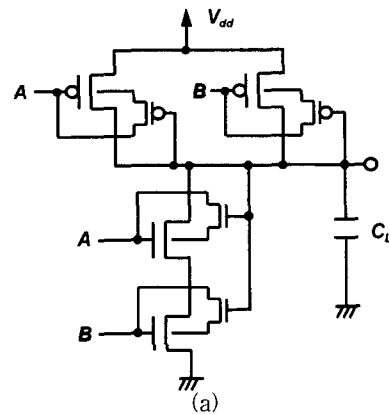


그림 11. (a) 제안된 회로를 이용한 NAND 게이트의 회로 다이어그램 (b) 과도 파형. 소자 크기는 제안된 NAND 회로의 경우 $(W/L)_{주}=7/0.25 \mu\text{m}$ 와 $(W/L)_{보조}=1/0.25 \mu\text{m}$ 이고, 기존의 SOI NAND 회로의 경우 $(W/L)_{N,P}=9/0.25 \mu\text{m}$ 이다.
Fig. 11. (a) The proposed circuit diagram of NAND gate. (b) Transient waveforms. Device sizes are as follows: $(W/L)_{\text{main}}=7/0.25 \mu\text{m}$ and $(W/L)_{\text{subsidiary}}=1/0.25 \mu\text{m}$ for the proposed NAND circuit, $(W/L)_{N,P}=9/0.25 \mu\text{m}$ for the conventional SOI NAND circuit.

결론적으로 바디 저항을 감소시키고 ΔV_t 를 최대한 만들기 위해서 retrograde 도핑 기술이 권장된다.

그림 11(a)는 제안된 회로의 응용의 하나로서 제안된 회로를 이용한 NAND 게이트의 회로 다이어그램을 보여준다. 직렬로 연결된 모든 보조 MOSFET의 게이트는 두 보조 MOSFET이 효율적으로 동작하도록 하기 위해 출력 노드에 연결하였다. 1.5V의 고정된 V_A 에 대해 V_B 가 변할 때 결과로 나오는 출력 파형이 제안된 회로와 기존의 회로 모두에 대해 그림 11(b)에 나타내었다. 이로부터 제안된 NAND 회로의 속도 특성이 기존의 SOI 회로에 대해 우수함을 알 수 있다.

V. 결 론

본 논문에서는 활성 바디 바이어스를 이용한 새로운 고속, 저전력 SOI 인버터 회로를 제안하였다. 회로의 동작과 특성은 BSIM3SOI와 ATLAS 시뮬레이션을 통해 분석하였다. 제안된 회로는 고속, 저전력 회로 응용에 대해 우수한 성능을 보여주었다.

또한 제안된 회로는 저전력 회로 응용의 하나로서 일반적인 CMOS 논리 회로에 응용 될 수 있다.

감사의 글

※ 저자는 많은 기술적 지원을 해준 UC Berkeley의 Stephen H. Tang에게 감사를 드립니다.

참 고 문 헌

- [1] F. Assaderagi, D. Sinitsky, S. Parke, J. Borkor, P. Ko, and C. Hu, A dynamic threshold voltage MOSFET(DTMOS) for ultra-low voltage operation, *IEEE Trans. Electron Devices*, vol 44, no 3, pp. 414-422, Mar. 1997.
- [2] I-Y. Chung, Y-J. Park, and H-S. Min, A new SOI inverter using dynamic threshold for low power applications, *IEEE Electron Device Letters*, vol 18, no 6, pp. 248-250, June 1997.
- [3] Y. Wada, K. Ueda, T. Hirota, and Y. Hirano, Active body-bias SOI-CMOS driver circuits, *1997 Symposium on VLSI Circuits Digest of Tech. Papers*, pp. 29-30, 1997.
- [4] Jongho Lee and Y-J. Park, High speed SOI buffer circuit with the efficient connection of subsidiary MOSFETs for dynamic threshold control, *Proceedings 1997 IEEE International SOI Conference*, pp. 152-153, 1997.
- [5] Joonho Gil, Minkyu Je, Jongho Lee, and Hyungcheol Shin, A high speed and low power SOI inverter using active body-bias, *Proceedings 1998 International Symposium on Low Power Electronics and Design*, pp. 59-63, 1998.
- [6] H. C. Shin, I-K Lim, M. Racanelli, W-L. Huang, J. Foerstner, and B-Y. Hwang, Analysis of floating body induced transient behaviors in partially depleted thin film SOI devices, *IEEE Trans. Electron Devices*, vol 43, no 2, pp.318-325, Feb. 1996.
- [7] S. Fung, S. Tang, P. Su, D. Sinitsky, R. Tu, M. Chan, P. Ko, and C. Hu, *BSIM3SOI v1.3 Manual*, Department of EECS/UC Berkeley, 1998.
- [8] Silvaco International, *ATLAS Users Manual v1.5.0*, 1997.
- [9] C. Wann, F. Assaderagi, R. Dennard, C. Hu, G. Shahidi, and Y. Taur, Channel profile optimization and device design for low-power high performance dynamic threshold MOSFET, *1996 IEDM Tech. Digest*, pp. 113-116, 1996.

저 자 소 개



吉 俊 濤(正會員)
 1975년 6월 7일생. 1997년 2월 한국 과학기술원(KAIST) 전기 및 전자 공학과 학부 과정 졸업(공학사). 1997년 3월 ~ 현재 한국과학기술원 전기 및 전자 공학과 석사과정 재학 중. 주관심분야는 SOI 저전력 회로,

CMOS RF 회로 설계



諸 敏 圭(正會員)
 1996년 2월 한국과학기술원 전기 및 전자공학과(공학사), 1998년 2월 한국과학기술원 전기 및 전자공학과(공학석사), 1998년 3월 ~ 현재 한국과학기술원 전기 및 전자공학과 박사과정, 주관심분야는 RF CMOS

Device Modeling, Temperature Compensated Crystal Oscillator, RF Circuits



李 京 美(正會員)
 1975년 11월 25일생. 1998년 2월 고려대학교 전자공학과 졸업(학사). 1998년 3월 ~ 현재 한국과학기술원 전기 및 전자공학과 석사과정

李 宗 昊(正會員) 第 35卷 D編 第 6號 參照

1987년 2월 경북대학교 전자공학과 졸업(학사). 1989년 2월 서울대학교 전자공학과 졸업(석사). 1993년 8월 서울대학교 전자공학과 졸업(박사). 1993년 8월 ~ 1994년 2월 서울대학교 반도체공동연구소 연구원. 1994년 3월 ~ 1996년 3월 원광대학교 공과대학 전자재료공학과 전임강사. 1996년 4월 ~ 현재 원광대학교 전기공학부 조교수. 1994년 11월 ~ 1998년 7월 한국전자통신연구원 반도체연구단 초빙연구원. 1998년 8월부터 현재 미국 MIT post-doc. 관심분야는 아날로그/디지털 혼성모드 회로를 위한 SOI 기술. 저전압/고속 SOI 회로 Sub-100nm CMOS 소자 구조, 집적화된 수동/능동 RF 소자. 나노 결정을 이용한 EEPROM. 1/f 잡음 및 소자 mismatch



申 洞 澈(正會員)
 1985년 2월 서울대학교 전자공학과 전자공학 학사 취득. 1987년 2월 서울대학교 전자공학과 반도체 전공 석사 취득. 1993년 Univ. of California Berkeley 전기공학과 반도체 전공 박사 취득. 1992년 ~

1994년 미국 Applied Materials 공정 엔지니어. 1994년 ~ 1996년 Motorola Advanced Custom Tech. 소자 엔지니어. 1996년 ~ 현재 한국과학기술원 전기 및 전자공학과 조교수. 1권의 저서와 약 70여편의 기술논문 발표. American Vacuum Society 우수논문상 수상. 주관심분야는 단전자 기억 소자, 나노 구조 소자, RF 회로, 저전력 회로