

# Hot electron에 의한 RF-nMOSFET의 DC 및 RF 특성 열화 모델

## (Hot electron induced degradation model of the DC and RF characteristics of RF-nMOSFET)

李炳振\*, 洪性熙\*\*, 劉宗根\*, 全石熙\*, 朴鍾泰\*

(Byung J. Lee, Sung H. Hong, Chong G. Yu, Seok H Jeon, and Jong T. Park)

### 요 약

Hot carrier 스트레스후의 RF-nMOSFET의 DC 및 RF 특성열화를 분석하기 위해 기존의 열화 모델을 적용하였다. 드레인전류 열화보다 차단주파수 열화가 심하였으며 RF-nMOSFET의 열화변화율  $n$ 과 열화변수  $m$ 은 기존의 bulk MOSFET의 것과 같았다. Multi-finger 게이트 소자에서 finger수가 많을수록 열화가 적게 된 것은 큰 소스/드레인의 저항과 포화전압에 의한 것임을 알 수 있었다. 스트레스의 후의 RF성능 저하는  $g_m$ 과  $C_{gd}$ 의 감소와  $g_{ds}$ 의 증가에 의한 것임을 알 수 있었다. 기판전류를 측정하므로 RF소자의 DC 및 RF특성 열화를 예견할 수 있었다.

### Abstract

The general degradation model has been applied to analyze the hot carrier induced degradation of the DC and RF characteristics of RF-nMOSFET. The degradation of cut-off frequency has been severer than the degradation of bulk MOSFET drain current. The value of the degradation rate  $n$  and the degradation parameter  $m$  for RF-nMOSFET has been equal to those for bulk MOSFET. The decrease of device degradation with the increase of fingers could be explained by the large source/drain parasitic resistance and drain saturation voltage. It has been also found that the RF performance degradation could be explained by the decrease of  $g_m$  and  $C_{gd}$  and the increase of  $g_{ds}$  after stress. The degradation of the DC and RF characteristics of RF-nMOSFET could be predicted by the measurement of the substrate current.

### I. 서 론

CMOS 기술을 이용하면 RF단을 하나의 칩으로 구현할 수 있으므로 여러 가지의 장점들이 있으나 낮은

transconductance로 인한 낮은 차단 주파수와 높은 잡음저항과 소스 임피던스 때문에 RF IC 구현에는 많은 어려움이 있었다. 그러나 최근에 CMOS의 길이가 deep submicrometer 레벨로 축소 되면서 지금까지 바이폴라 트랜지스터나 화합물 소자를 사용하였던 무선 통신의 RF단을 CMOS RF IC로 대체 하려는 연구가 활발히 진행되고 있다<sup>[1,2]</sup>.

96년 IEDM에서는 0.12 $\mu$ m CMOS의 차단주파수( $f_T$  : Cut-off frequency)가 150GHz 이상이며 2GHz에서 최소 잡음 지수( $F_{min}$  : minimum noise figure)가 0.51 dB인 연구가 발표 되었다<sup>[3]</sup>. 그리고 97년 IEDM에

\* 正會員, 仁川大學校 電子工學科

(Department of Electronics Engineering University of Incheon)

\*\* 正會員, 麗州大學 事務自動學科

(Department of Office Automation Yeojoo Institute of Technology)

接受日字:1998年4月8日, 수정완료일:1998年10月7日

서는  $0.25\mu\text{m}$  CMOS 공정을 사용하면  $1.8\text{GHz}$ 에서 LNA의 이득이  $27\text{dB}$ 이고 소비전력이  $0.2\text{mW}$ 를 얻을 수 있음이 보고되었다<sup>[4]</sup>.

CMOS에서 최대주파수 ( $f_{\text{max}}$ : maximum frequency)에 가장 심각하게 영향을 주는 것은 게이트 저항이므로 다결정 실리콘 게이트의 저항을 줄이기 위하여 폴리사이드 기술과 T형 게이트 및 multi-finger 게이트가 사용되고 있다<sup>[5]</sup>. 그리고  $f_T$ 와  $f_{\text{max}}$ 를 높이기 위하여 소스/드레인의 기생저항 성분이 작은 실리콘사이드 기술이 응용되고 있다.

지금까지 CMOS RF IC 응용을 위하여  $f_T$ 와  $f_{\text{max}}$ 를 크게 하고  $F_{\text{min}}$ 을 줄이기 위한 CMOS소자 설계 및 공정에 관한 연구가 진행되었으나 hot carrier 현상에 의한 소자열화가 RF-CMOS의 성능저하에 미치는 영향에 대한 연구는 전무한 상태이다<sup>[6]</sup>. RF용 IC는 대부분 아날로그 IC로서 CMOS가 포화영역에서 동작하게 된다. Hot carrier현상으로 CMOS소자가 열화되면 transconductance와 드레인 출력저항이 크게 변하므로 아날로그 증폭회로의 성능이 크게 저하된다<sup>[7]</sup>. 그러므로 RF용 MOS소자의 소자열화로 인한 DC 및 RF 성능저하를 분석하므로 기존의 single-finger 게이트 MOS 소자의 열화 모델을 multi-finger 게이트 RF용 MOS 소자에 적용시키고 DC특성 열화를 측정 하므로 RF 특성 열화를 예견할 수 있는 연구가 필요하다.

본 연구에서는 일반적인  $0.8\mu\text{m}$  CMOS 공정기술을 사용하여 multi-finger 게이트 RF용 nMOS 소자를 설계·제작하였다. DC 스트레스를 인가한 후 RF-nMOS소자의 DC 특성 열화와 RF 특성 열화를 측정·분석하였다. 그리고 기존의 열화 모델을 RF-nMOS 소자에 적용 가능함을 보여주었으며 기판전류를 측정하므로 nMOS 소자의 RF 특성 열화를 예견할 수 있음을 알 수 있었다.

## II. 소자 제작과 측정

본 연구에 사용된 RF-nMOS 소자는 기판저항이  $10\Omega\text{cm}$ 인 P형 실리콘 기판에 일반적인  $0.8\mu\text{m}$  공정으로 제작 되었다. 게이트 산화층 두께는  $175\text{\AA}$ 이고 LDD 구조이다. 소자의 테스트 패턴은 그림 1과 같게 하였고 채널길이는  $0.8\mu\text{m}$ 이고 게이트 finger수는 1~20개로 하였고 단위 finger의 채널 폭은  $10\mu\text{m}$ 로 하였

다. 소자의 RF 특성을 위하여 패드는 G-S 패턴으로 하였으며 패드 크기는  $100\mu\text{m} \times 100\mu\text{m}$ 이며 패드 간격은  $150\mu\text{m}$ 이다. 또 소자의 s 파라미터 측정시 패드와 메탈라인의 기생성분을 제거하기 위하여 open/short 패턴을 동시에 제작하였고 de-embedding시 이 패턴을 사용하였다. RF-nMOS의 기판은 소스와 공통단자로 되므로 DC측정시 기판전류 측정을 위하여 따로 기판 단자가 분리된 테스트 패턴을 제작 하였다. 소자의 s 파라미터는 on-chip 프로브 상태에서 HP 8510C를 사용하여 측정하였고 측정장비의 보정은 SOLT (Short open Load Thru)를 사용하였다. 그리고 RF 성능 지수인  $f_T$ 와  $f_{\text{max}}$ 의 정확한 측정을 위하여 패드의 기생성분을 de-embedding하였다.

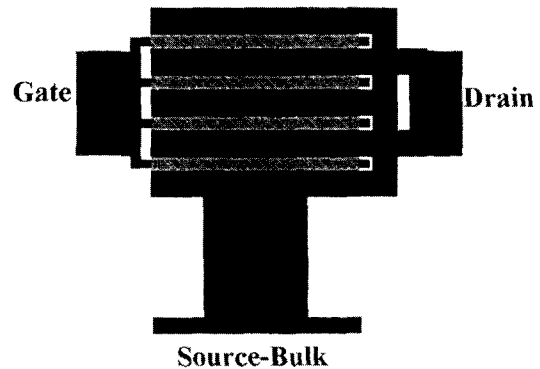


그림 1. RF-nMOSFET (F=4) 테스트 패턴 레이아웃  
Fig. 1. Test pattern layout of RF-nMOSFET (F=4).

소자의 열화 특성을 분석하기 위하여 DC 스트레스를 인가하였고 선형과 포화영역에서 DC 및 RF 특성 열화를 측정하였다.

## III. DC 특성 열화

소자의 열화와 수명시간은 기판전류( $I_{\text{sub}}$ )를 측정하여 예측이 가능하므로 RF-nMOS 소자의 기판전류를 측정하여 그림 2에 나타내었다.  $I_{\text{sub}}$ 를 finger수로 정규화( $I_{\text{sub}}/F$ )하여 나타낸 그림 2로부터 finger수가 증가할수록  $I_{\text{sub}}/F$ 가 작으며 최대점이 낮은  $V_{\text{GS}}$ 로 이동하는 것을 확인할 수 있다. 이런 현상은 2가지 이유로 설명할 수 있다. 첫째는 F가 클수록 게이트 폴리머의 undercutting이 작기 때문이다. 아날로그 회로에서 채널 폭이 큰 소자를 사용할 때 기판과 소스 및 드레인의 접합 커패시턴스를 줄이기 위하여 게이트를

multi-finger를 사용한다<sup>[8]</sup>. 이때 맨 가장자리에 있는 게이트 폴리는 undercutting이 많이 되므로 이를 방지하기 위하여 dummy poly strip을 게이트 폴리 양쪽에 위치하게 한다<sup>[9]</sup>. RF-nMOS에서 F가 클수록 안쪽에 있는 게이트 폴리는 undercutting이 적게 되어 상대적으로 채널길이가 크게 될 것이다. 이런 현상은 그림 3의  $V_{DS}$ 에 따른  $I_{DS}/F$ 로부터 확인할 수 있다. 그림 3에서 F가 클수록  $I_{DS}/F$ 가 작으며 이로 인하여 그림 2에서와 같이 F가 클수록  $I_{sub}/F$ 가 작게 될 것이다. 둘째는 그림 3의 결과와 같이 F가 클수록 포화 전압이 크기 때문이다. 일반적으로 게이트 길이가 길수록 포화전압이 큰 다른 연구들의 결과와 같이 RF-nMOS에서 F가 클수록 undercutting이 적게 되어 채널 길이가 상대적으로 길어 포화전압이 큰 것으로 사료된다<sup>[10]</sup>. 채널의 최대 수평전계  $E_m$ 은  $V_{DS} - V_{DSat}$ 에 비례하므로  $V_{DSat}$ 가 증가할수록  $E_m$ 은 작게 되고 이로 인하여  $I_{sub}$ 가 감소하게 된다. 그리고 주어진  $V_{DS}$ 에서  $V_{GS}$ 가 증가할수록  $I_{DS}$ 의 증가로  $I_{sub}$ 가 증가하나 큰  $V_{GS}$ 에서는  $V_{DSat}$ 이 증가하므로 결국  $I_{sub}$ 가 감소하게 되어 F가 큰 소자의  $V_{DSat}$ 증가는 그림 2에서와 같이  $I_{sub}$ 의 최대점을 낮은  $V_{GS}$ 로 이동하게 한다.

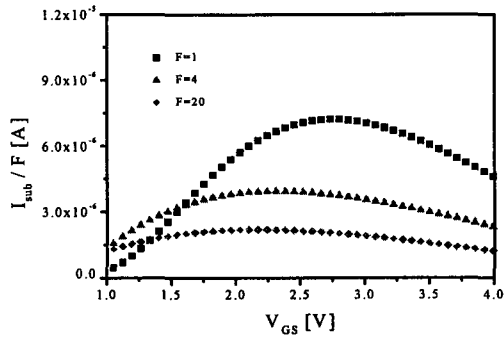


그림 2. 게이트 전압에 따른 finger수로 정규화된 기판 전류  
Fig. 2. The plot of measured  $I_{sub}/F$  versus gate voltages.

F=1인 MOS 소자에 적용되던 열화모델을 multi-finger 소자에 적용 가능성을 확인하기 위하여 일정한  $V_{DS}$ 에서  $I_{sub}$ 가 최대로 되는  $V_{GS}$ 를 스트레스 전압으로 인가하였다. 이런 스트레스 조건에서는 드레인 부근의 고전계에 의한 충격 이온화로 생성된 전자와 홀에 의해 계면상태가 생성되고 또 이 계면상태에 전자가 포획되는 소위 DAHC(Drain Avalanche Hot

Carrier)현상으로 소자가 열화되며 열화모델은 다음식과 같이 쓸 수 있음이 여러 연구 결과에서 밝혀졌다<sup>[11]</sup>.

$$\Delta D \left[ \frac{I_{DS}}{WH} \left[ \frac{I_{sub}}{I_{DS}} \right]^m T_s \right] \quad (1)$$

여기서 H는 공정에 의하여 결정되는 상수이며 열화 변수 m은  $V_{DS}$ 와  $V_{GS}$ 의 함수로 일반적으로 2.5~5.5 정도의 값을 갖는다. 그리고  $\Delta D$ 는 스트레스 시간과 멱급수(power law) 관계 ( $\Delta D \propto T_s^n$ )에 있으며 열화율 n은 일반적으로 0.3~0.5 정도의 값을 갖는다<sup>[12]</sup>.

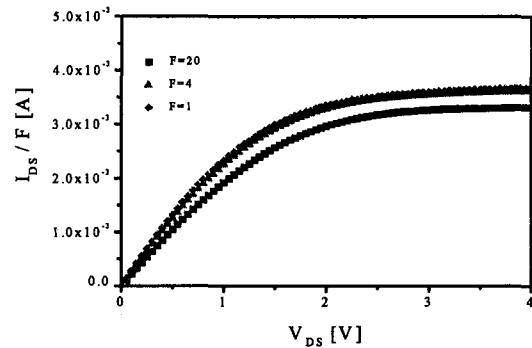


그림 3. Finger수에 따른 전류-전압 특성  
Fig. 3. I-V characteristics with different gate fingers.

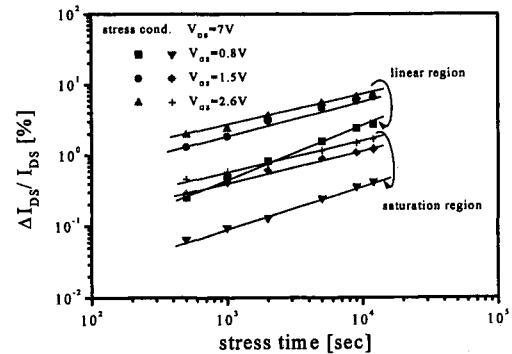


그림 4. 스트레스 시간에 따른 드레인 전류 변화  
Fig. 4. The drain current degradation with stress time.

그림 4는 스트레스 시간에 따른 RF-nMOS소자의 드레인전류 변화  $\Delta I_{DS}/I_{DS}$ 를 나타낸 것이다. 스트레스 조건은  $V_{DS}=7V$ 로 일정하며  $V_{GS}=0.8V \sim 2.6V$ 이다. 소자는 F=4 이고 선형영역의 측정 조건은  $V_{GS}=5V$ ,  $V_{DS}=2V$ 이며 포화영역의 측정 조건은  $V_{GS}=2V$ ,  $V_{DS}=5V$ 이다. 그림 4로부터 열화율 n은 약 0.2~0.5로

F=1인 소자의 것과 같음을 알 수 있다. 이것은 RF-nMOS 소자에서도 열화모델 (1)식을 사용할 수 있음을 의미한다. 그리고 그림 4로부터  $V_{GS}$ 에 따라 n 값이 다르며 선형영역에서 n이 큰 것을 알 수 있는데 이 또한 F=1인 소자의 것과 일치하는 결과이다.

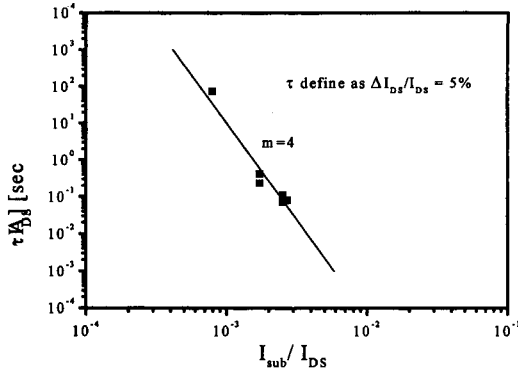


그림 5.  $\tau_{IDS}$ 와  $I_{sub}/I_{DS}$ 의 상관관계  
Fig. 5. Correlation between  $\tau_{IDS}$  and  $I_{sub}/I_{DS}$ .

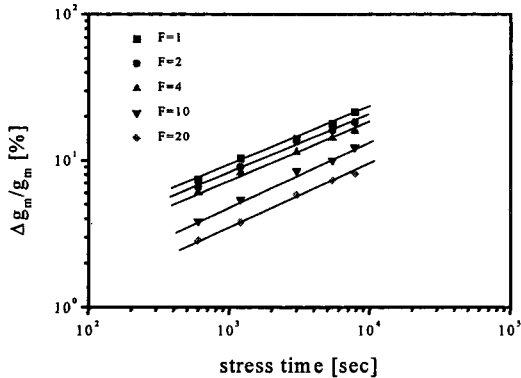


그림 6. Finger수에 따른 transconductance 열화  
Fig. 6. The transconductance degradation with different gate fingers.

열화모델 식(1)을 RF-nMOS 소자에 적용 가능성을 확인하기 위하여  $\tau_{IDS}$ 와  $I_{sub}/I_{DS}$ 의 상관관계를 그림 5에 나타내었다. 수명시간  $\tau$ 는 선형영역에서  $\Delta I_{DS}/I_{DS}=5\%$  되는 시간으로 정의하였다. 그림 5에서 열화변수  $m=4$ 로서 식(1)을 RF-nMOS에 적용할 수 있음을 의미한다. 물리적으로  $m = \Phi_{it}/\Phi_i$ 로서 계면 상태 생성에 필요한 에너지를 충격 이온화 에너지( $\Phi_i = 1.3eV$ )로 나눈 것이다. 그림 5에서와 같이  $m=4$ , 즉  $\Phi_{it} = 5.2eV$ 로 비교적 큰 것은 스트레스 전압이  $V_{DS} > V_{GS}$ 인 경우 전자가 채널의 표면에 위치하기 보다는 표면보다 약간 밑에 위치하기 때문이다<sup>[13]</sup>.

$V_{DS}=7V$ 이고  $V_{GS}$ 는 최대  $I_{sub}$ 가 되는 동일한 스트레스 조건에서 finger수에 따른 transconductance의 변화를 그림 6에 나타내었다. Finger수가 많을수록 즉 소자의 채널폭이 클수록 열화가 적게 된 것을 알 수 있다. 이것은 그림 2에서와 같이 finger수가 많을수록 적은 hot carrier 생성으로  $I_{sub}/F$ 가 작을것과 동일한 결과이다. Finger 수가 많을수록 소스/드레인의 기생 저항과  $V_{DSat}$ 가 증가하여 최대 전계  $E_m$ 이 감소하여 소자열화가 적게 된 것이다. 그림 6에서  $n=0.27$ 로써 모든 소자에서 거의 일정함을 알 수 있다.

#### IV. RF 특성 열화

RF 성능 지수인  $f_T$ 와  $f_{max}$ 를 추출하는 과정은 다음과 같다. 먼저 소자의 테스터 패턴으로부터 s 파라미터를 측정하고 소자가 없는 open/short 패턴의 s 파라미터를 측정한 후 y 파라미터로 변환하여 de-embedding하였다. 그리고 다시 h 파라미터로 변환하여  $H_{21}$ 의 이득이 0dB 되는 주파수를  $f_T$ 로 정의하였고 MSG(Maximum Stable Gain), MAG(Maximum Available Gain)이 0dB 되는 주파수를  $f_{max}$ 로 정의하였다. 스트레스 조건은  $V_{DS}=7V$ 로 고정하고  $V_{GS}$ 를 0.8V~3.5V로 가변 하였고 스트레스를 5400초간 인가하였다. 스트레스 전·후의 s 파라미터를 측정할 결과  $S_{21}$ 이 가장 많이 변화였고  $S_{22}$ 와  $S_{12}$ 가 조금 변화였으며  $S_{11}$ 은 거의 변화가 없었다.  $S_{21}$ 과  $S_{22}$ 의 변화는 s 파라미터의 정의로부터 출력단 반사 파라미터  $b_2$ 의 변화로 해석할 수 있다. 즉  $b_2$ 의 변화는 스트레스후에 nMOS 소자의 문턱전압 증가와 이동도의 감소로  $g_m$ 이 감소하고 hot carrier로 생성된 드레인 근처의 accept형 계면상태가 낮은 드레인 전압에서 전자로 포획되기 때문에 출력드레인  $g_{ds}$ 가 증가하기 때문이다<sup>[7]</sup>.

그림 7은 스트레스 전·후의 드레인 전류에 따른  $f_T$ 와  $f_{max}$  특성을 나타낸 것이다. 스트레스 전압은  $V_{DS}=7V$ 로 고정하고  $V_{GS}$ 는 최대  $I_{sub}$ 가 되는 약 2.3V이며 스트레스 시간은 5400초이었다. F=4인 0.8 $\mu m$  RF-nMOS의 스트레스전  $f_T$ 는  $V_{DS}=5V$ ,  $V_{GS}=1\sim 5V$  일때 약 2~4.5GHz 이었고  $f_{max}$ 는 약 17.5~20GHz 정도 이었다. 본 연구에서 제작된 RF-nMOS 소자의 RF 특성이 좋지 못한 것은 사용 공정이 일반적인 CMOS 공정이고 기판의 저항이 낮으므로 고주파에서 누설성

분이 크기 때문이다. 그리고 LDD 구조로 인한 소스/드레인 저항이 큰 것과 폴리사이드 기술 등을 사용하지 않았기 때문에 게이트 저항이 크므로 RF 특성이 좋지 않은 것으로 사료된다. 본 연구의 목적이 소자 열화로 인한 RF-nMOS의 DC 및 RF 특성 열화를 분석하는 것이므로 RF 특성이 아주 우수하지 않아도 분석 자체에는 어려움이 없는 것으로 사료 된다. 그림 7에서 스트레스 후에 소자 열화로 인한  $f_T$  감소가 큰 것을 알 수 있다. 특히 측정  $V_{DS}$ 가 낮은 선형영역에서  $f_T$  변화가 심함을 알 수 있다. 이런  $f_T$ 의 변화는 DC 특성의 열화로부터 해석할 수 있다. 소자의 DC 특성 변수와 RF 성능 지수에는 다음과 같은 상관관계가 있다<sup>[14]</sup>.

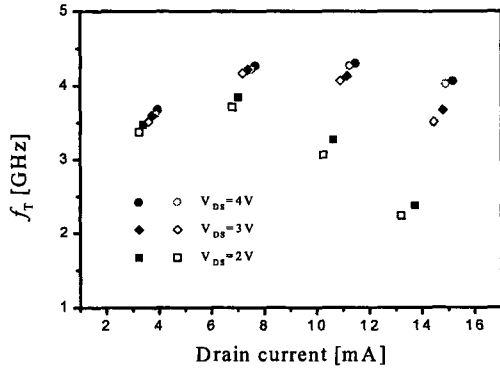


그림 7. 스트레스 전후의 드레인 전류에 따른  $f_T$ 와  $f_{max}$  변화

Fig. 7. The variation of  $f_T$  and  $f_{max}$  versus drain current before and after stress. (Dark mark : before stress, Open mark : after stress)

$$f_T = \frac{g_m}{2\pi(C_{gs} + C_{gs})} \quad (2)$$

$$f_{max} = \frac{f_T}{2\sqrt{2\pi f_T R_g C_{gd} + g_{ds} R_{in}}} \quad (3)$$

위 식에서  $C_{gs}$ 는 게이트와 소스 사이의 커패시턴스,  $C_{gd}$ 는 게이트와 드레인 사이의 커패시턴스,  $R_g$ 는 게이트 저항,  $R_{in}$ 은 게이트 및 소스와 채널성분을 포함하는 입력 저항이다. 식(2)에서 스트레스 후에  $g_m$ 이 감소하면  $f_T$ 가 감소하게 된다. 그러나 스트레스 후에 nMOS의  $C_{gd}$ 가 감소 한다는 다른 연구에 의하면  $f_T$ 는 증가하게 되나  $g_m$  감소가 크므로  $f_T$ 는 감소할 것이다<sup>[15]</sup>. 그리고 식(3)으로부터 스트레스 후의  $f_T$  감소와  $g_{ds}$ 의 증가는  $f_{max}$ 를 감소 시키게 됨을 알 수 있다.

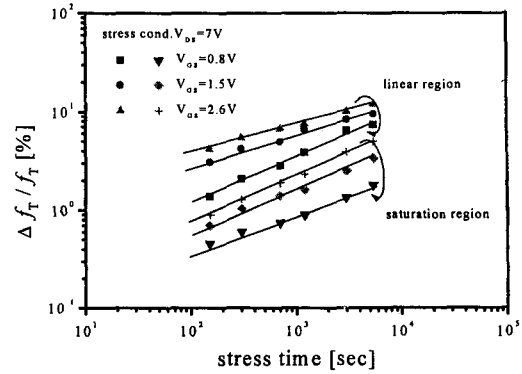


그림 8. 스트레스 시간에 따른  $f_T$  열화  
Fig. 8.  $f_T$  degradation with stress time.

그림 8은 스트레스 시간에 따른  $F=4$   $0.8\mu\text{m}$  RF-nMOS의  $f_T$  변화를 선형 및 포화영역에서 측정된 것이다. 스트레스 조건은  $V_{DS}=7\text{V}$ 로 일정하며  $V_{GS} = 0.8\sim 2.6\text{V}$ 로 가변하였다. 선형영역의  $\Delta f_T / f_T$ 가 포화영역의  $\Delta f_T / f_T$  보다는 큰 것을 알 수 있으며  $I_{sub}$ 가 많이 흐르는  $V_{GS}$ 에서  $\Delta f_T / f_T$ 가 큰 것을 알 수 있다. 그리고 그림 8로부터  $\Delta f_T / f_T$ 와  $T_S$ 는 power law 관계가 있음을 알 수 있고 열화율  $n$ 은 약  $0.24\sim 0.3$ 으로 그림 4의  $\Delta I_{DS}/I_{DS}$ 에서 구한 것과 거의 유사함을 볼 수 있다. 그림 8의 결과로부터 식 (1)의 열화 모델을 RF 특성 열화에 그대로 적용할 수 있음을 알 수 있다.

## V. DC 특성 열화와 RF 특성 열화의 상관관계

식 (2)로 부터 스트레스 후의  $f_T$  변화는 주로  $g_m$ 의 변화에 의하여 결정 되므로 그림 9에  $\Delta f_T / f_T$ 와  $\Delta g_m / g_m$ 의 상관관계를 나타내었다. 스트레스 조건은  $V_{DS}=7\text{V}$ 로 고정하고  $V_{GS}=0.8\sim 2.6\text{V}$ 로 가변 하였으며 측정은 선형영역에서 행하여졌다. 그림 9로부터  $\Delta f_T / f_T$ 는  $\Delta g_m / g_m$ 에 선형적으로 비례함을 알 수 있다. 기울기가 1인 경우는 식(2)에서  $f_T$  변화는  $g_m$  변화에 의하여 결정되는 것이지만 그림 9에서 기울기가 정확하게 1이 아닌 것은  $C_{gd}$ 의 변화에 의한 것으로 사료된다. 즉 hot carrier로 생성된 계면상태에 전자가 포획 되므로  $g_m$ 과  $C_{gd}$ 가 감소되었음을 의미한다. 그림 9의 의미는 nMOS 소자의 RF 특성 열화 원인이 계면상태의 생성에 의한 것이며 DC 특성 열화를 측정하므로

RF 특성 열화를 예견할 수 있다는 것이다.

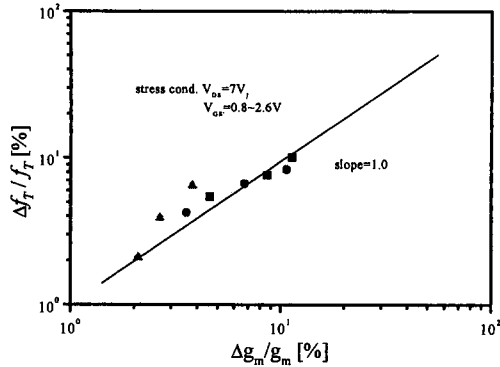


그림 9.  $\Delta g_m / g_m$ 과  $\Delta f_T / f_T$ 의 상관관계  
Fig. 9. Correlation  $\Delta g_m / g_m$  and  $\Delta f_T / f_T$ .

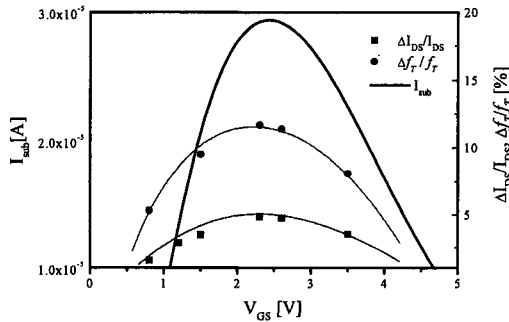


그림 10. 기판전류, 드레인 전류 열화 및  $f_T$  열화의 상관관계  
Fig. 10. Correlation between substrate current,  $I_{DS}$  degradation, and  $f_T$  degradation.

일반적으로 hot carrier에 의한 기판전류  $I_{sub}$ , 소자 열화  $\Delta I_{DS}/I_{DS}$ , 및 계면상태 생성은 상관관계가 크므로  $I_{sub}$ 를 측정하여 소자특성의 열화를 예견하고 있다<sup>[16]</sup>. 그림 10은  $I_{sub}$ ,  $\Delta I_{DS}/I_{DS}$  및  $\Delta f_T / f_T$ 를 스트레스 전압  $V_{GS}$ 의 함수로 표현한 것이다. 스트레스 전압  $V_{DS}=7V$ 이며  $T_S=5400$ 초이다. 드레인전류 측정은  $V_{DS}=2V$ ,  $V_{GS}=5V$ 로 선형영역에서  $f_T$  측정은  $V_{DS}=2V$ ,  $V_{GS}=5V$ 에서 하였다. 그림으로 부터  $I_{sub}$ 가 최대가 되는  $V_{GS}$ 에서  $\Delta I_{DS}/I_{DS}$ 와  $\Delta f_T / f_T$ 가 최대가 되었고  $\Delta I_{DS}/I_{DS}$ 와  $\Delta f_T / f_T$ 의 변화 곡선이  $I_{sub}$ 와 비슷한 것을 알 수 있다. 이런 특성은  $I_{sub}$ 가 최대가 되는  $V_{GS}$ 에서 hot carrier로 인한 계면상태 생성이 최대이며 이로 인하여 RF 특성이 열화됨을 의미한다. 그리고  $I_{sub}$ 를 측정하므로 RF-nMOS 소자의 DC 특성 열화와 RF 특성 열화를 동시에 예견할 수 있음을 의미하며 열화

에 의한 기존의 수명시간 예측 방법과 최대허용공급전압 결정 방법을 그대로 사용할 수 있음을 의미한다.

## VI. 결 론

F=4인  $0.8\mu m$  RF-nMOS 소자의 hot carrier 현상으로 인한 DC 및 RF 특성 열화를 측정·분석하므로 다음과 같은 결론을 얻을 수 있었다. 첫째, 소자열화는 finger수가 클수록 소자열화가 적게 되었다. 둘째, 기존의 F=1의 열화 모델을 RF 소자에 그대로 적용할 수 있었다. 셋째, RF 특성 열화를 hot carrier에 의한 계면상태 생성으로  $g_m$ 감소,  $g_{ds}$ 증가 및  $C_{gd}$ 의 감소에 의한 것이다. 넷째,  $I_{sub}$ 를 측정하므로 RF 소자의 DC 및 RF 특성 열화를 예견할 수 있었다.

## 감사의 글

※ 본 연구는 서울 대학교 반도체공동연구소의 교육부 반도체분야 학술연구 조성비 (과제번호 ISRC 97-E-1041)에 의해 수행 되었습니다.

## 참 고 문 헌

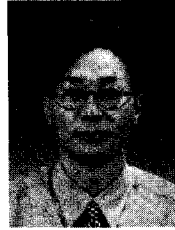
- [ 1 ] C. Wann, L. Su, K. Jenkins, R. Chang, D. Frank, Y. Taur, "RF Perspective of Sub-Tenth-Micron CMOS", Tech. Dig. ISCC-97, pp. 254-255, 1997.
- [ 2 ] A. Abidi, P. R. Gray, T. Lee, M. Steyaert, "RF CMOS Circuit design for personal communication system", in short course text book of Tech. Dig. ISSCC-96, 1996.
- [ 3 ] H. S. Momose, E. Morifuji, T. Yoshitomi, T. Ohguro, M. Saito, T. Morimoto, Y. Katsumata, H. Iwai. "High frequency AC characteristics of 1.5nm gate oxide MOSFETs", Tech. Dig. IEDM- 96, pp. 105-108, 1996.
- [ 4 ] R. R. J. Vanoppen, L. M. F. de Maaijer, D. B. Klaassen, L. F. Tiemeijer, "RF noise modeling of  $0.25\mu m$  CMOS and low power LNAs", Tech. Dig. IEDM-97, pp. 317-320, 1997.
- [ 5 ] S. P. Voinigescu, S. W. Tarasewicz, T.

- MacElwee, J. Ilowski, "An assessment of the state art 0.5 $\mu$ m bulk CMOS technology for RF". Tech. Dig. IEDM-95, pp. 721-723, 1995.
- [ 6 ] C. S. Kim, H. K. Yu, H. J. Cho, S. H. Lee, K. S. Nam, "CMOS layout and bias optimization for RF IC design applications", IEEE MTT-S Digest, pp. 945-948, 1997.
- [ 7 ] J. E. Chung, K. N. Quader, C. G. Sodini, P. K. Ko, C. Hu, "The effect of hot carrier degradation on analog MOSFET performance", Tech. Dig. IEDM-90, pp. 553-556, 1990.
- [ 8 ] U. Gatti, F. maloberti and V. Liberali, "Full Stacked Layout of Analogue Cell", Proc. IEEE Int. Symp. On Circuits and Systems, pp. 1123-1126, 1989.
- [ 9 ] R. J. Baker, H. W. Li and D. E. Boyce, CMOS Circuit Design, Layout, and Simulation, IEEE press, p.448, 1998.
- [ 10 ] T. Y. Chan, P. K. Ko, and C. Hu, "A Simple Method to Characterize Substrate Current in MOSFETs", IEEE Electron Device Lett. EDL-5, pp. 505-507, 1984.
- [ 11 ] C. Hu, S.C. Tam, F. C. Hsu, P. K. Ko, T. Y. Chan, K. Terrill, "Hot electron-induced MOSFET degradation-model, monitor, and improvement", IEEE Trans. Electron Devices, vol. 32, no. 2, pp. 375-384, 1985.
- [ 12 ] S. W. kim, B. Menberu, T. E. Kopley, J. E. Chung, "Oxide field dependence of the NMOS hot carrier degradation rate and Its impact on AC-lifetime prediction", Tech. Dig. IEDM-95, pp. 37-40, 1995.
- [ 13 ] J. Y. Choi, P. K. Ko, C. Hu, "Effect of oxide field on hot carrier induced degradation of metal oxide semiconductor field-effect transistors", Appl. Phys. Lett. vol. 50, no. 17, pp. 1188-1190, 1987.
- [ 14 ] S. M. Sze, physics of Semiconductor Devices, New York:Wiley, 1981, pp. 343-347.
- [ 15 ] C. H. Ling, D. S. Ang, S. E. Tan, "Effect of measurement frequency and temperature anneal on differential gate capacitance spectra observed in hot carrier stressed MOSFETs", IEEE Trans. Electron Devices, vol. 42, no. 8, pp. 1528-1535, 1995.
- [ 16 ] E. Takeda, A. Shimizu, T. Hagiwara, "Role of hot-hole injection in hot carrier effects and the small signal degraded channel region in MOSFETs", IEEE Electron Device Lett. vol. 4, no. 9, pp. 329-331, 1983.

저 자 소 개



李炳振(正會員)  
1970년 9월 25일생. 1997년 2월 인천대학교 전자공학과 졸업(학사). 1997년 2월 ~ 인천대학교 대학원 전자공학과 재학중. 주관심분야는 실리콘 RF-CMOSFET의 신뢰도 분석 및 최적화



洪性熙(正會員)  
1964년 5월 20일생. 1988년 2월 인천대학교 전자공학과 졸업(학사). 1990년 2월 인천대학교 대학원 전자공학과 졸업(공학석사). 1998년 2월 ~ 인천대학교 대학원 전자공학과 재학중. 주관심분야는 실리콘 RF-CMOSFET의 신뢰도 분석 및 모델링

劉宗根(正會員) 第32卷 A編 第1號 參照  
현재 인천대학교 전자공학과 교수

朴鍾泰(正會員) 第34卷 D編 第12號 參照  
현재 인천대학교 전자공학과 교수



全石熙(正會員)  
1959년 8월 16일생. 1981년 2월 연세대학교 전자공학과 졸업(공학사). 1983년 2월 연세대학교 대학원 전자공학과 졸업(공학석사). 1990년 2월 연세대학교 대학원 전자공학과 졸업(공학박사). 1991년 8월 ~ 현재 인천대학교 전자공학과 교수. 주관심분야는 광전자공학, 소자 모델링