

論文 98-35D-10-6

CPL을 이용한 저전력 격자 웨이브 디지털 필터의 설계

(Low-power Lattice Wave Digital Filter Design Using CPL)

金大淵*, 李永中**, 鄭鎭均***, 丁恒根****

(Dae-Yen Kim, Young-Joong Lee, Jin-Gyun Chung, and Hang-Geun Jeong)

요 약

넓은 통과대역과 좁은 천이대역폭을 갖는 디지털 필터는 이동통신 장비의 CODEC이나 의료장비등에 사용된다. 이러한 주파수 특성을 갖는 디지털 필터는 다른 주파수 특성의 디지털 필터에 비해 계수 및 내부 신호의 양자화 영향을 크게 받기 때문에 긴 워드 길이가 요구되며 이로 인해 칩의 면적 및 소모 전력이 증가한다. 본 논문에서는 이러한 주파수 특성을 갖는 디지털 필터의 저전력 구현을 위하여 CPL (Complementary Pass-Transistor Logic), 격자 웨이브 디지털 필터와 수정된 DIFIR (Decomposed & Interpolated FIR) 알고리즘을 이용한 설계 방법을 제시한다. CPL에서의 단락전류 성분을 줄이기 위하여 PMOS 몸체효과, PMOS latch 및 weak PMOS를 이용하는 3가지 방법에 대해 시뮬레이션을 통하여 비교한 결과 전파지연, 에너지 소모 및 잡음여유 면에서 PMOS latch를 사용하는 방법이 가장 유리하였다. 동작력을 가지고 CPL 회로를 최적화하기 위해 CPL 기본구조에 대해 시뮬레이션 결과로부터 전파지연과 에너지 소모에 대한 경험식을 유도하여 트랜지스터의 크기를 정하는데 적용하였다. 또한 필터계수를 CSD (Canonic Signed Digit)로 변환하고 계수 양자화 프로그램을 이용하여 필터계수의 non-zero 비트수를 최소화시켜 곱셈기를 효율적으로 구현하였다. 알고리즘 측면에서 하드웨어 비용을 최소화하기 위해 수정된 DIFIR 알고리즘을 사용하였다. 시뮬레이션 결과 제안된 방법의 전력 소모가 기존 방법보다 38% 정도 감소되었다.

Abstract

Wide-band sharp-transition filters are widely used in applications such as wireless CODEC design or medical systems. Since these filters suffer from large sensitivity and roundoff noise, large word-length is required for the VLSI implementation, which increases the hardware size and the power consumption of the chip. In this paper, a low-power implementation technique for digital filters with wide-band sharp-transition characteristics is proposed using CPL (Complementary Pass-Transistor Logic), LWDF (Lattice Wave Digital Filter) and a modified DIFIR (Decomposed & Interpolated FIR) algorithm. To reduce the short-circuit current component in CPL circuits due to threshold voltage reduction through the pass transistor, three different approaches can be used: cross-coupled PMOS latch, PMOS body biasing and weak PMOS latch. Of the three, the cross-coupled PMOS latch approach is the most realistic solution when the noise margin as well as the energy-delay product is considered. To optimize CPL transistor size with insight, the empirical formulas for the delay and energy consumption in the basic structure of CPL circuits were derived from the simulation results. In addition, the filter coefficients are encoded using CSD (Canonic Signed Digit) format and optimized by a coefficient quantization program. The hardware cost is minimized further by a modified DIFIR algorithm. Simulation result shows that the proposed method can achieve about 38% reductions in power consumption compared with the conventional method.

* 正會員, 三星綜合技術員

(Samsung Advanced Institute of Technology)

** 正會員, 國防科學研究所

(Agency for Defense Development)

*** 正會員, 全北大學校 情報通信工學科

(Department of Information and Communication Engineering, Chonbuk National University)

**** 全北大學校 電子工學科

(Department of Electronic Engineering, Chonbuk National University)

※ 본 연구는 서울대학교 반도체 공동연구소의 교육부 반도체분야 학술연구조성비(과제번호: ISRC 96-E-2012)에 의해 수행되었습니다.

接受日字: 1997年11月29日, 수정완료일: 1998年9月5日

I. 서론

넓은 통과 대역과 좁은 천이대역폭을 갖는 디지털 필터는 이동통신 장비의 CODEC이나 의료장비등에 사용된다. 이러한 주파수 특성을 갖는 디지털 필터는 극점들이 단위원에 매우 근접하게 위치하기 때문에 다른 주파수 특성의 디지털 필터에 비해 계수 및 내부 신호의 양자화 영향을 크게 받는다. 따라서 긴 워드 길이가 요구되며 이로 인해 칩의 면적 및 소모 전력이 증가한다. 이러한 경우 아날로그 영역의 무손실 LC 필터를 디지털 영역으로 변환한 격자 웨이브 디지털 필터를 사용함으로써 다른 필터 구조에 비해 작은 워드 길이로도 원하는 주파수 특성을 얻을 수 있으며 VLSI로 구현시 디지털 필터의 소형화 및 저전력화를 극대화할 수 있다^[1].

본 연구에서는 넓은 통과 대역과 좁은 천이대역폭을 갖는 디지털 필터의 효율적인 VLSI 구현을 위하여 격자 웨이브 디지털 필터와 아울러 수정된 DIFIR (Decomposed & Interpolated FIR) 알고리즘을 이용하였다^[2]. DIFIR은 그림 1(a)와 같은 통과 대역폭과 천이대역폭이 좁은 필터를 그림 1(b)~그림 1(f)의 $G_2(z^2) \cdot I_1(z)$ 또는 $G_4(z^4) \cdot I_1(z) \cdot I_2(z^2)$ 의 직렬연결로 구현하며 $G_i(z)$ 는 IIR 필터(격자 웨이브 디지털 필터)로, $I_i(z)$ 는 FIR 필터로 구현하는 방법이다. 이와같이 구현함으로써 IIR 필터의 천이대역을 확장시키는 효과를 얻을 수 있어서 요구되는 워드 길이를 단축할 수 있다. 또한 그림 1(c), (e)에서 보는 바와 같이 DIFIR에 사용되는 FIR 필터는 천이대역폭이 넓으므로 적은 하드웨어를 이용하여 구현할 수 있다. 이러한 FIR 필터를 기존과는 달리 half-band 필터를 이용하여 더욱 효율적으로 구현할 수 있음을 IV.2절에서 보인다.

CMOS를 사용한 논리회로는 그 안정된 동작과 뛰어난 잠음 여유로 인하여 보편적으로 사용되어 왔으나 전력소모가 작은 논리회로가 요구됨에 따라 새로운 논리회로 방식이 연구되었다. 그중 대표적인 예가 CPL이다^[3]. CPL의 장점은 XOR등과 같은 복잡한 논리 함수들을 적은 수의 트랜지스터만을 사용하여 간단하게 구현할 수 있으며, 따라서 회로의 노드 커패시턴스 성분이 감소 된다는 것이다. XOR는 덧셈기, 곱셈기를 비롯한 많은 산술 및 논리회로들에 사용되므로 XOR의 효율적인 구현은 전체 회로의 성능 향상에 중요한

역할을 한다고 할 수 있다.

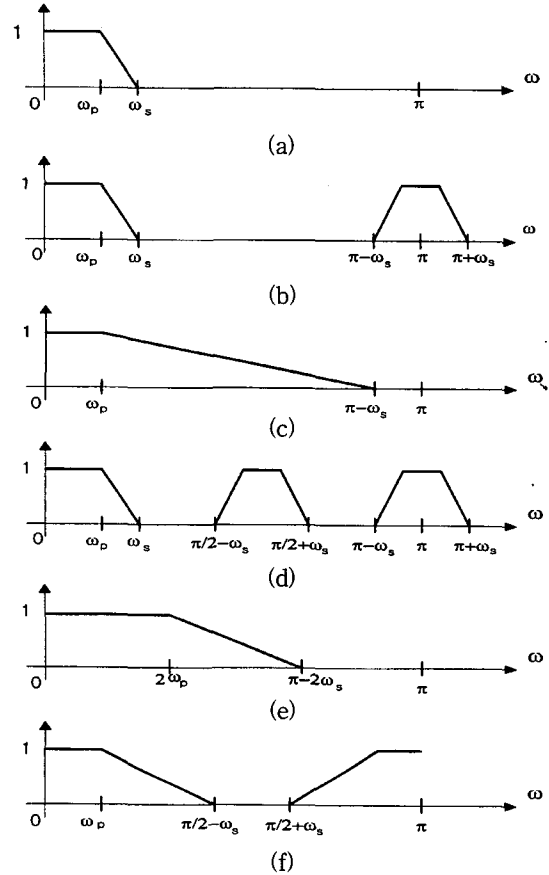


그림 1. (a) 원하는 주파수 특성 (b) $G_2(z^2)$ 의 주파수 특성 (c) FIR필터 $I_1(z)$ 의 주파수 특성 (d) $G_4(z^4)$ 의 주파수 특성 (e) FIR필터 $I_2(z)$ 의 주파수 특성 (f) $I_2(z^2)$ 의 주파수 특성

Fig. 1. (a) Desired response (b) Response of $G_2(z^2)$ (c) Response of FIR filter $I_1(z)$ (d) Response of $G_4(z^4)$ (e) Response of FIR filter $I_2(z)$ (f) Response of $I_2(z^2)$

CPL 회로에서는 패스-트랜지스터에 의한 문턱전압 만큼의 전압강하로 인하여 패스-트랜지스터가 구동하는 CMOS 인버터의 단락 전류 성분이 증가하는 문제가 발생한다. 이러한 CPL에서의 단락전류 성분을 줄이기 위하여 CMOS 인버터의 PMOS에 몸체효과를 주는 방법과 PMOS latch와 weak PMOS를 사용하여 CMOS 인버터의 입력 전압 레벨을 복원하는 방법이 사용될 수 있다. II장에서는 이 세가지 방법에 대하여 CPL 전가산기의 에너지 소모 및 전파지연의 곱을 최소로 하는 트랜지스터 크기를 찾고 최적값을 세가지 경우에 대하여 비교하였다. 비용함수를 전파지연과 에

너지 소모의 곱으로 정의할 때 PMOS 몸체효과를 이용하는 방법이 비용함수 면에서 가장 유리하나 잡음 여유가 1.88V로 감소하는 문제점이 발생한다. 따라서 본 논문에서는 비용함수가 PMOS 몸체효과를 이용한 방법 보다는 크지만 잡음 여유가 2.05V로 가장 높은 PMOS latch를 사용하는 방법으로 CPL 회로를 구성하였다.

통찰력을 가지고 CPL 회로를 최적화하기 위해서는 전파지연과 에너지 소모에 대한 해석식이 필요하다. 그러나 비선형 커패시턴스를 간단한 수식의 형태로 모델링하기가 매우 어렵다. 이러한 문제를 극복하기 위하여 경험식을 사용하는 방법이 NMOS 논리회로에서의 트랜지스터 사이징에 적용된 바 있다^[4]. III장에서는 이러한 최적설계 방법을 CPL 회로의 설계에 적용하기 위하여 기본구조에 대한 시뮬레이션 결과로부터 전파지연과 에너지 소모에 대한 경험식을 유도하였다.

디지털 필터의 VLSI구현시 전력소모 및 하드웨어 면에서 가장 큰 비중을 차지하는 것은 곱셈기이다. 고정된 계수를 사용하는 디지털 필터의 경우 가장 효율적인 구현 방법중의 하나는 필터의 계수를 CSD를 사용하여 표현함으로써 시프트(shift)와 덧셈(add)만으로 곱셈을 구현하는 것이다^[5]. 이때 하드웨어의 비용은 CSD로 표현된 계수의 non-zero비트수에 비례하며 이러한 non-zero비트수를 줄이기 위한 양자화 방법들이 연구되어왔다^[6-8]. IV장에서는 필터 계수의 최적화 및 효율적인 저전력 구현 방안을 고려하였으며, Mentor Tool을 사용하여 전체 필터의 설계 및 시뮬레이션을 하였다.

II. 최적의 CPL 전가산기

CPL은 NMOS를 패스-트랜지스터로 사용하므로 패스-트랜지스터를 통과하면서 NMOS의 문턱전압 V_{TN} 만큼 전압 레벨이 감소한다. 이로 인하여 패스-트랜지스터의 소스 전압은 $V_{DD} - V_{TN}$ 가 되고 (그림 3의 입력단 참조) V_{TN} 은 식 (1)과 같이 몸체효과에 의해 증가한다^[9]

$$V_{TN} = V_{TN0} + \gamma [\sqrt{2\phi_f + V_{SB}} - \sqrt{2\phi_f}] \quad (1)$$

위 식에서 V_{TN0} 는 소스-몸체간의 전압 V_{SB} 가 0일때의 NMOS의 문턱전압이며, 파라미터 γ 는 0.3에서

$1.0V^{1/2}$ 사이의 값을 갖고, ϕ_f 는 Fermi 퍼텐셜로서 물질상수이다. 따라서 패스-트랜지스터의 소스 전압은 더 낮아지게 되어 CMOS 인버터의 PMOS의 소스 게이트 전압 V_{SG} 가 증가한다. 식 (2)는 PMOS가 on 될 조건이며 V_{SG} 가 증가하기 때문에 PMOS가 off되지 않아 단락전류가 발생하게 되어 전력소모가 증가한다.

$$V_{SG} > |V_{TP}| \quad (2)$$

이러한 단락 전류를 줄이는 방법으로 그림 2와 같은 세가지 방법이 있다. 즉, CMOS 인버터의 PMOS에 몸체효과를 주어 $|V_{TP}|$ 를 증가시켜 주는 방법, PMOS latch를 이용하여 인버터의 입력전압 레벨을 복원하는 방법, weak PMOS를 이용하여 인버터의 입력전압 레벨을 복원하는 방법 등이다.

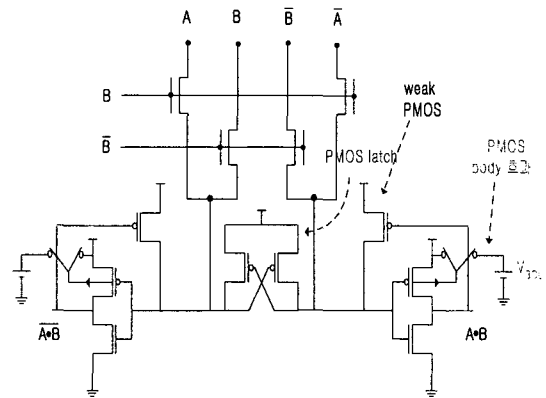


그림 2. CPL 회로에서 단락전류를 줄이는 방법
Fig. 2. Short-circuit current reduction methods in CPL circuits.

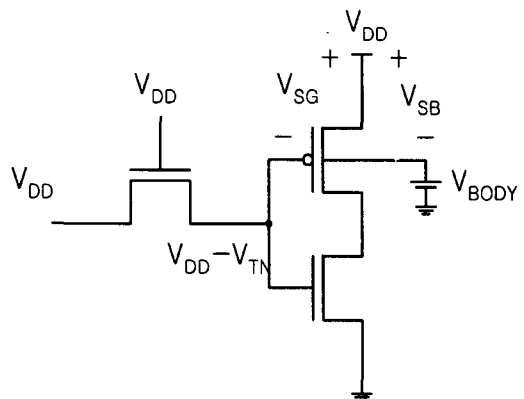


그림 3. PMOS 몸체에 V_{DD} 보다 높은 전압을 인가하는 경우
Fig. 3. PMOS body biasing with higher voltage than V_{DD} .

단락전류를 줄이는 위의 세가지 방법중 CMOS 인버터의 PMOS 몸체에 V_{DD} 보다 큰 전압 V_{BODY} 를 인가한 방법이 그림 3과 같다. 따라서 CMOS 인버터의 PMOS의 기판에 소스보다 높은 전압 V_{BS} 를 인가하면 식 (3)과 같이 몸체효과에 의해 PMOS의 문턱 전압 V_{TP} 가 증가하게 된다^[9].

$$|V_{TP}| = |V_{TP0}| + \gamma[\sqrt{2\phi_f - V_{SB}} - \sqrt{2\phi_f}] \quad (3)$$

위 식에서 V_{TP0} 는 $V_{SB}=0$ 시의 PMOS의 문턱 전압이다. 이로 인해 PMOS는 완전히 off되고 단락전류에 의한 전력소모를 줄일 수 있으나 잡음여유가 감소하게 된다. 잡음 여유를 최대로 하기 위해 인버터 문턱 전압 V_{INV} 가 $(V_{DD} - V_{TN})/2$ 가 되도록 CMOS 인버터의 PMOS와 NMOS의 크기를 결정했을 때 시뮬레이션에 의한 결과 잡음 여유 NM_L 와 NM_H 는 1.88(현대 0.8 μm 공정)이었다. 그림 4는 V_{INV} 가 $(V_{DD} - V_{TN})/2$ 일 때 DC 특성 곡선이다. 이 경우 CMOS 인버터의 PMOS의 문턱 전압이 증가하면 인버터의 전류 구동능력이 낮아져 상승 전파지연이 증가하는 경향이 있다.

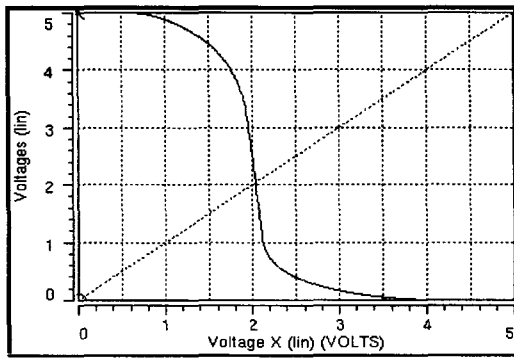


그림 4. V_{INV} 가 $(V_{DD} - V_{TN})/2$ 일 때 DC 특성 곡선
Fig. 4. DC characteristic curve with $V_{INV} = (V_{DD} - V_{TN})/2$.

PMOS 몸체에 $V_{DD}(=5V)$ 의 전압을 인가할 경우의 에너지 소모는 그림 5와 같으며 V_{DD} 이상의 임계 전압 $V_{BODY}(=6.5V)$ 를 인가하면 단락전류에 의한 에너지 소모가 그림 6과 같이 무시된다.

PMOS latch와 weak PMOS를 사용하여 단락전류로 인한 전력소모를 없애주는 방법에서는 V_{INV} 가 $V_{DD}/2$ 가 되도록 CMOS 인버터의 PMOS와 NMOS

의 트랜지스터의 크기를 결정해야 잡음 여유가 최대가 되며 이 때 시뮬레이션에 의한 결과 NM_L 와 NM_H 는 2.05(현대 0.8 μm 공정)이었다.

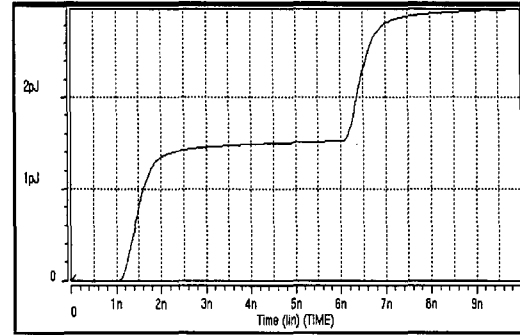


그림 5. PMOS 몸체에 $V_{DD}(=5V)$ 전압을 인가할 경우의 에너지 소모
Fig. 5. Energy consumption with PMOS body bias of $V_{DD}(=5V)$.

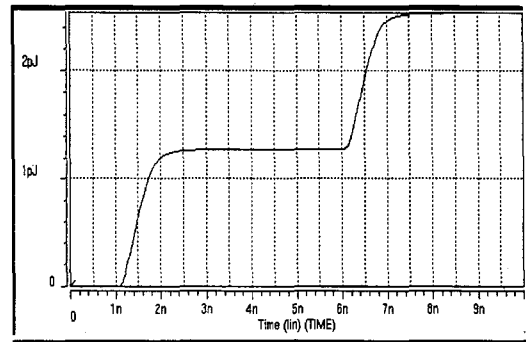


그림 6. PMOS 몸체에 $V_{BODY}(=6.5V)$ 전압을 인가할 경우의 에너지 소모
Fig. 6. Energy consumption with PMOS body bias of $V_{BODY}(=6.5V)$.

표 1은 단락전류를 없애주는 세가지 방법에 대하여 에너지소모, 전파지연, 에너지소모와 전파지연의 곱 및 잡음 여유를 비교한 것이다. 몸체 효과를 이용한 방법이 에너지 소모 및 전파지연 \times 에너지 소모 면에서는 가장 우수하나 잡음 여유면에서는 PMOS latch 및 weak PMOS를 사용한 방법이 더 우수함을 알 수 있다. PMOS latch를 사용한 방법은 전파지연 \times 에너지 소모 면에서는 몸체 효과를 이용한 방법에 비해 성능이 떨어지지만 잡음여유 및 전파지연 면에서 성능이 가장 우수하므로 본 논문에서는 PMOS latch를 사용한 방법을 이용하여 CPL 회로를 구성하였다.

표 1. CPL 회로의 비교
Table 1. Comparison of CPL circuits.

	전파지연	에너지 소모	전파지연 ×에너지소모	잡음 여유
몸체효과	0.57nsec	1.3pJ	0.741	1.88V
PMOS latch	0.53nsec	2.54pJ	1.346	2.05V
weak PMOS	0.63nsec	3.37pJ	2.123	2.05V

III. CPL 기본구조의 최적 설계

본 논문에서 전파지연 및 에너지 소모에 대한 경험식을 유도하기 위해 사용한 CPL 기본구조는 그림 7 과 같이 CMOS 인버터와 NMOS 패스-트랜지스터 2 개가 직렬로 연결된 형태이다. PMOS latch 회로는 패스-트랜지스터를 통과하면서 전압레벨의 감소로 발생하는 단락전류를 줄여 준다. 잡음 여유를 최대로 하기 위한 시뮬레이션 결과로 부터 W_p 는 W_n 의 2.6배 로 하였다. 이러한 기본구조는 그림 8과 같이 커패시턴스와 저항이 연결된 구조로 모델링할 수 있다.

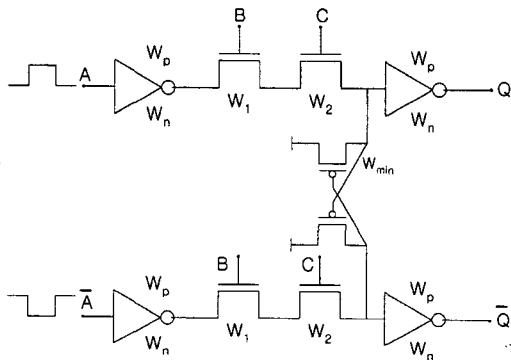


그림 7. CPL 회로의 기본구조
Fig. 7. Basic CPL circuit.

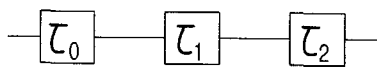
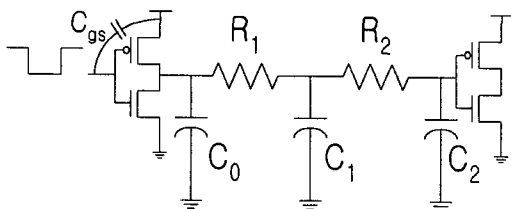


그림 8. CPL 기본구조의 등가회로
Fig. 8. Equivalent circuit of the basic CPL circuit.

그림 8에서 C_0, C_1, C_2 는 각각 인버터의 출력단, 첫 번째 패스-트랜지스터의 소스단, 두 번째 패스-트랜지스터의 소스단에 연결된 커패시턴스이고 C_{gs} 는 CMOS 인버터의 PMOS 게이트-소스 커패시턴스이다. R_1, R_2 는 패스-트랜지스터의 등가저항이다^[10]. 이 기본구조에 대한 전체 지연은 인버터에서의 전파지연 τ_0 와 첫 번째 패스-트랜지스터의 지연 τ_1 과 두 번째 패스-트랜지스터의 지연 τ_2 의 합으로 모델링할 수 있다. 커패시턴스 C_0, C_1, C_2, C_{gs} 는 식 (4)와 같이 그림 7의 각 MOS의 W_i 값을 이용하여 표현할 수 있다.

$$\begin{aligned} C_0 &= (a_0 W_n + \beta_0 W_1 + \gamma_0) \times \frac{1}{a}, \\ C_1 &= (a_1 W_1 + \beta_1 W_2 + \gamma_1) \times \frac{1}{a}, \\ C_2 &= (a_2 W_2 + \beta_2 W_n + \gamma_2) \times \frac{1}{a}, \\ C_{gs} &= f W_n. \end{aligned} \quad (4)$$

여기서 $a_0, \beta_0, \gamma_0, a_1, \beta_1, \gamma_1, a_2, \beta_2, \gamma_2, a, f$ 는 상수이다.

인버터의 출력단 커패시턴스 C_L 은 패스-트랜지스터 부하효과를 고려하여 식 (5)와 같이 표현할 수 있다.

$$C_L = C_0 + C_1 \left(\frac{W_1}{W_1 + W_{R1}} \right) + C_2 \left(\frac{W_1}{W_1 + W_{R1}} \right) \left(\frac{W_2}{W_2 + W_{R2}} \right). \quad (5)$$

여기서 W_{R1}, W_{R2} 는 상수이다.

식(4)와 (5)를 이용하여 τ_0, τ_1, τ_2 및 전체 전파지연 τ_{total} 는 식 (6)과 같이 표현할 수 있다.

$$\begin{aligned} \tau_0 &= \frac{a C_L}{W_n}, \\ \tau_1 &= R_1 \left\{ C_1 + C_2 \left(1 - \frac{W_{R2}}{W_2 + W_{R2}} \right) \right\}, \\ \tau_2 &= R_2 C_2, \\ \tau_{total} &= \frac{a C_L}{W_n} + R_1 \left\{ C_1 + C_2 \left(1 - \frac{W_{R2}}{W_2 + W_{R2}} \right) \right\} + R_2 C_2. \end{aligned} \quad (6)$$

여기서 R_1, R_2 는 각각 $\frac{e}{W_1}, \frac{e}{W_2}$ 로 모델할 수 있으며 W_{R2} 와 e 는 상수이다.

이 기본구조에 대한 에너지 소모 경험식은 CMOS 인버터의 C_{gs} 에도 전류가 흐르므로 이를 고려하여 식 (7)과 같이 모델할 수 있다.

$$E = C_0 V_{DD}^2 + C_1 V_{DD}(V_{DD} - V_{TN}) + C_2 V_{DD}^2 + C_{gs} V_{DD}^2. \quad (7)$$

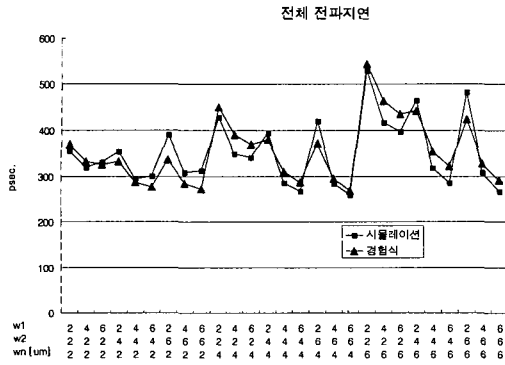


그림 9. 전체 전파지연에 대한 비교
Fig. 9. Comparison of propagation delays.

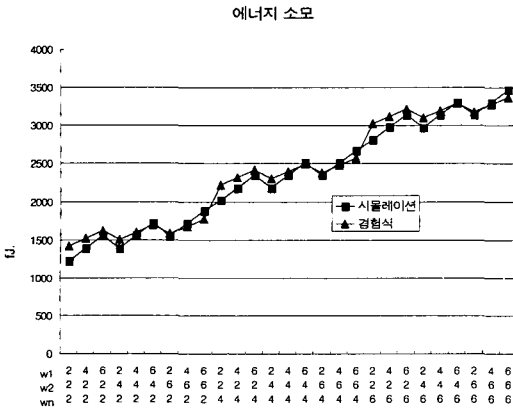


그림 10. 전체 에너지 소모에 대한 비교
Fig. 10. Comparison of energy consumptions.

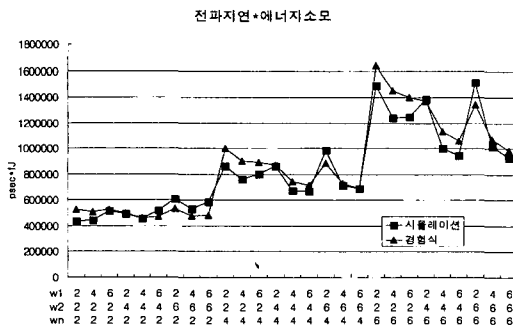


그림 11. 전파지연과 에너지 소모 곱에 대한 비교
Fig. 11. Comparison of the energy-delay products.

식 (6), (7)로 부터 에너지 소모와 전파지연의 곱 EDP(Energy Delay Product)는 식 (8)과 같이 표현되며 현대 0.8μm공정에 대해 계산된 상수는 표 2와

같다. 전체 전파지연, 에너지 소모 및 전체 전파지연과 에너지 소모의 곱에 대한 SPICE 시뮬레이션과 본 절에서 유도된 경험식의 비교는 각각 그림 9, 그림 10 및 그림 11과 같다.

$$EDP = E \times \tau_{total} = \left[\left((a_0 + \beta_0 \frac{W_1}{W_n} + \gamma_0) + (\frac{W_1}{W_1 + W_{R1}}) (\alpha_1 \frac{W_1}{W_n} + \beta_1 \frac{W_2}{W_n} + \gamma_1) \right) + (\frac{W_1}{W_1 + W_{R1}}) (\frac{W_2}{W_2 + W_{R2}}) (\alpha_2 \frac{W_2}{W_n} + \beta_2 + \frac{\gamma_2}{W_n}) \right] + \frac{e}{W_1} \left[(a_0 W_n + \beta_0 W_1 + \gamma_0) \times \frac{1}{a} + (\frac{W_2}{W_2 + W_{R2}}) (\alpha_2 W_2 + \beta_2 W_n + \gamma_2) \times \frac{1}{a} \right] + \frac{e}{W_2} (\alpha_2 W_2 + \beta_2 W_n + \gamma_2) \times \frac{1}{a} \times \left[(a_0 W_n + \beta_0 W_1 + \gamma_0) \times \frac{1}{a} \times V_{DD}^2 + (a_1 W_1 + \beta_1 W_2 + \gamma_1) \times \frac{1}{a} \times V_{DD}(V_{DD} - V_{TN}) + (a_2 W_2 + \beta_2 W_n + \gamma_2) \times \frac{1}{a} \times V_{DD}^2 + f W_n \times V_{DD}^2 \right]. \quad (8)$$

표 2. 경험식에 대한 상수 값
Table 2. Parameter values for empirical formulas.

a_0	56 [psec]
β_0	8 [psec]
γ_0	32 [psec · μm]
α_1	5 [psec]
β_1	6 [psec]
γ_1	15 [psec · μm]
α_2	4.6 [psec]
β_2	27 [psec]
γ_2	64 [psec · μm]
a	6 [psec · μm/fF]
e	13 [psec · μm/fF]
f	2 [fF/μm]
W_{R1}	1 [μm]
W_{R2}	20 [μm]
W_{R3}	1 [μm]

전파지연 경험식과 에너지 소모 경험식, 전파지연과 에너지 소모의 곱에 대한 경험식의 3차원 그래프는 각각 그림 12, 그림 13 및 그림 14와 같다. 최적 트랜지스터 크기 및 전파지연과 에너지 소모에 대한 시뮬레이션과, 경험식의 비교는 표 3과 같다. 트랜지스터 크기에서의 오차는 상당히 크게 발생하였으나(W_1 : +34%, W_2 : +60%, W_n : 0%) 전파지연 및 에너지 소모는 오차가 적게 발생하였다(전파지연: -8%, 에너지 소모: +26%, 곱: +15%). 이는 그림 14와 같이 최적값 근처에서 EDP(Energy Delay Product)가 트랜지스터의 크기에 둔감하기 때문임을 알 수 있다. 그림

12와 같이 전파지연은 W_1, W_2 의 크기가 증가할수록 작아진다.

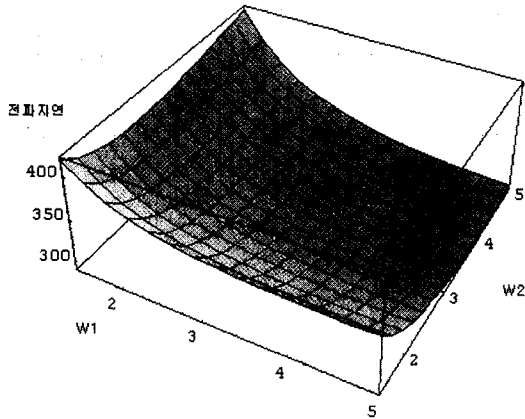


그림 12. 전파지연에 대한 경험식 그래프
Fig. 12. Plot of propagation delay by empirical formula.

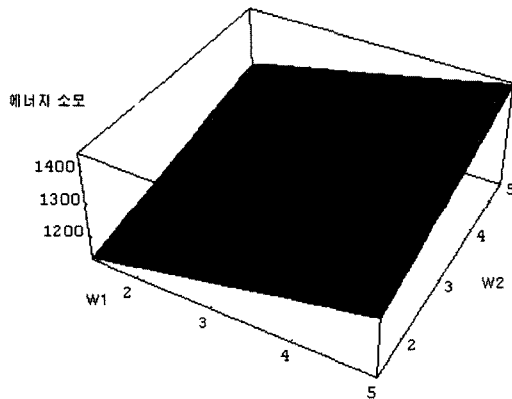


그림 13. 에너지 소모에 대한 경험식 그래프
Fig. 13. Plot of energy consumption by empirical formula.

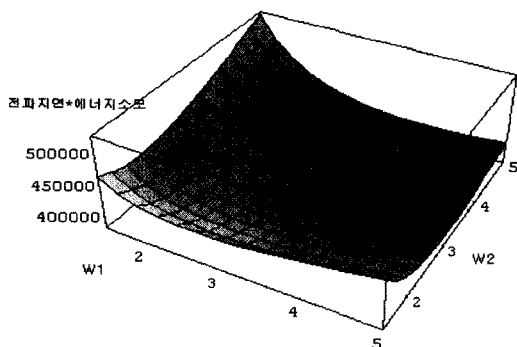


그림 14. 전파지연과 에너지 소모의 곱에 대한 경험식 그래프
Fig. 14. Plot of energy-delay product by empirical formula.

그림 13과 같이 W_1, W_2, W_n 이 작을수록 에너지 소모는 작아진다. 전파지연과 에너지 소모의 곱은 앞의 두 반대되는 성질에 의해 그림 14와 같이 최적값이 존재한다.

표 3. 시뮬레이션과 경험식의 비교
Table 3. Comparison of simulation results and empirical formulas.

	W_1 [μm]	W_2 [μm]	W_n [μm]	전파지연 (D) [psec]	에너지 소모(E) [f]	D*E [psec · f]
시뮬레이션	2.3	2	1.4	339	1015	344085
경험식	3.1	3.2	1.4	309	1284	396756

IV. 효율적인 필터 구현 및 시뮬레이션

통과 대역폭과 천이 대역폭이 좁은 필터를 구현할 때는 I절에서 설명한 DIFIR 알고리즘을 바로 적용하여 효율적인 필터 디자인을 할 수 있다. 그러나 양방향 라디오폰에서 쓰는 필터처럼 넓은 통과대역과 짧은 천이대역을 갖는 필터에는 DIFIR 알고리즘을 바로 적용할 수 없는 문제가 발생한다. FIR 필터에서는 선형 위상 특성을 이용하여 좁은 통과 대역폭을 넓은 통과 대역으로 변환하는 방법이 알려져 있는데 식(9)의 형태를 갖는 근사적 선형위상 IIR 필터^[11]를 사용함으로써 이 방법을 IIR필터에도 확장할 수 있다^[2].

$$H(z) = \frac{1}{2} \{z^{-M} + A_{N2}(z)\}. \quad (9)$$

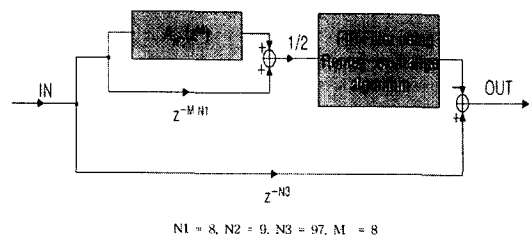


그림 15. 넓은 통과대역과 좁은 천이대역을 갖는 고역 통과 필터의 구현 구조
Fig. 15. A structure for wideband highpass filter with sharp transition.

위 식에서 $A_{N2}(z)$ 는 전역 통과 함수이다. 전달함수를 식(9)와 같이 두 개의 전역통과 함수의 합으로 표시함으로써 격자 웨이브 디지털 필터의 계수를 용이하게

계산할 수 있는 이점이 생긴다. 수정된 DIFIR을 이용하여 최종적으로 얻어진 넓은 통과대역을 갖는 고역통과 필터의 전체 구조는 그림 15와 같으며 FIR 부분은 그림 16과 같이 세 단의 FIR 필터를 사용하여 구현하였다.

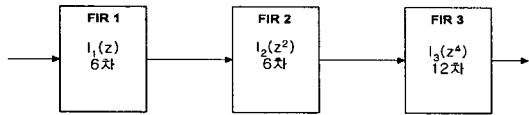


그림 16. DIFIR의 FIR 필터부분
Fig. 16. FIR filter section in DIFIR algorithm.

1. 격자 웨이브 디지털 필터 구조

격자 웨이브 디지털 필터를 디지털 영역에서 디자인하기 위하여 IIR 필터의 전달함수는 식 (10)과 같이 두 개의 전역 통과 함수의 합으로 표시한다^[2].

$$H(z) = \frac{1}{2}[A_0(z) + A_1(z)] \quad (10)$$

$A_N(x)$ 가 N 차 전역 통과 함수일 때($x=z^{-1}$),

$$\gamma_N = A_N(0) \quad (11)$$

으로 선택하고

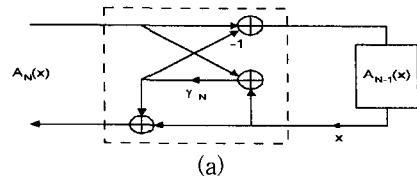
$$A_{N-1}(x) = \frac{1}{x} \frac{A_N(x) - \gamma_N}{1 - \gamma_N A_N(x)} \quad (12)$$

로 정의하면 $A_{N-1}(x)$ 은 $A_N(x)$ 보다 차수가 하나 감소하게 된다.

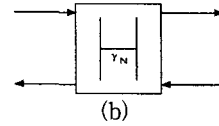
식 (11)과 (12)의 과정을 Schur parametrization 이라고 하며, 이 과정을 계속 반복 적용함으로써 $\{\gamma_N, \gamma_{N-1}, \dots, \gamma_0\}$ 를 얻게되고 이를 이용하여 $A_N(x)$ 를 그림 17 처럼 구현 할 수있다.

표 4. Remez 알고리즘을 이용하여 구한 $A_{N2}(z)$. ($N_2=9$)
Table 4. $A_{N2}(z)$ obtained using Remez algorithm.

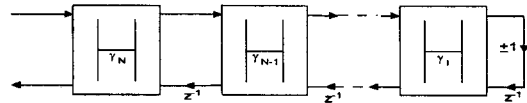
Numerator	$-0.0206551z^9 + 0.0706239z^8 - 0.0986257z^7 + 0.0535411z^6 + 0.0559785z^5 - 0.0869483z^4 + 0.1001325z^3 + 0.4704940z^2 + 0.2228404z + 1$
Denominator	$z^9 + 0.2228404z^8 + 0.4704940z^7 - 0.1001325z^6 - 0.0869483z^5 + 0.0559785z^4 + 0.0535411z^3 - 0.0986257z^2 + 0.0706239z - 0.0206551$



(a)



(b)



(c)

그림 17. (a) γ_N 과 $A_{N-1}(x)$ 를 이용한 $A_N(x)$ 의 구현
(b) WDF 어댑터의 심볼 (c) $A_N(x)$ 의 구현
Fig. 17. (a) Flow graph of allpass $A_N(x)$ using γ_N and $A_{N-1}(x)$ (b) WDF adapter symbol (c) WDF implementation of $A_N(x)$

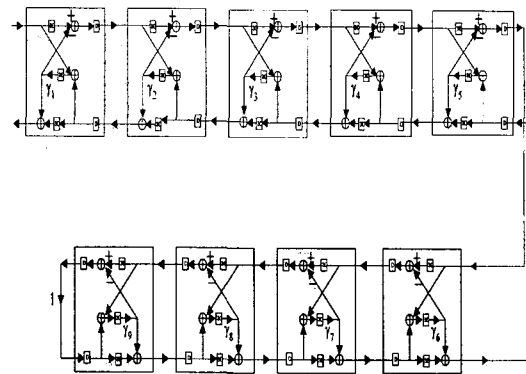


그림 18. Adaptor내 레지스터의 이동
Fig. 18. Retiming within adaptor.

본 논문에서는 무선 CODEC에 쓰이는 차단대역= $0 \sim 0.0625\pi$ (45dB), 통과대역= $0.075\pi \sim \pi$ (0.2dB)의 고역통과필터^[2]를 (9)와 같은 형태의 전달함수를 구하여 격자 웨이브 디지털 필터를 이용하여 구현하였다. 식(9)의 $A_{N2}(z)$ 에 해당하는 전역통과 함수를 [11]의 변형된 Remez 알고리즘을 이용하여 구했으며 DIFIR을 적용하기 위하여 $A_{N2}(z)$ 는 통과대역 및 천이 대역폭이 요구 스펙보다 8배 넓도록 디자인하였고 그 결과는 표 4와 같다. $A_{N2}(z)$ 디자인시 천이대역폭이 요구스펙보다 8배 넓은 필터를 디자인 하므로 필터 구현시 계수 양자화의 영향이 감소되어 적은 워드 길이의 사용이 가능하게 된다. 원하는 스펙을 얻기 위해

서는 $A_{Nz}(z)$ 를 8배 upsampling하여 구현하여야 하며, upsampling에 사용된 레지스터들을 그림 18과 같이 이동하여 속도를 최적화하였다. Upsampling으로 인한 주파수 스펙트럼의 이미지 효과는 다음 절에서와 같은 FIR 필터를 이용하여 효율적으로 제거한다.

2. Half-band filter를 이용한 FIR 필터 구현

Half-band 필터구조를 이용하면 계수의 반이 0으로 표현되기 때문에 하드웨어의 큰 이득을 가지게 되며 DIFIR에서 사용되는 FIR 필터는 좁은 통과 대역과 넓은 천이 대역을 갖기 때문에 half-band 필터로 구현가능하다. [2]에서는 FIR부분에 세 개의 MF (Maximally Flat) FIR 필터를 사용하였으나 본 논문에서는 half-band 필터와 2의 누승항의 개수가 최소가 되도록 하는 계수 양자화 프로그램을 사용함으로써 표5와 같은 차단, 통과 대역 주파수 및 전체적인 통과 대역 리플 0.2dB와 차단 대역 리플 45dB를 만족시키는 FIR필터를 디자인 했으며 그 결과는 표 6과 같다. 표 6으로부터 [2]의 방법에 비해 non-zero 비트수가 약 50% 감소됨을 볼 수 있다.

표 5. FIR 필터의 스펙
Table 5. FIR filter specifications.

	passband edge	stopband edge
$I_1(z)$	0.0625π	$\pi - 0.075\pi$
$I_2(z)$	$2 \times 0.0625\pi$	$\pi - 2 \times 0.075\pi$
$I_3(z)$	$4 \times 0.0625\pi$	$\pi - 4 \times 0.075\pi$

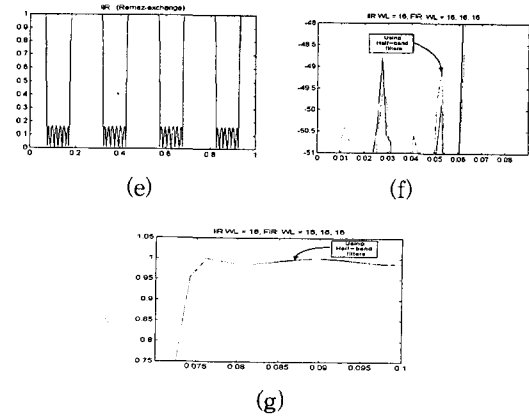
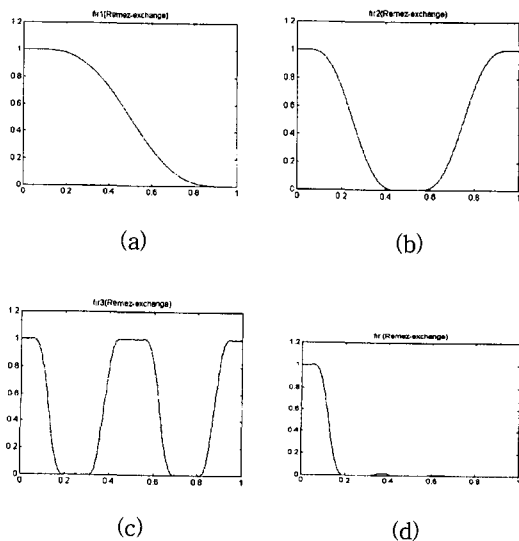


그림 19. 디자인된 필터의 주파수 특성 (a) FIR 1 ($I_1(z)$), (b) FIR 2 ($I_2(z^2)$), (c) FIR 3 ($I_3(z^4)$), (d) FIR 필터 전체응답 Response of $I_1(z) I_2(z^2) I_3(z^4)$, (e) IIR 필터 (격자 웨이브 디지털 필터) 응답

Fig. 19. Frequency response of designed filters Response of IIR filter. (LWDF), (f) IIR과 FIR필터가 연결된 최종 차단대역 응답 (0 - 0.09 π) Overall stopband response (g) IIR과 FIR필터가 연결된 최종 통과대역 응답 (0.07 π - 0.1 π) Overall passband response

실제 필터의 주파수 특성에 맞도록 구현하는데 필요한 위드 길이를 구하기 위해 MATLAB을 이용하여 시뮬레이션 했으며 그림 19와 같이 IIR 필터가 16비트이고, 세 개의 half-band FIR필터를 각각 16비트(6차), 16비트(6차), 16비트(12차)로 구현하여 스펙을 만족하였다.

표 6. FIR 필터의 계수
Table 6. Obtained FIR filter coefficients.

	Coefficient	CSD	
FIR1	$h(0)=h(6)$	-0.03216907172761	$-2^{-3} \cdot 2^{-10} + 2^{-13}$
	$h(1)=h(5)$	0	0
	$h(2)=h(4)$	0.28215171721940	$2^{-2} + 2^{-3} + 2^{-10} - 2^{-13} + 2^{-13}$
	$h(3)$	0.49999999999993	$2^{-1} \cdot 2^{-13}$
FIR2	$h(0)=h(6)$	-0.03512255156082	$-2^{-3} \cdot 2^{-8} + 2^{-13}$
	$h(1)=h(5)$	0	0
	$h(2)=h(4)$	0.28483446951137	$2^{-2} + 2^{-3} + 2^{-8} \cdot 2^{-11} + 2^{-13} + 2^{-13}$
	$h(3)$	0.49999999999999	$2^{-1} \cdot 2^{-13}$
FIR3	$h(0)=h(12)$	0	0
	$h(1)=h(11)$	0.01306152343750	$2^{-9} \cdot 2^{-9} \cdot 2^{-11} \cdot 2^{-13}$
	$h(2)=h(10)$	0	0
	$h(3)=h(9)$	-0.06390380859375	$-2^{-4} \cdot 2^{-9} + 2^{-11} + 2^{-14}$
	$h(4)=h(8)$	0	0
	$h(5)=h(7)$	0.30175781250000	$2^{-2} + 2^{-4} \cdot 2^{-9} + 2^{-8} + 2^{-10}$
	$h(6)$	0.49993896484375	$2^{-1} \cdot 2^{-14}$

2. 설계 및 시뮬레이션

WDF를 설계하기 위하여 Mentor Graphics사에서 제공하는 Tool을 사용하였다. Design Architecture Tool을 사용하여 스케메틱을 디자인하였고, Quick SIMII Tool을 사용하여 각각의 회로들을 시뮬레이션 하였다.

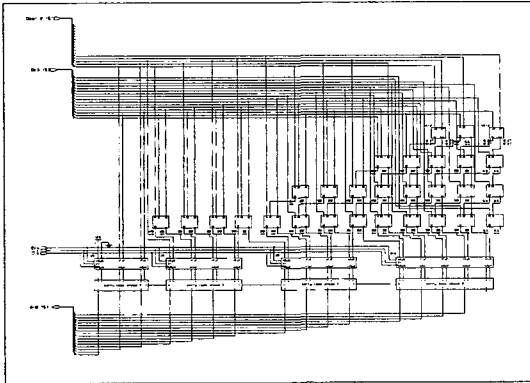


그림 20. CSD곱셈기의 구현 및 시뮬레이션
Fig. 20. Implementation of a CSD multiplier.

그림 20은 $2^{-2}+2^{-5}+2^{-10}-2^{-13}+2^{-15}$ 의 계수를 갖는 CSD곱셈기를 설계한 결과며 그림 21은 격자 웨이브 디지털 필터의 γ_9 를 갖는 어댑터를 구현한 것이다.

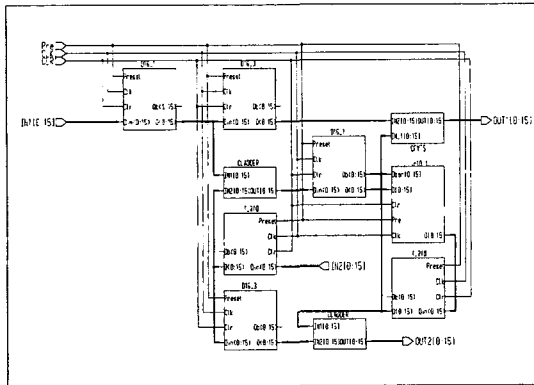


그림 21. 격자 웨이브 디지털 필터의 어댑터 설계
Fig. 21. Implementation of a LWDF adaptor.

표 7은 세가지 방법에 의한 무선 CODEC용 필터 디자인 결과의 비교이다. 표7에서 하드웨어 비용은 곱셈기의 비용만을 비교한 것이며 워드길이의 세곱×필터차수로 곱셈기 비용을 계산하였다 (필터 차수당 1개의 곱셈기 필요). FIR 필터 부분의 MF FIR 또는 Half-band 필터를 이용한 구현에는 곱셈기를 사용하지 않으므로 nonzero 비트수를 환산하여 계산하였다.

DIFIR-MFFIR을 이용한 방법은 DIFIR을 이용하지 않은 방법에 비해 하드웨어 소모가 56.5% 밖에 되지 않았으며 제시한 방법은 DIFIR-MFFIR을 이용한 방법에 비해 19%의 하드웨어 감소를 보였다.

표 7. 무선 CODEC용 필터 디자인 결과 비교
Table 7. Comparison of designed wireless CODEC filters.

	필터 일차항	필터 위상차	하드웨어 비용
DIFIR을 사용하지 않은 구현	28 (7차)		5488 (7×28 ²)
DIFIR, MFFIR을 이용한 구현[2]	16 (9차)	22	3108 (9×16 ² +16×22 ²)
DIFIR, Half-band를 이용한 구현	16 (9차)	16	2509 (9×16 ² +0.8×16 ²)

V. 결론

본 논문에서는 격자 웨이브 디지털 필터를 구현하기 위하여 CPL 전가산기로 구성된 곱셈기를 사용하였다. CPL 회로는 패스-트랜지스터에 의한 문턱전압 만큼의 전압강하로 인하여 패스-트랜지스터가 구동하는 CMOS 인버터의 단락 전류 성분이 증가하는 문제가 발생한다. 이러한 CPL에서의 단락전류 성분을 줄이기 위하여 PMOS 몸체효과, PMOS latch, weak PMOS를 이용하는 세가지 방법을 시뮬레이션을 통해 비교하였다. 그 결과 표 3과 같이 전파지연은 PMOS latch를 사용한 방법이 0.53nsec로 가장 작았으며 에너지 소모는 1.3pJ로 PMOS 몸체효과를 사용한 방법이 가장 작았다. 위 결과에서 PMOS 몸체효과를 이용한 경우는 PMOS의 문턱전압의 증가로 인해 전류구동 능력이 낮아져 전파지연이 길어졌으며 에너지 소모는 전압레벨을 복원하기위한 별도의 커패시턴스가 사용되지 않으므로 작아짐을 알 수 있다. 전파지연과 에너지 소모의 곱을 비용함수로 정의할 때 비용함수 면에서는 PMOS 몸체효과를 사용한 방법이 가장 효율적이나 잡음 여유가 1.88V로 작으므로 잡음 여유가 2.05V이고 비용함수가 두 번째로 작은 PMOS latch를 사용하는 방법을 선택하여 회로를 구현하였다.

통찰력을 가지고 트랜지스터 크기를 체계적으로 결정하기 위해서 시뮬레이션 결과로부터 경험식을 유도하였다. 시뮬레이션과 경험식에서 구한 최적 트랜지스터 크기를 비교한 결과 시뮬레이션은 W_1, W_2, W_n 이 각

각 2.3, 2, 1.4 [μm] 이었고 경험식은 3.1, 3.2, 1.4 [μm] 으로 W_1 에 대한 오차는 +34%이고 W_2 에 대한 오차는 +60%이고 W_n 에 대한 오차는 0%이었다. 또한 전파지연은 시뮬레이션이 339psec, 경험식이 309psec으로 -8% 오차를 보였으며 에너지소모는 시뮬레이션이 1.015 μJ , 경험식이 1.284 μJ 으로 +26%의 오차를 보였다. 또한 비용함수는 시뮬레이션이 344085fJ이고 경험식이 396756fJ으로 +15%의 오차를 보였다. 이러한 결과는 최적값 근처에서의 EDP가 트랜지스터 크기에 둔감하기 때문이다.

필터를 효율적으로 구현하기 위해 DIFIR 방법을 사용하여 천이 대역폭이 요구 스펙보다 8배 넓은 필터를 디자인하고 8배의 upsampling을 하여 구현함으로써 워드 길이를 단축시켰다. FIR 필터는 half-band 필터와 non-zero 비트수를 최적화시키는 프로그램을 사용하여 스펙을 만족시키면서 하드웨어를 감소 시켰고 [2] 에서 사용한 방법에 비해 필터 계수의 non-zero 비트수를 50%정도 감소 시킬수 있음을 보였다. 필터의 주파수 특성(차단대역 = $0 \sim 0.0625\pi$ (45dB), 통과대역 = $0.075\pi - \pi$ (0.2dB))에 맞도록 시뮬레이션한 워드길이는 IIR 필터가 16비트이고, 세 개의 half-band FIR 필터가 각각 16비트(6차), 16비트(6차) 그리고 16비트(12차)이다. 구현한 필터의 최대 전파지연은 4.37nsec 이다. 이렇게 설계한 필터의 최대 동작 주파수는 230MHz이었다. 전력소모는 동작 주파수 10MHz에서 77mW이었다.

본 논문에서 수행된 연구 결과를 넓은 통과대역과 좁은 천이대역폭을 갖는 디지털 이동통신 장비의 CODEC이나 의료장비들에 적용할 경우 면적면이나 전력소모면에서 효율적인 VLSI구현이 가능할 것으로 기대된다.

참 고 문 헌

- [1] A. Fettweis, "Wave digital filters: theory and practice," *Proceedings of IEEE*, pp. 270-327, Feb. 1986.
- [2] J. G. Chung, H. Kim, and K. K. Parhi, "Pipelined lattice WDF design for wideband filters", *IEEE Transactions on Circuits & Systems, Part II: Analog & Digital Signal Processing*, pp. 516-618, Sep. 1995.
- [3] Kazuo Yano, "A 3.8-ns CMOS 16×16 -b multiplier using complementary pass-transistor logic", *IEEE JSSC*, vol 25, no. 2, Apr. 1990.
- [4] Mark D. Matson, Lance A. Glasser, "Macromodeling and optimization of digital MOS VLSI circuits", *IEEE Trans. on CAD*, pp. 659-678, Oct. 1986.
- [5] R. W. Reitwiesmer, "Binary arithmetic," *Advances in Computers*, vol. 1, pp. 231-308, Academic, 1966.
- [6] D. Li, J. Song, and Y. C. Lim, "A polynomial-time algorithm for designing digital filters with power-of-two coefficients," in *Proceedings of 1993 IEEE International Symposium on Circuits and Systems*, pp. 84-87, May 1993.
- [7] C.-L. Chen, K.-Y. Khoo, and A. N. Willson Jr., "An improved polynomial-time algorithm for designing digital filters with power-of-two coefficients," in *Proceedings of IEEE International Symposium on Circuits and Systems*, (Seattle, WA), pp. 223-226, May 1995.
- [8] H. Samuelli, "An improved search algorithm for the design of multiplierless FIR filters with power-of-two coefficients," *IEEE Transactions on Circuits and Systems*, vol. 36, pp. 1044-1047, Jul. 1989.
- [9] A. S. Sedra and K. C. Smith, *Micro-electronic Circuits*. Oxford University Press, 1990.
- [10] John P. Uyemura, "Circuit Design for CMOS VLSI", *Kluwer Academic, Dordrecht(Netherlands)*, pp. 116-121, 1992.
- [11] M. Renfors and T. Saramäki, "A class of approximately linear phase digital filters composed of allpass subfilters," in *Proceedings of 1986 IEEE ISCAS*, (San Jose, CA), pp. 678-681, May 1986.
- [12] L. Gazsi, "Explicit formulas for lattice wave digital filters," *IEEE Trans. on Circuits and Systems*, vol. CAS-32, pp. 68-88, Jan. 1985.

저 자 소개



金大淵(正會員)

1971年 11月 10日生. 1996年 2月 전북대학교 정보통신공학과 졸업(학사). 1998年 2月 전북대학교 정보통신공학과 졸업(석사). 1998年 3月 ~ 현재 삼성종합기술원 디지털 통신 연구실 주임 연구원. 주관심분야는 디

지털 통신, ASIC, 디지털 신호처리



李永中(正會員)

1974年 7月 1日生. 1996年 2月 전북대학교 전자공학과 졸업(학사). 1998年 2月 전북대학교 전자공학과 졸업(석사). 1998年 3月 ~ 현재 국방과학 연구소 근무. 주관심분야는 저전력 논리회로 설계, 초고주파 회로 설

계, 레이더 설계



鄭鎮均(正會員)

1985年 2月 전북대학교 전자공학과(공학사). 1991年 12月 University of Minnesota 전기공학과(공학석사). 1994年 12月 University of Minnesota 전기공학과(공학박사). 1995年 3月 ~ 현재 전북대학교 정보통신공학과 전임강사, 조교수. 주관심분야는 VLSI 신호처리

및 고주파 집적회로 설계



丁恒根(正會員)

1955年 3月 17日生. 1977年 2月 서울대학교 전자공학과 졸업(학사). 1979年 2月 한국과학기술원 전기 및 전자공학과 졸업(석사). 1989年 12月 Univ. of Florida 전기공학과 졸업(박사). 1979年 3月 ~ 1982年 2月 한국전자통신연구소 연구원. 1989年 8月 ~ 1991년 1월 모토롤라 연구소 엔지니어. 1991年 3月 ~ 현재 전북대학교 전임강사, 조교수, 부교수. 주관심분야는 아날로그 및 고주파 집적회로 설계

및 고주파 집적회로 설계