

# 동적 문턱전압 제어 기법을 이용한 고속 비반전 SOI 버퍼 회로

## (High Speed Non-Inverting SOI Buffer Circuit by Adopting Dynamic Threshold Control)

李宗昊\*, 朴榮俊\*\*

(Jong-Ho Lee and Young-June Park)

### 요 약

낮은 전압에서 고속으로 동작이 가능한 고속 비반전 SOI 버퍼 회로를 제안하였다. 제안된 버퍼 회로는 효율적으로 연결된 보조 MOS 트랜지스터를 경유하여 바디 전압이 동적으로 제어된다. 소자 시뮬레이션을 수행하여 바디가 보조 MOS 트랜지스터로 제어되는 MOS 소자의 전류 구동능력을 보이고 기존의 다른 방식과 비교하였다. SPICE를 이용한 회로 시뮬레이션을 통하여 제안된 버퍼 회로의 지연시간 특성을 조사하고 같은 사양을 가진 기존의 SOI CMOS 버퍼 회로와 비교하였다. 같은 면적을 기준으로 하여 제안된 버퍼 회로는 기존의 버퍼 회로에 비해 1.2 V의 동작전압과 2 pF의 부하용량에 대하여 약 36% 지연 시간 단축을 보였다.

### Abstract

We have proposed a new non-inverting SOI buffer circuit for the high speed operation at low supply voltage. The body biases of main MOS devices in the proposed circuit are controlled dynamically via subsidiary MOS device connected efficiently to the body terminal. We showed current derivability of the body controlled devices obtained by device simulation and compared with that of conventional SOI devices. Delay time characteristics of the buffer circuit were analyzed by SPICE simulation and compared with those of conventional SOI CMOS buffer circuits. Delay time reduction of the SOI buffer over conventional SOI CMOS buffer with same area is about 36 % at  $V_S=1.2$  V and  $C_L=2$  pF.

### I. 서 론

CMOS 소자의 크기가 작아지면서 점차 공급 전압도 감소하고 있으며, 그에 따른 성능의 저하를 막기 위해서는 문턱전압을 줄여야 한다. 문턱전압이 낮아지면 subthreshold 영역에서 누설전류가 증가하여 트랜지스터가 off된 상태에서도 전력소모가 증가하게 된다.

이를 해결할 수 있는 방법은 기판 (또는 바디) 전압을 조절하여 문턱전압을 동적으로 제어하는 것이다. 즉, 트랜지스터가 동작할 때는 문턱전압이 낮아지도록 하고 off 상태일 때는 높아지도록 기판 전압을 제어해야 한다. 기존의 벌크 CMOS 기술에서는 MOS 트랜지스터마다 기판 전압을 제어하는 것은 거의 불가능하며, 웰을 사용하는 소자에 대해서도 웰 전압을 제어하기는 매우 어렵다. 그러나 SOI CMOS 기술에서는 각각의 소자가 격리되어 있어 각각의 바디 (SOI 소자에 대해서는 기판 대신 바디라고 한다) 전압을 임의로 변화시킬 수 있고<sup>[1]</sup> 이는 벌크 소자에 비해 장점이 될 수 있으며, 차세대 저전압 고속 디지털 회로 기술에 중요

\* 正會員, 圓光大學校 電氣工學部

(School of Electrical Eng., Wonkwang University)

\*\* 正會員, 서울大學校 電氣工學部

(School of Electrical Eng., Seoul National University)

接受日字:1998年4月6日, 수정완료일:1998年5月26日

한 이점이 될 수 있을 것으로 기대된다. 또한 SOI 소자는 기존의 벌크 소자에 비해 상대적으로 기생 용량 성분이 작기 때문에 낮은 공급 전압에서 고속으로 동작하는 것이 가능하다<sup>[1]-[4]</sup>.

SOI 소자의 바디 전압을 변화시켜 문턱전압을 조절하는 회로가 보고되었다<sup>[5]-[7]</sup>. 보고된 DT MOS<sup>[5]</sup>는 게이트와 바디 단자가 같이 연결되어 있어 공급 전압을 0.6 V 이상 올리면 정 방향으로 바이어스되는 다이오우드(또는 기생 바이폴라 소자)에 의해 누설전류가 크게 증가하는 단점이 있다. 이를 해결하기 위해 주요 소자의 바디 전압을 조절하기 위한 보조 소자를 사용하는 방법<sup>[6],[7]</sup>이 제시되어 공급전압의 변화에 따른 문제를 해결하였다. [6]의 방법은 기본적으로 주요 PMOS와 NMOS의 바디 단자에 보조 MOS 소자로서 각각 PMOS와 NMOS를 연결하고 있기 때문에 상대적으로 pull-up과 pull-down의 속도 차이가 큰 단점이 있다. 또한 보조 MOS를 통한 RC 지연이 있기 때문에 주요 소자의 바디 전압이 효율적으로 제어되지 않는다. 특히, PMOS-PMOS(P-p(보조 소자))와 NMOS-NMOS(N-n(보조 MOS)) 연결 구조는 본 논문에서 제안되는 구조에 비해 보조 MOS가 상대적으로 큰 문턱전압을 가지고 있다. [7]에서는 2개의 보조 소자 외에 2개의 여분의 보조를 더 사용하고 있어 회로가 복잡하고 제어하고자 하는 소자의 바디 전압이 최대 0.5 V 이하로 다른 방법에 비해 작기 때문에 효율적이지 못하다.

본 논문에서는 pull-up과 pull-down 단을 위해 P-n과 N-p 구조를 가진 새로운 회로를 제안하고 그것의 근본적인 우수성을 소자 및 회로 시뮬레이션을 통해 비교 분석하였다.

## II. 비반전 SOI 버퍼회로의 제안

본 논문에서 제안된 SOI 버퍼회로는 그림 1에 보여진다. MP1(PMOS)과 MN1(NMOS)은 주요 트랜지스터이고 MP2(PMOS)와 MN2(NMOS)는 보조 트랜지스터이다. 보조 소자는 주요 소자의 바디를 제어하는데, 예를 들어 보조 MP2 소자는 MN1의 바디 전압을 제어할 수 있다. 그림에서 파선으로 연결된 바이폴라 트랜지스터 QP1(pnp)과 QN1(npn)은 각각 MP1과 MN1에 내재된 기생 소자이다. 입력에 논리 게이트로 연결되어 있는 인버터는 일반적인 버퍼에서

채널 폭이 작은 논리 게이트에서 채널 폭이 큰 최종 게이트로 연결될 때 중간 크기의 채널 폭을 갖는 소자로 구성된 게이트이다. 보조 소자의 게이트 단자는 입력에 바로 연결되어 있고 주요 소자의 게이트는 중간 단의 인버터의 출력에 연결되어 있어 보조 소자가 주요 소자 보다 먼저 turn-on 하게 되어 보조 소자가 가질 수 있는 지연을 [6]의 경우와는 달리 제거하여 상대적으로 더 빨리 주요 소자의 바디가 제어될 수 있도록 하였다. 본 연구의 회로에서 pull-up 단과 pull-down 단이 서로 대칭적이기 때문에 어느 하나로 전체의 동작을 설명할 수 있고 따라서 이후로는 pull-down 단으로 주로 설명한다. Pull-down 단에서 주요 소자 MN1의 바디 전압이 제어되어 증가하면 주요 소자의 문턱전압은 바디 전압의 크기에 따라 감소하며, 아울러 기생 바이폴라 소자의 동작을 유도할 수 있다.

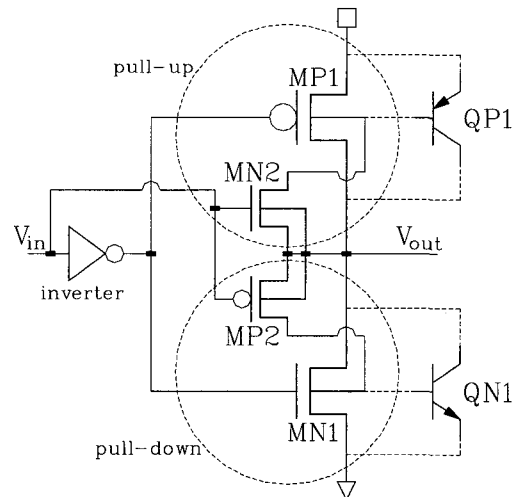


그림 1. 보조 MOS 트랜지스터를 통해 동적으로 바디 전압을 제어하는 방법을 채택한 제안된 새로운 비반전 SOI 버퍼회로. 파선으로 연결된 QP1과 QN1은 각각 주요 MOS 트랜지스터 MP1과 MN1에 내재하는 기생 바이폴라 소자이다.

Fig. 1. A new non-inverting SOI buffer circuit by adopting dynamic body bias control via subsidiary MOSFET's. QP1 and QN1 connected by dashed lines are parasitic BJT's inherent to MP1 and MN1, respectively.

주요 NMOS MN1에는 기생 npn 바이폴라 소자가 내재되어 있고 바디 단자는 베이스에 해당하는데, 베이스 전압이 증가하면 turn-on하여 전류 구동능력을

증가시키게 된다. 특히, 소자의 채널 길이가 짧은 경우에는 더 많은 기여를 할 것으로 기대된다.

그림 2는 제안된 회로와 참고문헌 [6]의 회로에서 주요 NMOS 소자의 바디 전압을 비교 설명하기 위해 pull-down 회로를 보이고 있다. 주요 소자의 바디 전압의 크기는 바디 제어형 SOI 회로 특성에 큰 영향을 줄 수 있다.

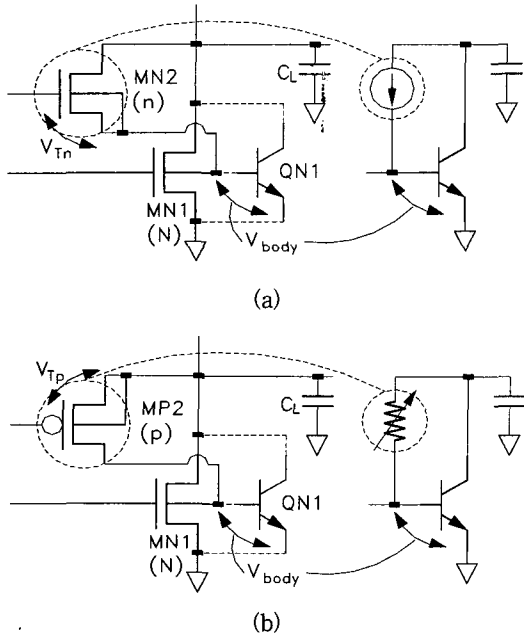


그림 2. Pull-down 단에 대해 N-n (기존) 연결(a)과 N-p 연결(b)에 대한 주요 소자의 바디 전압의 변화를 설명하기 위한 회로. 각각의 그림에서 오른쪽에 있는 회로도 는 보조 및 주요 소자의 게이트에 신호가 들어와서 상태가 바뀌기 시작하는 초기 상태에서의 주요 소자의 바디 전압을 설명하기 위한 것이다. 각각의 회로에서 초기 상태 동안 (a)의 보조 NMOS 소자는 포화 영역에서 동작하기 때문에 전류원으로 표시하였고 (b)의 보조 PMOS는 선형 영역에서 동작하기 때문에 저항으로 표시하였다.

Fig. 2. Pull-down circuit diagrams for conventional N-n (a) and new N-p (b) configurations. The right side circuit diagram for each figure is shown to explain the body bias of main devices at the initial state of transition when input state changes. During the initial state of the transition, the subsidiary NMOS in (a) is represented by current source since the device operates in saturation mode. Because the subsidiary PMOS in (b) operates in linear mode, the device is represented by a variable resistor.

그림 2 (a)는 기존의 회로 구성에 대한 것이고 (b)는 제안된 회로의 경우이다. 그림 2 (a)와 (b)에서 오

른쪽에 있는 회로도 는 보조 및 주요 MOS 소자의 게이트에 입력 신호가 들어와서 주요 소자의 바디 전압이 증가하는 초기 상황을 설명하기 위한 것이다. 그림 2에서 바디 전압을  $V_{body}$ 로 먼저 정의하고 보조 소자의 게이트에 천이에 의한 입력 신호 ( $V_{IN}(t)$ )가 주어진다 고 가정한다. 또한 출력전압 ( $V_o(t)$ )는 high 상태로 있고 입력신호에 따라 high에서 low로 천이하는 것으로 가정한다. 먼저 (a)의 경우  $V_{body}$  전압은 다음과 같이 주어진다.

$$V_{body}(t) = V_{IN}(t) - V_{GSn}(t) \quad (1)$$

여기서  $V_{IN}(t)$ 의 최대 크기는 공급전압과 같고  $V_{GSn}(t)$ 는 보조 NMOS의 게이트와 소스 사이의 전압이다.  $V_{GSn}(t)$ 를 알아보기 위해 보조 NMOS 소자의 드레인 전류와 주요 NMOS 소자에 내재된 기생 바이폴라 소자의 베이스 전류를 같이 놓고 정리하면 다음과 같은 식을 얻는다. 여기서 보조 소자 MN2는 포화 영역에서 동작한다고 가정하였는데, 이것에 대한 설명은 긴 채널 MOS 소자에 사용되는 I-V 식을 이용하여 아래에 간단히 주어지며, 소자 시뮬레이션 결과에서 또한 보여질 것이다.

$$V_{GSn}(t) = V_{Tn} + \sqrt{\frac{I_{base}(t)}{\mu_n C_{ox} \frac{W}{2L}}} \quad (2)$$

여기서  $I_{base}(t)$ 를 제외한 다른 변수는 모두 보조 NMOS 소자에 관련된 것이다.  $V_{Tn}$ 은 NMOS 소자의 문턱전압이다. 초기 동안 주요 소자의 바디 전압은 거의 최대 값을 유지하고 있고  $V_{IN}(t)$ 은 고정되어 있기 때문에 직렬 통로 상에 있는 보조 NMOS 소자의  $V_{GSn}(t)$ 는  $V_{Tn}$ 보다 크겠지만 작은 값일 수밖에 없으며, 식 (1)에 의해  $V_{IN}(t) - V_{body}(t)$ 다. 초기 상태 동안 출력 전압은 거의 방전되지 않고 높은 값을 유지하고 있기 때문에 보조 소자의  $V_{DS}(t)$ 는 거의  $V_{out}(t) - V_{body}(t)$ 이고 여기서  $V_{out}(t)$ 는 초기동안 거의  $V_{IN}(t)$ 과 같은 값이다. 따라서 보조 소자의  $V_{DS}(t)$ 는  $V_{GS}(t)$ 와 거의 같은 값을 유지하므로 포화 영역에서 동작한다고 할 수 있다. 결국 작은  $V_{GSn}(t) - V_{Tn}$ 로 포화 영역에서 동작하기 때문에 그림 2 (a)의 오른쪽에 보인 것과 같이 전류원으로 표시하였다. 즉,  $V_{body}(t)$ 는 전류원에서 공급되는 전류에 의해 결정된다. 식 (1)과 (2)로부터 만약  $V_{Tn}$ 이 증가하면  $V_{body}(t)$ 의 최대 값은 더욱 작은 값으로 제한된다. 식 (2)는 그림 2의 (a)에

서 보조 소자 MN2가 주요 소자 MN1의 바디(베이스)에 공급되는 전류를 결정하기 때문에 MOS 소자의 I-V 식을 이용하였고, 결국 MN2가 MN1의  $V_{body}$ 를 결정한다. 그림 2 (b)의 제안된 회로 구성에서는 보조 PMOS 소자가 주요 NMOS 소자에 비해 조금 더 일찍 turn-on 되는데, 그러한 효과를 제외하고 일단 보조 소자의  $V_{IN}(t)$ 이 0 V로 떨어졌다고 가정하고 설명한다. 물론 주요 NMOS 소자의 게이트에는 high 상태의  $V_{IN}(t)$ 이 들어오고 출력전압은 high 상태에 있다고 가정한다. 초기 상태에서 보조 PMOS는 높은  $V_{GS}(t)$ 를 유지하면서 선형 영역에서 동작하고 있기 때문에 그림 2 (b)의 오른쪽과 같이 가변 저항으로 간단하게 표현할 수 있고 이때 흐르는 전류를  $I_{Dp,lin}(t)$ 라 한다. 여기서 보조 PMOS의  $V_{GS}$ 는 초기에 거의 공급전압과 같은 크기이고  $V_{DS}$ 는  $V_o(t)-V_{body}(t)$ 로  $V_{GS}-V_{Tp}$  보다 작다. 따라서 거의 선형 영역에서 동작하기 때문에 (b)의 오른쪽 그림에서와 같이 보조 PMOS 소자를 초기 동안 등가 가변저항으로 표시하였다.  $I_{Dp,lin}(t)$ 는 주요 NMOS 소자에 내재하는 기생 바이폴라 소자의 베이스 전류와 같기 때문에 다음과 같이 쓸 수 있다.

$$V_{body}(t) = \frac{kT}{q} \ln \frac{\beta_F(t) I_{Dp,lin}(t)}{I_S} \quad (3)$$

여기서  $\beta_F$ 는 기생 바이폴라 소자의 전류이득이며,  $I_S$ 는  $V_{body}(t)$ (또는  $V_{BE}(t)$ )가 0 V 일 때 기생 바이폴라 소자의 컬렉터 전류이다<sup>[8]</sup>. 즉, 기생 바이폴라 소자에 의해  $I_{Dp,lin}$ 이 제한되고 그 때 나타나는 베이스-에미터 전압이  $V_{body}$ 가 되므로 기생 바이폴라 소자가  $V_{body}$ 를 결정한다. 따라서 (a)와는 달리 (b)는 상대적으로 큰  $V_{body}$ 를 초기 동안 유지할 수 있다. 또한 (b)의 경우가 (a)에 비해  $V_{body}$ 가 상대적으로 더 짧은 시간에 제어될 수 있다. 예를 들어  $V_{body}$ 가 0.7 V 이상이 되는 상황을 고찰하자. (a)의 경우에는  $V_{IN}(t)$ 가 적어도  $V_{Th}+0.7$  V가 되어야 하지만 (b)의 경우는  $V_{IN}(t)$ 가 high 상태의 전압보다  $V_{Tp}$ 만 작아도 된다. 따라서 (b)의 경우가 상대적으로 더 적은 입력 전압의 변화만 있어도 되기 때문에 주요 소자의 바디 전압을 제어하는데 있어 더 효율적이라 할 수 있다.

### III. 소자 시뮬레이션

제안된 소자의 성능을 비교 분석하기 위해 먼저 소

자 시뮬레이션을 수행하였다. 시뮬레이션에 사용된 NMOS 및 PMOS 소자의 문턱전압이  $\pm 0.5$  V가 되도록 채널의 불순물 농도를 조절하였고 이때 채널의 도우핑 프로파일은 균일하다. 모든 소자의 정의된 게이트 길이는  $0.5 \mu\text{m}$ 이고 유효 채널 길이는  $0.25 \mu\text{m}$ 며, 게이트 산화막의 두께는 10 nm이다. 또한 모든 소자는 LDD 소스/드레인을 갖는다. LDD 구조는  $0.5 \mu\text{m}$ 급 소자기술에서 hot 캐리어를 억제하기 위해 사용되어야 하며, 이것에 의해 주요 NMOS 소자에 내재하는 기생 npn 바이폴라 소자의 에미터 주입효율 ( $\gamma$ )은 떨어진다<sup>[8]</sup>.

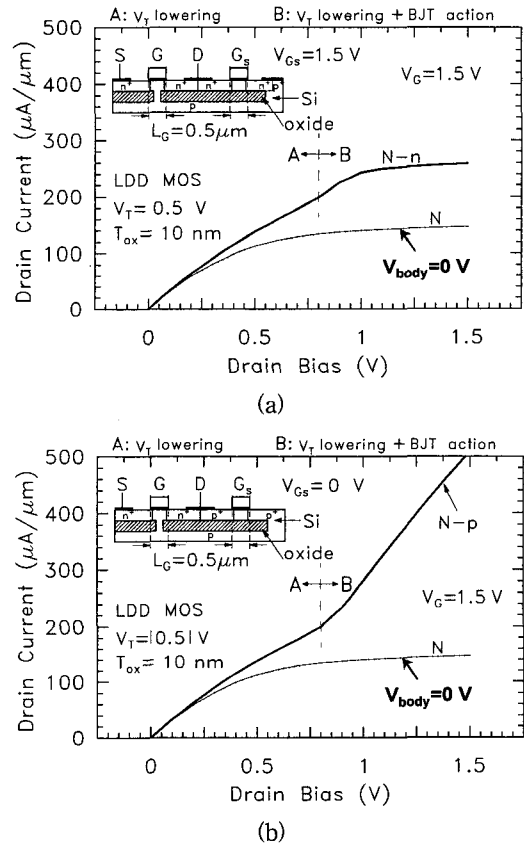


그림 3. 소자 시뮬레이션으로 얻어진 N-n (a)과 N-p (b) 회로 구성에 대한 I-V 특성 곡선. 비교를 위해 바디 전압이 0 V로 고정된 소자의 I-V를 같이 보였다. 각 그림의 좌측 상단에 있는 단면은 소자 시뮬레이션에서 사용된 구조이다.  
 Fig. 3.  $I_D-V_{DS}$  characteristics of NMOS-NMOS (N-n(subsidiary)) and NMOS-PMOS (N-p(subsidiary)) devices obtained by device simulation. The  $I_D-V_{DS}$  characteristics of NMOS device with the body bias of 0 V are also shown for comparison. Small insert represents the cross section of the merged device used for device simulation.

즉, 기생 바이폴라 소자의 동작이 LDD에 의해 저하됨을 의미한다. 이런 상황에서도 기생 바이폴라 소자의 역할은 무시할 수 없음을 그림 3에서 발견할 수 있다. 본 연구에서 사용한 LDD 영역의 표면 농도는  $5 \times 10^{18} \text{ cm}^{-3}$ 이고 스페이서 산화막 두께는 100 nm이다. 시뮬레이션에 사용된 실리콘 필름의 두께는 100 nm이고 매몰 산화막 (buried oxide)의 두께도 100 nm이다. 소자 시뮬레이터는 SILVACO 사에서 제공하는 ATLAS<sup>[9]</sup>를 이용하였다.

그림 3의 (a)와 (b)는 각각 N-n 회로 구조와 N-p 회로 구조에 대한 I-V 특성 곡선이다. 비교를 위해 바디 전압이 접지된 NMOS 소자의 특성을 같이 보였다. 각각의 그림의 좌측 상단에 보인 것은 시뮬레이션에 사용된 소자 구조의 단면이다. 우선 제안된 회로의 특성에 대한 근본적인 특성을 보이는 것을 목적으로 하였기 때문에 N-n 및 N-p 구조에서 모든 소자의 채널 폭은 모두 1  $\mu\text{m}$ 로 고정하였다. 소자의 단면 구조에서 주요 소자의 바디는 아래쪽 p 기판과 연결되어 결국에는 보조 소자의 소스와 드레인 중 어느 하나에 연결된다. 단면 그림에서  $G_S$ 로 표시된 것은 보조 소자의 게이트를 의미한다. 그림 3 (a)의 경우 주요 및 보조 소자의 게이트 전압이 1.5 V이다. 바디 전압이 0 V로 고정되어 있는 경우에 비해 보조 NMOS가 연결된 N-n의 경우가 상대적으로 전류 구동 능력이 더 크다는 것을 관찰할 수 있다. 특히, 드레인 전압이 0.8 V 근처에서 약 kink를 보이면서 증가하는데 이는 NMOS에 내재하는 기생 npn 바이폴라 소자에 의한 전류가 상당히 증가하여 NMOS 소자의 전류와 크기가 비슷하거나 크기 때문에 생겨난다. 전류가 드레인 전압에 따라 증가하다가 약 1 V의 전압부터 포화되는 특성을 보이는데, 이는 주요 NMOS 소자의 바디 전압이 앞서 2장에서 설명한 것과 같이 보조 NMOS 소자의 문턱전압에 의해 제한되기 때문이다. 그림 3 (b)에서는 주요 NMOS 소자의 게이트 전압은 1.5 V이고 보조 PMOS 소자의 게이트 전압은 0 V이다. 역시 비교를 위해 바디 전압이 0 V로 고정된 소자의 특성을 함께 보였고 N-p 회로구조에 대한 전류 구동능력이 드레인 전압 증가에 따라 훨씬 증가한다는 것을 관찰할 수 있고 제안된 회로구조에서의 바디 제어 방법이 유용하게 사용될 수 있음을 보이고 있다. 그림 3 (a)의 N-n 구조와 비교할 경우 0.8 V 이상의 드레인 전압에서 상대적으로 더 큰 전류 구동능력을

보이고 있다. 제안된 구조의 경우 (a)에서 언급한 드레인 전압이 0.8 V인 경우의 전류 kink 점에서 계속 증가하고 있다. 이는 (a)에서와 달리 (b)의 경우에는 주요 NMOS 소자의 바디 전압이 상대적으로 더 크게 증가하고 있음을 의미하고 결과적인 더 큰 전류 구동능력을 갖게된다. (a)와 (b) 그림 모두에서 A와 B 영역이 보이는데, 이는 각각 NMOS 소자 동작에 의한 영역과 NMOS 소자 및 기생 바이폴라 소자 동작에 의한 영역을 표시한 것이다. 그러면 각각의 경우에 대한 바디 전압을 살펴보자.

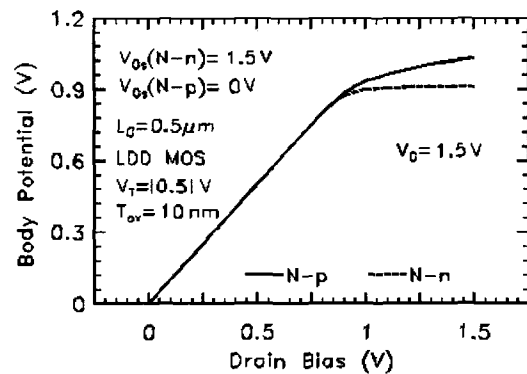


그림 4. 소자 시뮬레이션으로 얻어진 N-n과 N-p 회로 구성에서 주요 NMOS 소자의 드레인 전압에 따른 바디 전압 변화. 이때 주요 NMOS 소자의 게이트 전압은 1.5 V이다.

Fig. 4. Body potential versus drain bias of N-n and N-p circuit configuration obtained by device simulation. Gate bias of main NMOS device is 1.5 V.

그림 4는 N-n 및 N-p 구조에 대한 소자 시뮬레이션으로 얻은 주요 NMOS 소자의 바디 전압을 보이고 있다. 앞서 설명한 것과 같이 N-n의 경우는 약 0.9 V 정도의 드레인 전압부터 바디 전압이 포화되어 증가하지 않는 반면 N-p의 경우는 계속 증가하고 있다. 드레인 전압이 1.2 V인 경우에 제안한 구조의 바디 전압이 약 80 mV 정도 더 크며, 이는 기생 바이폴라 소자의 베이스-에미터 전압에 그대로 반영되기 때문에 기생 바이폴라 소자에 의한 전류 증가가 합쳐져 더 큰 전류 구동능력을 갖는다. 만약 공급전압이 고정된 상태에서 소자의 문턱전압이 증가하면 N-p의 경우는 큰 영향이 없지만, N-n의 경우는  $V_{body}$ 가  $V_{Tn}$  증가 만큼 감소한다. 동작전압이 1.5 V일 때 N-n 구조의 경우 pull-down이 일어나는 초기 상황은 그림 4의 DC 상태의 전압을 참고하여 알 수 있기 때문에, 초기 상태

동안 보조 소자가 포화영역에서 동작하는가를 살펴보자. 보조 NMOS 소자의  $V_{GS}$ 는 식 (1)을 이용하여 얻을 수 있다. 그림 4에서  $V_{body}$ 가 약 0.9 V이고  $V_{IN}$ 이 1.5 V이므로  $V_{GS}$ 는 0.6 V 정도이다. 따라서  $V_{GS}-V_{Th}$ 는 거의 0.1 V 정도이고  $V_{DS}$ 는 대략 0.6 V ( $=V_{IN}-V_{body}$ ) 정도이므로 포화영역의 동작을 보장한다.

IV. 회로 시뮬레이션

소자 시뮬레이션에서와 같이 SPICE를 이용한 회로 시뮬레이션을 수행하여 제안된 회로의 특성을 비교 분석한다. 회로 시뮬레이션 역시 본 논문에서 제안한 회로의 기본적인 성능의 우수성을 보이는 것을 목적으로 한다. 시뮬레이션에 사용된 MOS 소자의 개략적인 주요 SPICE 파라미터로 NMOS와 PMOS의 이동도는 각각 450, 190  $cm^2/Vs$ 이고 문턱전압은 각각 0.5, -0.5 V이다. 그외 GAMMA는 두 소자 모두 0.77이고 TOX는 역시 두 경우 모두 8 nm이다. 기타 MOS 소자의 파라미터는 기존의 파라미터와 유사하다. 상용으로 보급되어 있는 SPICE는 현재 SOI 소자에 대한 모델을 가지고 있지 않기 때문에 정확한 시뮬레이션은 어렵다. 그러나 기본적인 특성 비교 및 분석은 가능하다. 3장에서 보인 것과 같이 주요 MOS 소자에 내재하는 기생 바이폴라 소자의 역할을 무시할 수 없기 때문에 pull-up을 위한 주요 PMOS 소자와 pull-down을 위한 주요 NMOS 소자와 병렬로 각각 pnp와 npn 바이폴라 소자를 연결하였다. 이들은 기생 바이폴라 소자의 역할을 하게 되며, SPICE 파라미터는 표 1에 나타내었다.

표 1. 기생 바이폴라 소자의 주요 SPICE 파라미터

Table 1. Key SPICE parameters for parasitic bipolar devices.

parasitic BJT parameters	nnp	pnp
IS	0.3E-16	0.2E-16
BF	50	25
RC	30	50
RB	500	500
RE	30	50
IKF	0.4	0.3

에미터 면적: 0.15  $\mu m \times 1 \mu m$

앞으로 보다 정확한 회로 시뮬레이션을 위해 소자

시뮬레이션이나 제작된 소자를 통해 기생 바이폴라 소자를 정의할 수 있는 파라미터를 추출하는 것이 필요하다.

표 2. SPICE 시뮬레이션을 위해 사용된 소자의 채널 폭

Table 2. Device channel width used for SPICE simulation.

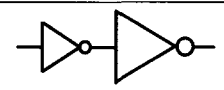
BC SOI CMOS 버퍼	Conventional SOI CMOS 버퍼
MPI: 16 MP2: 3 MNI: 10 MN2: 2 inverter: 6/4	 8/4 24/12
P:25, N:16	P:32, N:16

표 2는 본 논문에서 제안한 버퍼회로의 성능을 기존의 2 단 버퍼와 비교하기 위해 설정한 소자의 채널 폭을 보이고 있다. 모든 소자의 채널 길이는 0.5  $\mu m$ 로 고정되어 있다. 제안한 회로의 명칭을 BC (Body Control)로 표시하였고 각각의 소자 명칭은 그림 1의 회로에 대응된다. 기존의 SOI CMOS 버퍼회로에서 사용된 소자의 채널 폭은 오른쪽에 주어졌다. 한가지 주목할 점은 각각의 버퍼회로가 차지하는 면적을 거의 비슷하게 유지하기 위해 BC SOI CMOS 버퍼의 전체 PMOS와 NMOS의 채널 폭을 다 더하면 표 2의 제일 아래쪽에 표시된 것과 같이 각각 25  $\mu m$ 와 16  $\mu m$ 이고 기존의 경우는 각각 32  $\mu m$ 와 16  $\mu m$ 이다. 즉, BC 버퍼 회로에서 NMOS의 전체 채널 폭은 기존의 경우와 같지만 PMOS의 채널 폭은 7  $\mu m$ 가 작고 이는 소자의 개수가 많음을 고려하여 전체 레이아웃 면적을 같게 하기 위함이다. 표 2에서 보인 소자의 크기는 최적화되지 않은 것이고 단지 기본적인 성능을 보이기 위해 설정한 값이며, 앞으로 제안한 회로에서 소자의 크기를 최적화하는 것이 필요하다.

그림 5는 회로 시뮬레이션으로 얻은 출력 파형이다. 공급 전압은 1.2 V이고 부하 용량은 2 pF이다. 기존의 SOI CMOS 버퍼 회로에 비해 pull-down 속도는 훨씬 빠름을 관찰할 수 있고 pull-up도 상대적으로 더 빠름을 알 수 있다. Pull-up 속도가 크게 개선되지 않는 것은 같은 버퍼 면적을 유지하기 위해 표 2에 보인 것과 같이 주요 PMOS의 채널 폭을 7  $\mu m$  적게 사용하였기 때문이다.

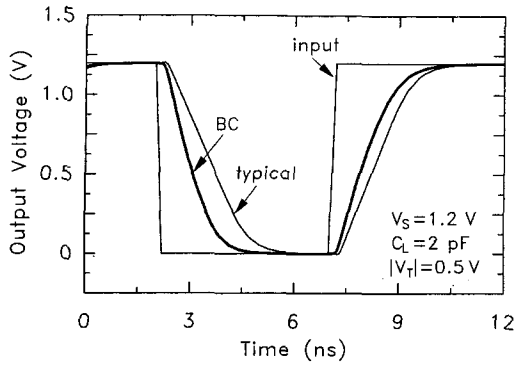


그림 5. SPICE 시뮬레이션으로 얻은 제안된 BC 버퍼 회로와 기존의 회로에 대한 출력 파형. 공급전압은 1.2 V이고 부하용량은 2 pF이다.

Fig. 5. Output transient voltages of the proposed body controlled (BC) and conventional circuits obtained by SPICE simulation. Given  $V_S$  and  $C_L$  are 1.2 V and 2 pF, respectively.

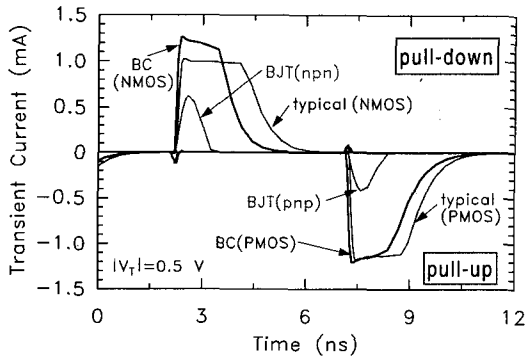


그림 6. SPICE 시뮬레이션으로 얻은 제안된 BC 버퍼 회로와 기존의 회로에 대한 전이 전류. 공급전압은 1.2 V이고 부하용량은 2 pF이다.

Fig. 6. Simulated transient currents of conventional buffer and the BC buffer circuits at given  $V_S=1.2$  V and  $C_L=2$  pF.

그림 6은 역시 공급 전압이 1.2 V이고 부하 용량이 2 pF인 경우 시뮬레이션으로 얻어진 전이 전류 파형을 보이고 있다. 먼저 pull-down의 경우를 살펴보면 BC 회로의 주요 NMOS 소자의 전류의 크기가 상대적으로 기존의 경우에 비해 크다는 것을 관찰할 수 있는데, 이는 바디 전압의 동적인 제어에 따른 문턱전압의 크기가 작아졌기 때문이다. 또한 주요 NMOS에 내재하는 기생 바이폴라 소자의 역할도 관찰할 수 있다. Pull-up의 경우를 살펴보면 제안된 BC 회로의

주요 PMOS의 드레인 전류는 비록 채널 폭이 기존의 것에 비해 약 33% 정도 작지만 전류의 크기는 거의 비슷함을 관찰할 수 있다. 이는 역시 바디 전압 제어에 따른 문턱전압의 감소에 기인한다.

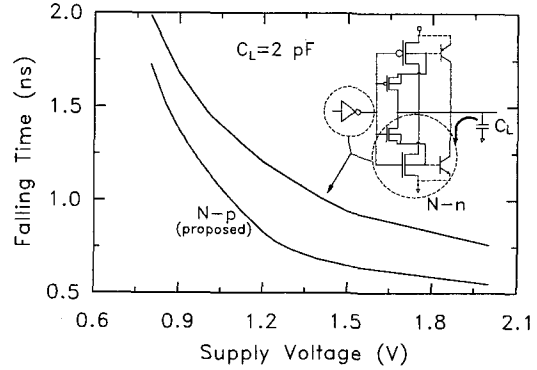


그림 7. 발표된 N-n 회로 구성 및 제안된 N-p 회로 구성에 대한 pull-down 지연시간 특성. 부하용량은 2 pF이며, 두 가지 회로에서 소자의 크기는 정확히 같다. 기존의 N-n 회로는 그림의 오른쪽 상단에서 보여진다.

Fig. 7. Simulated pull-down delay characteristics of proposed and conventional buffer circuits at given  $C_L=2$  pF. Counterpart devices in two buffer circuits have the same device width. Small insert represents the conventional non-inverting buffer circuit consisted of a inverter and N-n circuit configuration.

그림 7은 제안된 회로의 성능을 발표된 기존의 N-n 구성을 갖는 회로와 비교한 것으로 비교에 사용된 기존의 N-n 구성을 가진 버퍼 회로는 오른쪽 상단에 보여진다. 그림 7에서는 pull-down에 대한 지연 시간을 공급전압에 따라 보이고 있다. 모든 조건은 동일하며, 각각의 소자의 크기는 표 2에 있는 것을 이용하였다. 전체적인 공급전압 범위에서 제안된 버퍼 회로가 더 작은 지연시간을 보이고 있으며, 공급전압이 감소함에 따라 그 차이는 감소하고 있고 이는 기생 바이폴라 소자의 역할이 줄어들기 때문이다. 이것은 소자 시뮬레이션 결과와 같은 경향을 보여주고 있다. 공급전압이 1.2 V일 때 제안된 회로의 지연시간은 약 30% 정도의 개선을 보이고 있다.

그림 8은 기존의 SOI CMOS 버퍼회로와 제안된 버퍼회로에서 얻어진 공급전압에 따른 지연시간과 전력소모를 비교한 것이다. 기존의 SOI CMOS 버퍼에 대한 사양은 표 2에 표시되어 있다. 지연시간은 입력

전압이 공급전압의 50%인 시간에서 출력 전압이 공급 전압의 50%로 변하는데 걸리는 시간으로 정의하였으며, 하강과 상승시간을 더하고 2로 나눈 값을 그림에서 표시하였다. 이때 부하 용량은 2 pF이다. 기존의 SOI CMOS 버퍼회로는 앞서 언급한 것과 같이 같은 레이아웃 면적을 유지하기 위해 제안된 회로에 비해 주요 PMOS 소자의 채널 폭이 7 μm 더 길다. 그럼에도 불구하고 모든 공급 전압 범위에서 제안된 회로가 더 빠른 특성을 보이고 있다. 특히, 공급전압이 낮아지면서 속도 차이는 상대적으로 더 심하며, 이는 기존의 회로에서 소자의 문턱전압이 고정되어 있기 때문이다. 공급전압이 1.2 V일 때 제안된 회로의 지연시간 개선은 약 36%이다. 그림 8에서 파선으로 표현된 것은 기생 바이폴라 소자의 기여를 제거하고 시뮬레이션을 수행한 결과이다. 기생 바이폴라 소자의 동작이 없어도 동적인 바디 전압의 제어에 의한 문턱전압의 감소로 표시된 공급전압 범위에서 개선된 속도 특성을 보이고 있으며, 공급전압이 감소함에 따라 그 차이는 아주 커진다.

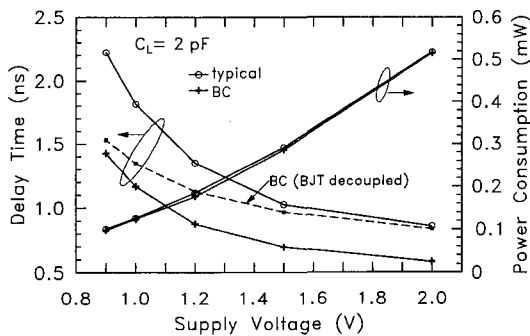


그림 8. SPICE 시뮬레이션으로 얻은 기존 및 제안된 회로에 대한 공급전압에 따른 전력소모 및 지연시간 특성. 부하용량은 2 pF이며, 파선은 제안된 BC 버퍼회로에서 기생 바이폴라 소자의 역할을 제거한 경우에 대한 결과이다.

Fig. 8. Simulated delay time and power dissipation versus supply voltage of conventional SOI CMOS and the proposed buffer circuits at  $C_L=2$  pF. Dashed line represents the delay characteristics of the BC buffer circuit when parasitic BJT's are disconnected in SPICE simulation.

### V. 결론 및 검토

본 논문에서는 새로운 바디 제어형 비반전 SOI 버

퍼회로를 제안하고 분석하였다. 소자 시뮬레이션을 통하여 바디가 제어되지 않는 같은 크기를 갖는 기존의 소자와 그 특성을 비교하였고 제안된 구성이 더 큰 전류 구동능력을 가짐을 보였다. 또한 발표된 바디 제어형 SOI 회로에 비해서도 더 큰 전류 구동능력을 가짐을 보였고 그것의 원인은 제안된 회로에서 주요 소자의 바디 전압이 더 효율적으로 제어되기 때문이다. SPICE를 이용한 회로 시뮬레이션을 수행하여 기존의 바디 제어형 회로와 성능을 비교하였으며, 더 좋은 결과를 보였다. 또한 기존의 바디가 제어되지 않는 SOI CMOS 버퍼회로와 비교하였는데, 거의 같은 전력을 소모하면서 개선된 속도 특성을 보였다. 제안된 버퍼회로는 같은 면적의 기존의 버퍼회로에 비해 1.2 V의 공급전압과 2 pF의 부하용량에서 약 36%의 개선된 속도 특성을 보였다. 제안된 회로의 stand-by 전류는 기존의 SPICE tool을 사용한 결과에서는 매우 작은 것으로 보인다. 이것은 그림 6의 전류 파형을 통해서 간접적으로 알 수 있고 자세한 것은 SOI 전용 SPICE 시뮬레이션이나 측정을 통해서 밝히는 것이 정확하다. 본 논문에서 제안된 회로를 구성하는 소자의 크기는 최적화 되지 않고 단지 제안된 회로의 근본적인 특성을 보이는 것을 목적으로 하였다. 앞으로 개개의 소자의 채널 폭의 최적화가 필요하며, SOI 소자의 물리를 고려한 회로 시뮬레이터를 이용한 회로의 비교 분석 및 최적화가 필요하다. 또한 보다 구체적인 소자 시뮬레이션이나 회로 제작을 통한 검증이 필요하며, 본 연구에서 필요한 각종 패턴을 포함하는 시험 칩을 0.25 μm 기술에서 제작하고 있다.

### 감사의 글

※ 저자는 많은 조언과 격려를 해 주신 KAIST 전기 및 전자공학과 신형철 교수님께 감사를 드립니다. 본 연구는 '96년도 교육부 반도체분야 학술연구조성비 (ISRC 96-E-1026)에 의하여 수행되었습니다.

### 참고 문헌

[1] J.-P. Colinge, *Silicon-On-Insulator Technology: Material to VLSI*, Kluwer Academic Publishers, 1991.



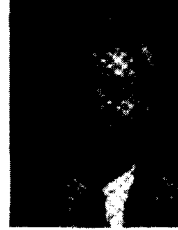
- [2] Y. Kado, H. Inokawa, Y. Okazaki, T. Tsuchiya, Y. Kawai, M. Sato, Y. Sakakibara, S. Nakayama, H. Yamada, M. Kitamura, S. Nakashima, K. Nishimura, S. Date, M. Ino, K. Takeya, and T. Sakai, "Substantial advantages of fully-depleted CMOS/SIMOX devices as low power high-performance VLSI components compared with its bulk-CMOS counterpart," in *IEDM Technical Dig.*, 1995. pp. 635-638.
- [3] S. Kuge, F. Morishita, T. Tsuruda, S. Tomishima, M. Tsukude, T. Yamagata, and K. Arimoto, "SOI-DRAM circuit technologies for low power high speed multigiga scale memories," *IEEE Trans. on solid-State Circuits*, vol. 31, no. 4, pp. 586-590, April, 1996.
- [4] W. M. Huang, K. Papworth, M. Racanelli, J. P. John, J. Foerstner, H. C. Shin, H. Park, B. Y. Hwang, T. Wetteroth, S. Hong, H. Shin, S. Wilson, and S. Cheng, "TF-SOI CMOS technology for sub-1V micro-controller circuits," in *Tech. Dig. of IEDM*, 1995, pp. 59-62.
- [5] F. Assaderaghi, D. Sinitsky, S. Parke, J. Bokor, P. K. Ko, and C. Hu, "Dynamic Threshold-Voltage MOSFET (DTMOS) for Ultra-Low Voltage VLSI," *IEEE Trans. on Electron Devices*, vol. 44, no. 3, pp. 414-422, March 1997.
- [6] I. Y. Chung, Y. J. Park, and H. S. Min, "A new SOI inverter using dynamic threshold for low-power applications," *IEEE Electron Device Letters*, vol. 18, no. 6, pp. 248-250, June, 1997.
- [7] Y. Wada, K. Ueda, T. Hirota, and Y. Hirano, "Active body-bias SOI-CMOS driver circuits," in *1997 Symposium on VLSI Circuits Digest of Technical Papers*, 1997, pp. 29-30.
- [8] R. S. Muller and T. I. Kamins, *Device electronics for integrated circuits*, 2nd edition, JOHN WILEY & SONS, 1991.
- [9] "ATLAS: Device simulation software," SILVACO, Santa Clara, CA, Oct. 1996.

## 저 자 소 개



李 宗 昊(正會員)

1987년 2월 경북대학교 전자공학과 졸업 (학사). 1989년 2월 서울대학교 전자공학과 졸업 (석사). 1993년 8월 서울대학교 전자공학과 졸업 (박사). 1993년 8월 ~ 1994년 2월 서울대학교 반도체공동연구소 연구원. 1994년 3월 ~ 1996년 3월 원광대학교 공과대학 전자재료공학과 전임강사, 1996년 4월 ~ 현재 원광대학교 전기공학부 조교수. 1994년 11월 ~ 현재 한국전자통신연구원 반도체연구단 초빙연구원. 1998년 8월부터 미국 MIT post-doc. 관심분야는 아날로그/디지털 혼성모드 회로를 위한 SOI 기술, 저전압/고속 SOI 회로, sub-100 nm CMOS 소자 구조, 집적화된 수동/능동 RF 소자, 나노 결정을 이용한 EEPROM, 1/f 잡음 및 소자 mismatch



朴 榮 俊(正會員)

1975년 서울대학교 전기공학과 졸업 (학사). 1977년 서울대학교 전기공학과 졸업 (석사). 1983년 미국 Massachusetts 대학교 졸업 (박사). 1993년 ~ 1995년 미국 IBM (East Fishkill, NY) 근무. 1985년~1987년 LG 반도체 근무. 1993년 미국 Stanford 대학에서 안식년 보냄. 1988년 ~ 현재 서울대학교 공과대학 전기공학부 근무. 현재 부교수. 서울대학교 반도체공동연구소 소장 역임. 관심분야는 반도체 소자구조, 소자 물리 및 모델링, 고속회로기술