

CaF₂ 박막의 전기적, 구조적 특성

논문
11-12-10

Electrical and Structural Properties of CaF₂ Films

김도영*, 최석원*, 이준신*
(Do Young Kim, Suk Won Choi, Junsin Yi)

Abstract

Group II-AF₂ films such as CaF₂, SrF₂, and BaF₂ have been commonly used many practical applications such as silicon on insulator(SOI), three-dimensional integrated circuits, buffer layers, and gate dielectrics in field effect transistor. This paper presents electrical and structural properties of fluoride films as a gate dielectric layer. Conventional gate dielectric materials of TFTs like oxide group exhibited problems on high interface trap charge density(D_{it}), and interface state incorporation with O-H bond created by mobile hydrogen and oxygen atoms. To overcome such problems in conventional gate insulators, we have investigated CaF₂ films on Si substrates. Fluoride films were deposited using a high vacuum evaporation method on the Si and glass substrate. CaF₂ films were preferentially grown in (200) plane direction at room temperature. We were able to achieve a minimum lattice mismatch of 0.74 % between Si and CaF₂ films. Average roughness of CaF₂ films was decreased from 54.1 Å to 8.40 Å as temperature increased from RT and 300°C. Well fabricated MIM device showed breakdown electric field of 1.27 MV/cm and low leakage current of 10⁻¹⁰ A/cm². Interface trap charge density between CaF₂ film and Si substrate was as low as 1.8×10¹¹ cm⁻²eV⁻¹.

Key Words(중요용어) : Fluoride(불화물), Gate insulator(게이트 절연막), TFT(박막트랜지스터), CaF₂, MIM, MIS

1. 서 론

기존의 a-Si:H TFT(Thin Film Transistor)에 사용되는 SiO₂, SiN:H, SiN_xO_y, Al₂O₃는 계면전하 밀도가 높기 때문에 TFT의 I_{on} 전류 감소와 V_T의 증가로 인한 문제가 존재하였다. 이러한 문제들은 I_{on}/I_{off} 전류비가 떨어뜨리며 소자의 신뢰도를 감소시키게 된다. 따라서 최적의 TFT 구현을 위해 개선된 절연체 연구가 필요하다. 계면전하밀도의 감소를 위하여 기존의 연구는 구조적¹⁾, 물성적²⁾, 성장방법³⁾ 등 다양한 방향으로 연구가 되어 왔으나, 미래 고집적화된 TFT를 저전력으로 구동하기 위해서는 보다 개선된 새로운 게이트의 절연물질에 대한 연구가 필요하다. APCVD(atmospheric pressure chemical vapor deposition) 법으로 성장된 SiO₂ 박막은 높은

수율과 양질의 절연특성을 보인다. 그러나 높은 계면상태 때문에 단층 APCVD SiO₂ 박막은 a-Si:H TFT의 게이트 절연막으로 사용되기에는 한계를 보이고 있다. 평판표시장치소자로 사용되는 박막트랜지스터는 절연막과 Si의 계면 상태가 소자 동작 특성에 큰 영향을 미치는데 이유는 게이트에 인가되는 전기장의 대부분은 절연막과 Si 사이의 계면에 유도되기 때문이다. 소자의 동작 게이트 전압에 대한 절연막의 영향은 전자포획이나 탈출 효과이며 이것은 준 안정상태를 형성하여 TFT를 장시간 사용할 경우 문턱전압과 이동도의 변화를 일으키는 등 소자의 안정도에 영향을 받게 된다. 기존의 산화물계 게이트 박막인 SiO₂, Ta₂O₅, Al₂O₃ 그리고 SiO_x는 Si 계면과는 높은 계면포획전하 문제를 가지고 있으며 특히 기존의 a-Si:H 박막은 수소를 10 wt% 이상을 포함하고 있기 때문에 산화물계 절연막과 실리콘 박막 계면에서 O-H 결합으로 계면포획전하 밀도를 증가시킨다. 이러한 계면 포획 전하 밀도 증가현상은 산소를 포함하고 있는 산화물계

* : 성균관대학교 전기전자 및 컴퓨터공학부

(경기도 수원시 장안구 천천동 300, Fax: 0331- 290-5819, E-mail : dykim1@nature.skku.ac.kr)

1998년 8월 31일 접수, 1998년 11월 20일 심사완료

절연막은 a-Si:H 박막과의 계면에 유동 수소 원자에 의한 O-H결합 증가로 계면포획전하의 밀도를 증가시켜 소자의 동작에 문제점을 야기하게 된다. 절연층과 Si 박막간의 우수한 절연박막으로써 본 논문에서 제안하는 CaF₂는 격자상수가 0.546 nm인 단결정 Si와 동일한 diamond 구조를 지니고 있으며 실리콘과의 격자부정합은 0.6 %로 매우 적다⁴⁾. 특히 Sr나 Ba과의 혼합비를 조절하여 Ca_xSr_{1-x}F₂, Ca_xBa_{1-x}F₂의 물질합성⁵⁾을 통하여 이론적으로 격자부정합을 0 %로 조절 가능하다. CaF₂ 박막은 고진공 상태에서 열기상증착법으로 저온에서 쉽게 제조할 수 있으며 MBE⁶⁾나 photo-assisted CVD⁷⁾를 통하여 균일하며 대면적 박막성장이 가능하다. 또한 높은 전기적 비저항(7.9×10¹⁷ Ω-cm at 20 °C)을 가지고 있으며 Si₃N₄(ε_r=7.2)⁸⁾에 비하여 상대적으로 낮은 유전상수⁹⁾(6.8)을 가진다고 알려져 있다. 이러한 구조적, 전기적 장점은 단결정 Si 간의 계면에서의 결함을 줄이는데 기여하므로 기존의 산화물계 절연막에 단점으로 사료되는 D_{it}를 최소화 시켜 양질의 TFT 게이트 절연막을 제조할 수 있다. 이러한 다양한 fluoride계 박막의 전기적 구조적 특성을 표 1에 나타내었다. 본 연구에서는 CaF₂ 박막을 a-Si:H TFT의 절연막으로 이용하기 위한 기초연구로써 CaF₂ 박막을 사용하여 MIM, MIS 소자특성을 연구하였다.

표 1. a-Si:H TFT 게이트 절연막으로 응용가능한 물질의 특성.

Table 1. Material properties for a-Si:H TFT Gate Insulator.

물질	결정 구조	유전 상수	격자 상수 (nm)	Si 대한 격자부정합 (%)	열팽창계수 (1/°C)
Si	Cubic	11.7	0.5430	-	3.8×10 ⁻⁶
CaF ₂	Cubic	6.81	0.5464	0.6	19×10 ⁻⁶
MgF ₂	Tetragonal	5.45	a=0.46 c=0.31	-	8.9×10 ⁻⁶
SrF ₂	Cubic	6.50	0.580	6.8	18×10 ⁻⁶
BaF ₂	Cubic	7.32	0.620	14	18×10 ⁻⁶

2. 실험 방법

MIM 구조의 소자는 coming glass 7059 기판을 사용하여 제작하였는데 기판의 유기 오염물을 제거하기 위하여 acetone 10 분, methanol 10 분간 초음파세척 후 고순도 증류수로 세정 후 질소가스로 건조하였다. MIS 구조의 소자는 (100)면의 p-type Si 웨이퍼를 이용하였는데 표면세척을 위하여 RCA법¹⁰⁾으로 기판의 금속유기물, 산화물을 제거하였다. 세척된 기판의 후면에 ohmic 접합형성을 위하여 2000 Å 이상의 Al을 증착하고 열처리 시에 표면 반응을 최소화하기 위하여 N₂ 가스를 2.5 lpm 정도로 흘려주면서 620 °C에서 15 분간 열처리하였다. 자연 산화막을 제거하기 위하여 BHF에 Si 표면쪽을 수 초간 담근 후에 고순도 증류수로 세척, 질소가스로 건조시켰다. 연속공정으로 고진공 열기상증착기에서 CaF₂를 증착하였으며 증착시 초기 압력은 낮은 10⁻⁶ torr이었고 CaF₂의 급격한 증착을 억제하고 균일한 박막제조를 위하여 baffled furnace 형태의 Mo boat가 이용되었다. 원료로 사용된 piece 형태의 CaF₂ (Cerac Co.) source 크기는 3~5 mm였으며 순도는 99.95 %였다. Halogen lamp를 이용하여 기판온도를 상온에서 300 °C까지 100 °C씩 증가하며 가변하였다. CaF₂ 박막 증착 후 전기적 측정을 위하여 원형 직경이 0.4 mm에서 1.0 mm인 Al전극을 600~700 Å 증착하였다. 전극에 Au 직경 0.1 mm 선을 은풀로 연결하여 측정하였다. 그림 1에 본 연구에서 제작된 MIM, MIS 소자를 도시하였다. 열처리 전 후의 박막의 특성변화를 조사하기 위하여 급속 열처리(RTA)하였다. 급속열처리 공정은 10⁻⁴ torr 이하의 진공상태에서 halogen lamp를 이용하여 열처리 온도를 증가하였다. 열처리 온도는 400 °C에서 700 °C까지 변화시키면서 열처리하였으며 열처리 온도 상승속도는 6.67~11.67 °C/sec 이었으며 각각의 온

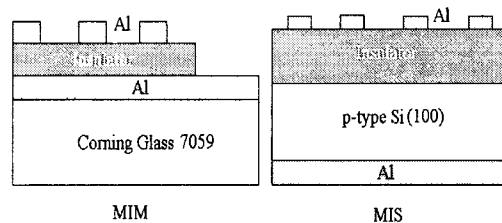


그림 1. MIM, MIS 소자 모식도.
Fig. 1. Crosssection view of MIM and MIS device.

도에서 100초 동안 열처리하였다. 열처리 후 급격한 온도하강에 의한 fluoride 박막과 기판과의 열팽창 계수 차이에 의한 박막의 crack이나 응력을 방지하기 위하여 1시간동안 냉각시켰다. 계면상태와 박막의 절연 특성 평가를 위하여 I-V, C-V 등의 전기적 측정을 하였으며 Keithley 617, Fluke 5100B, Boonton 7200을 컴퓨터와 연결하여 특성을 조사하였다. 또한 박막의 표면특성과 구조적 특성을 평가하기 위하여 AFM (atomic force microscopy) 그리고 XRD (X-ray diffraction) 분석을 하였다.

3. 결과 및 토론

Corning 7059 유리기판 온도에 따른 CaF₂ 박막의 XRD 결정성은 아래의 그림 2에서 보이는 것과 같이 온도가 증가함에 따라 CaF₂ 박막의 결정성장 방향은 실온에서 증착한 시료의 경우 (200) 면에서 주도적인 성장을 시작하여 기판의 온도가 증가함에 따라 (111), (220)으로 결정성장 면이 변하고 있음을 알 수 있다. 증착시 기판의 온도가 300 °C인 시료의 경우 (111) 면 방향의 FWHM=0.22 이었으며 (220) 면의 FWHM=0.34로 200 °C에서 증착한 시료의 (111) 면 방향의 FWHM=0.43에 비하여 감소하였으며 (220) 면의 FWHM =0.32에 비하여 증가하는 것으로 보아 300 °C이상의 높은 온도에서는 CaF₂는

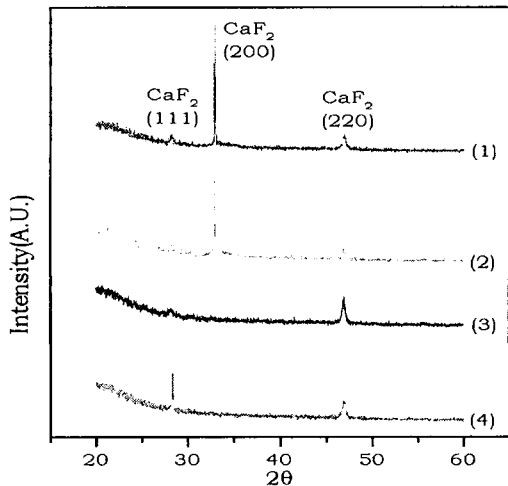


그림 2. CaF₂ 게이트 절연막 증착온도에 따른 XRD 곡선 (1) RT, (2) 100°C, (3) 200°C, (4) 300°C.

Fig. 2. XRD results of CaF₂ films for the various deposition temperatures (1) RT, (2) 100°C, (3) 200°C, (4) 300°C

(111)면의 단결정 성장이 가능할 것이라 사료된다. Cohen법¹¹⁾으로 계산된 시료의 격자상수는 아래의 표 2와 같이 계산되었다. 기판온도가 100 °C이하의 시료의 경우 주성장면이 (200) 면이 주도적이면 격자부정합은 이론적인 격자부정합보다 높은 값을 가지고 있었다. 증착온도가 200 °C이상의 시료의 경우 (111) 면의 성장이 주도적이며 격자부정합은 1 %이하로 감소하는 것이 조사되었다. 이러한 현상은 증착시 열에너지가 CaF₂ 결정 활성화에너지 역할을 하는 것이라 사료된다.

표 2. CaF₂ 박막의 증착변수에 따른 격자상수 및 격자 부정합.

Table 2. Lattice Constant and Lattice Mismatch of CaF₂ Films with Variation of Deposition Temperature.

증착온도	격자상수 (Å)	격자부정합 (%)	주성장면	FWHM
R.T.	5.637	3.812	(200)	0.22
100°C	5.751	5.911	(200)	0.22
200°C	5.470	0.737	(220)	0.32
300°C	5.477	0.866	(111)	0.22

CaF₂ 박막의 증착온도에 따라 박막표면의 거칠기를 조사하기 위하여 AFM 측정을 행하였다. 그림 3은 증착온도에 따른 박막의 표면 AFM사진이다. 온도가 실온에서 100 °C, 200 °C로 증가함에 따라 rms 표면 평탄도는 70.7, 26.9, 13.5 Å으로 감소하며 평균 표면 평탄도의 경우도 동일하게 54.1, 20.4, 8.40 Å으로 감소하였다. 불균일한 박막의 증착은 국부적인 전계효과에 의한 신호지연현상 등 TFT 소자 신뢰도에 영향을 미치므로 200 °C 이상의 증착온도가 요구된다.

MIS 소자를 제작하기 위해서 사용된 (100) 기판은 10~15 Ω-cm의 비저항을 가지고 있었으며 Irwin 곡선으로부터 계산된 hole 농도는 10¹⁵ cm⁻³ 이었다. 증착온도에 따른 소자의 전기적 특성을 조사하기 위하여 1 MHz의 주파수에서 인가전압을 증가시킴에 따른 정전용량을 측정하였다. 그림 4의 고주파수 C-V 측정으로부터 구해진 ε_r은 값보다 작은 4.11~5.0정도였다. 또한 MIM 구조의 소자의 C-V 측정으로부터 구한 유전상수도 5.63으로 MIS 소자의 경우와 유사한 특성을 보였다. 이는 유전상수를 구하기 위한 변수인 박막의 두께와 상부전극

의 오차율을 고려할 때 bulk의 CaF₂의 유전율(6.8)과 유사한 값을 가지고 있었다.

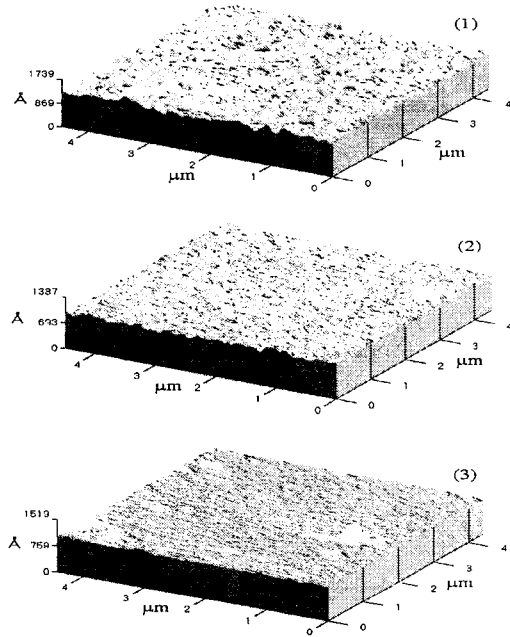


그림 3. CaF₂ 절연박막의 기판온도에 따른 표면 (1) RT, (2) 100°C, (3) 200°C.

Fig. 3. Surface profile of CaF₂ films with variation of substrate temperatures (1) RT, (2) 100°C, (3) 200°C.

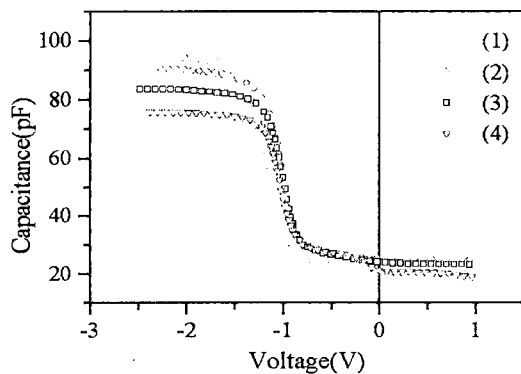


그림 4. 증착온도에 따른 MIS CaF₂ 박막의 C-V 곡선 (1) RT, (2) 100°C, (3) 200°C, (4) 300°C.

Fig. 4. C-V characteristics of CaF₂ films as a function of deposition temperature (1) RT, (2) 100°C, (3) 200°C, (4) 300°C.

이러한 CaF₂ 박막의 두께에서의 낮은 유전상수 특징은 TFT 소자내 기생용량성분을 최소화시킬 수 있어 flicker등에 안정한 소자제작이 가능하다. 또한 실온에서 증착된 CaF₂ 박막은 반전영역이 되는 전압직전에 정전용량의 감소는 전도대역에 존재하는 계면전하의 원인이라고 사료된다. Terman법¹²⁾으로 구한 CaF₂ 박막의 D_{it}는 200 °C에서 1060 Å 증착한 시료의 경우 midgap에서 2.6×10¹¹ cm²eV⁻¹을 가지고 있었으며 400 °C, 100 sec RTA 후의 D_{it}는 2.1×10¹¹ cm²eV⁻¹로 큰 차이가 없음을 관찰할 수 있었다. 이러한 낮은 D_{it} 특성을 CaF₂ 박막이 갖는 이유는 구조적으로 단결정 Si와 격자부정합이 없기 때문에 계면에서 CaF₂와 Si의 계면트랩밀도가 기존의 절연박막들 보다 작아진 것이라 사료된다. 이는 우수한 D_{it} 특성이 향후 CaF₂ 절연박막을 이용하여 향상된 TFT 소자를 제작할 수 있으리라 사료된다. 불화막의 계면 전하밀도 연구를 통해 기존의 산화막이나 질화막에서 계산되는 높은 D_{it} (>10¹² cm²eV⁻¹)값에 비하여 향상되었음을 알 수 있다. 시료에 인가전압을 음(-)→양(+)으로 양(+)->음(-)으로 인가함에 따라서 C-V 곡선은 반 시계방향으로 이력특성이 존재하였다. 이러한 특성은 기존의 강유전체에서 나타나는 시계방향의 분극현상과는 달리 CaF₂ 절연막에 존재하는 (+)의 trap charge에 의한 fluoride trap charge(Q_{ft})에서 기인하는 것으로 사료된다. 제작된 소자의 Q_{ft} 값은 300°C에서 제작된 소자의 경우 9.14×10⁻¹² Coulomb의 값을 가지고 있었다. 그림 5는 CaF₂ MIM 소자의 실온과 400 °C에서 증착한 시료의 항복전계를 비교하였다. 조사된 박막의 두께는 605 Å, 462 Å이었으며 항복전계는 0.96 MV/cm, 1.27 MV/cm 이었다. 두께증가에 따른 항복전계 감소현상은 여러 시료에서 관찰되었으며 이러한 실험 결과는 증착온도와 관계없이 박막의 두께가 감소함에 따라 절연전도기구 관점에서 분석할 때 tunneling conduction이 주도적으로 CaF₂ 박막에 나타나므로 절연체를 흐르는 전류밀도를 증가시키지만 항복전계를 증가시키는 원인으로 사료된다. 박막의 두께가 얇아질수록 보다 높은 항복전계를 보이는 CaF₂의 특성은 TFT 소자제작시 박막의 누설 전류를 최소화하여 높은 항복전계를 가지면서 3차원 소자 size를 줄이는 데 역할을 할 것이라 사료된다.

MIS소자의 J-E 곡선에서 CaF₂ 박막성장 온도가 증가함에 따라서 MIS 소자는 이상적인 다이오드 곡선에 접근하고 있었으며 동시에 E_{br} 값도 증가하고 있음을 그림 6에서 보였다. 200 °C이하의 증착온

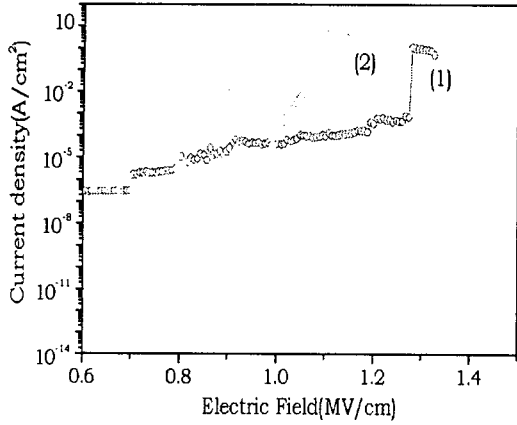


그림 5. CaF₂ MIM 소자의 절연특성곡선 (1) RT, (2) 400°C

Fig. 5. Current density versus electric field(J-E) curve of CaF₂ films (1) RT, (2) 400°C.

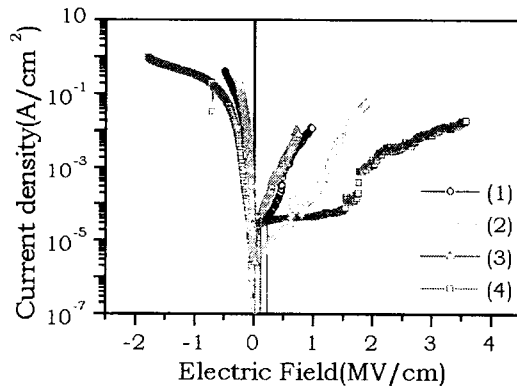


그림 6. 증착온도에 따른 CaF₂ MIS 소자의 J-E 특성 (1) RT, (2) 100°C, (3) 200°C, (4) 300°C.

Fig. 6. J-E properties of CaF₂ MIS devices as a function of deposition temperatures (1) RT, (2) 100°C, (3) 200°C, (4) 300°C.

도에서 제작된 MIS 소자의 E_{br}은 0.6 MV/cm이하의 값을 가지고 있으며 diode 특성도 우수하지 못하였다. 그러나 300 °C에서 증착된 소자의 E_{br}은 1.7 MV/cm였으며 breakdown이 발생하는 전계에서의 전류밀도 10⁶ A/cm²이었다. E_{br}이 낮은 소자의 경우 평등전계 값은 음(-)의 전계방향으로 이동됨과 동시에 낮은 전류밀도(<10¹¹ A/cm²)를 가지고 있었

다. 이러한 평등전계 이동현상은 절연박막 내부에 존재하는 Ca 이온 공공에 의한 (+)로 전이된 defect에 의한 원인으로 사료된다.

이러한 현상은 그림 7의 열처리 전후의 I-V 곡선으로 나타난다. 열처리에 따른 CaF₂ MIS 소자의 I-V 특성은 as grown 되어진 시료의 경우 0.5 V이상의 평형전압이동 현상을 가지고 있으며 400 °C의 열처리 후 평등전압이 0 V로 이동하였으며 누설전류도 증가하였다. 이후 700 °C 이상의 고온 열처리 후에 CaF₂ 박막의 기계적 손상에 의하여 소자의 전류-전압 특성이 저하됨을 알 수 있었다. 이러한 CaF₂ 박막은 증착시에 절연막 내부에 ion type defect가 존재함을 알 수 있었으며 400 °C 근처의 열처리 후 이러한 defect들은 passivation 됨을 알 수 있었다.

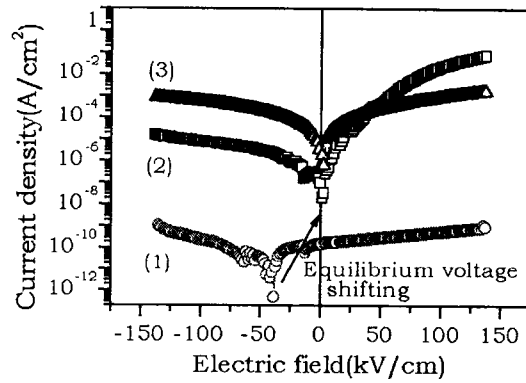


그림 7. 열처리 온도에 따른 CaF₂ MIS소자의 I-V 특성 (1) as grown, (2) 400°C, (3) 700°C annealing.

Fig. 7. I-V properties of CaF₂ MIS devices as a function of annealing temperature (1) as grown, (2) 400°C, (3) 700°C annealing.

4. 결 론

A-Si:H TFT 게이트 절연막 응용을 위한 CaF₂ 박막은 고진공상태에서 기상증착하였다. CaF₂ 박막으로 MIM, MIS 소자를 제작하여 증착온도에 따른 구조적, 전기적특성을 평가하였다. 구조적으로 실온에서는 (200)면의 우선배향을 하며 온도가 증가함에 따라 (111)면 배향이 우선하며 높은 온도에서는 (111)면 배향 단결정 CaF₂ 박막성장이 예상되었다. 이로부터 구한 격자상수는 Si의 격자상수와 유사하

였으며 격자부정합도 200 °C의 증착온도를 가지는 시료에서 최소 0.74 %였다. AFM 분석으로부터 박막의 표면은 증착온도가 증가함에 따라 평균 표면 평탄도가 54.1 Å에서 8.40 Å으로 감소하였다. 전기적 특성분석으로써 MIS 소자의 유전상수는 bulk의 유전상수 6.8보다 다소 낮은 4.11~5.0이며 박막내부의 trap과 이온에 의해 야기된 전하주입형 C-V특성을 가지고 있었다. D_{it} 특성은 200 °C에서 $2.6 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 의 값을 가지며 기존의 산화막보다 낮은 값을 가지고 있었다. 이는 구조적 특성에서 조사된 낮은 격자부정합과 일치되는 결과라고 사료된다. J-E 특성분석으로부터 증착온도가 증가함에 따라 얻은 E_{br} 은 1.7 MV/cm의 값을 가지며 400 °C의 RTA 열처리에서 ion defect 효과를 줄이고 우수한 MIS 소자 특성이 조사되었다. 이상의 결과로부터 향후 TFT 응용을 위한 불화막 성장조건은 기판온도 200°C에서 1060Å 성장시킨 시료를 400 °C, 100 sec 동안 RTA한 시료가 추천된다.

감 사 의 글

이 논문은 산업자원부 선도기술개발사업(G7) 과제의 연구비 지원에 의하여 연구되었습니다.

참 고 문 헌

1. 황한욱, 황성수, 김용상, "LDD 구조의 다결정 실리콘 박막트랜지스터의 특성", 전기전자재료학회지, 11권, 7호, p522-526, 1998.
2. N. Bhat, A. Wang, and K. C. Sraswat, "Rapid Thermal Anneal of Gate Oxide for Low-Thermal-Budget TFTs", SID 96 DIGEST, 1996.
3. Y. J. Tung, X. Meng, and T. J. King, "An Ultra-Low-Temperature Poly-Si TFT with Stacked Composite ECR-PECVD Gate Oxide", SID 98 DIGEST, 1998.

4. S. Sinharoy, "Fluoride/Semiconductor and Semiconductor/Fluoride/Semiconductor Heteroepitaxial structure research: A Review", Thin Solid Films, Vol. 187, p231-243, 1990.
5. S. Siskos, C. Fontaine, and A. Munoz-Yague, "Epitaxial growth of lattice-matched $\text{Ca}_x\text{Sr}_{1-x}\text{F}_2$ on (100) and (110) GaAs substrates", J. Appl. Phys., Vol. 56, No. 6, p1642-1646, 1984.
6. J. C. Alvarez, M. I. Veksler, L. V. Grekhov, N. S. Sokolov, and A. F. Shulekin, "Electrical properties of Au/CaF₂/n-Si(111) structures grown by molecular-beam epitaxy with ultrathin (less than 20nm) CaF₂ layers", Semiconductor Vol. 30, No. 7, p698-701, 1996.
7. William S. Rees, "CVD of Nonmetals", Weimheim, p312-313, 1996.
8. W. den Boer, S. Aggas, T. Gu, Y. H. Byun, C. betwB. and Qui, S. V. Thomsen, "Similarities een TFT Arrays for Direct-Conversion X-Ray Sensors and High-Aperture AMLCDs", SID 98 DIGEST, p371-374, 1998.
9. T. Asano and H. Ishiwara, "An Epitaxial Si/Insulator Si Structure Prepared By Vacuum deposition of CaF₂ and Silicon", Thin Solid Film, Vol. 93, p143-150, 1982.
10. W. Kern and D. A. Puotinen, "Cleaning Solution Based on Hydrogen peroxide for use in Semiconductor Technology", RCA Review, June, p187, 1970.
11. B. D. Cullity, "Elements of X-ray Diffraction", Addison-Wesley Publishing Co. Inc., p363-368, 1978.
12. L. M. Terman, "An Investigation of Surface States at a Silicon/Silicon oxide Interface Employing Metal-Oxide-Silicon Diodes", Solid-State Electron, Vol. 5, p285-299, 1962.