

FRAM개발동향 및 신개념 FRAM

유 인 경

삼성종합기술원 전자재료 Lab.

Abstract

This paper reviews development trends of ferroelectric memories. Materials requirements, integration issues, device structures are reviewed for 1T-1C and 1Tr type FRAM. Other types of FRAM such as DSRAM and SFRAM are also described. Limitations in FRAM development are discussed for the viewpoint of memory concept and material properties. Finally, novel FRAM structures and operational concepts are proposed in order to avoid such limitations.

I. 개 요

강유전체를 memory에 응용하는 연구가 1980년대 말에 새롭게 부각된 이래 미국, 일본, 한국에서는 그의 상품화가 구체적으로 가시화되고 있다. 미국은 기본특허를 확보한 상태에서 정보통신 분야에 강유전체 메모리를 제품화하는데 개발을 집중하고 있고 일본은 정보통신 외에도 ASIC, computer, digital camera film을 비롯해서 당초 FRAM의 목표이었던 DRAM의 대체까지 광범위한 개발전략을 추진하고 있다. 이는 일본 내에서 DRAM 개발전략에 근본적인 수정을 야기시키고 있다. 한국은 현재로서는 RF ID용 FRAM chip 및 computer용 FRAM chip에 국한시켜 4G

DRAM의 개발과 엮어서 병행하는데 초점을 맞추고 있다. 현재 FRAM 개발에 쓰이는 물질은 PZT와 SBT 계열로 구분된다. 이는 FRAM 자체의 제작조건과 응용조건을 고려하여 선택되었던 물질로 특히 Si 공정과의 compatibility가 가장 큰 issue로 작용하였고 이제는 어느 정도 해결의 실마리를 찾은 상태이다. 따라서 FRAM이 우리 주변에서 전자부품으로 자리잡는 것은 시간문제이다.

그러나 물질이 PZT와 SBT로 한정되는 것은 곧 FRAM을 제한하는 것이기도 하다. Tc(transition temperature), Pr(remanent polarization), Vc(coercive voltage), 증착온도 등을 만족시키다 보니 두 물질이 남았는데 오히려 PZT와 SBT가 전극이나 FRAM 구조를 2차로 제한하는 결과를 낳고 있다. 또 하나 FRAM 개발을 막는 것이 FRAM 작동개념 자체이다. 기존의 FRAM 개념은 양분극과 음분극, 즉 bistable polarization을 응용한 것이었다. 이것은 강유전체를 switching시켜야만 하는 조건을 벗어나지 못하게 한다. 따라서 fatigue issue가 따라오기 마련이다. 물론 SBT는 fatigue free이고 PZT의 fatigue도 IrO₂, RuO₂, LSCO등의 ceramic 전극으로 어느 정도 해결은 되었지만 실제로는 다른 우수한 강유전체들이 이러한 제한 때문에 버려지는 경우가 많다. 그렇다면 다른 가능성을 찾기 위해서는 현재의 paradigm을 바꿀 필요가 있다. 예로써 Si 공정 위주로 integration하기 보다는 강유전체 위주로 integration하는 것, bistable polarization을 이용하기 보다는 single stable polarization을 도입하는 것, reliability에 있어 좋지않은 특성으로 알려진 imprint나 leakage current를 역으로 이용하는 것 등이다.

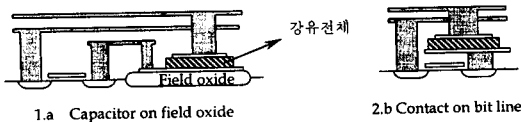
따라서 이 글에서는 새로운 관점에서 바라본 FRAM 개발 방향을 제안하고자 한다.

II. 현 황

1. 구조 및 작동 방법

1T-1C FRAM

Transistor당 강유전체 capacitor한 개를 연결하여 FRAM을 작동하는 것을 1T-1C라 부른다. 초기에는 1T-1C로 충분한 작동을 보장할 수 없어 2T-2C 구조로 개발하였으나 1T-1C가 제 성능을 나타내기 시작하고 있다. 그림 1에는 두가지 형태의 1T-1C FRAM 구조를 나타내었는데 field oxide 위에 강유전체 capacitor를 제작하는 것은 비교적 용이하나 고집적에는 부적합한 구조이므로 1M FRAM 이상에서는 COB(contact on bit line) 구조의 1T-1C를 채택하려고 한다. 특히 이 구조는 고집적 DRAM의 구조와 동일할 뿐만 아니라 특히 4G DRAM에서는 BST라고 하는 강유전체 물질을 채택할 계획이기 때문에 FRAM이 COB구조로 제작되는 것은 공정면에서나 물질 대 체면에서 당연하다 할 수 있다.



〈그림 1〉 1T-1C FRAM 구조

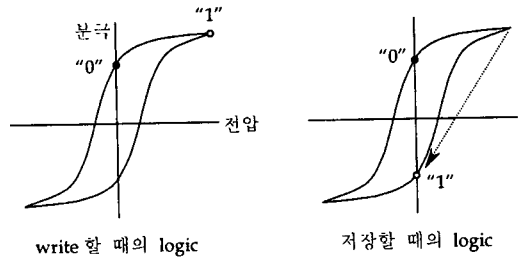
1T-1C 구조에서 issue가 되는 것은 강유전체 물질과 절연층간 반응을 막는 것, 워전극과 강유전체간의 접착성 문제, 워전극 etching후 강유전체 side에 이물질이 형성되는 문제, passivation 후 수소원자 침투에 의한 강유전체 특성 손실 등이다. COB 구조에서는 위의 issue외에도 bit와 강유전체 아래전극간의 contact이 issue로 되어 있다. 이들은 대부분 업체에서 스스로 해결하였기 때문에 특별히 발표는 하지 않고 know-how로 보존하고 있다.

1T-1C FRAM의 기본특히는 미 Ramtron사가

보유하고 있다. 핵심이 되는 작동개념은 alternating pulse를 인가하여 기록하는 것, 읽을 때에는 restoration, 즉, “0”은 읽은 다음 그대로 유지하지만 “1”을 읽고나면 “0”이 되므로 다시 “1”로 원위치 시켜주는 것과 “0”, “1”을 구별하기 위한 reference를 필요로 하는 것이다. 이 구조는 분극반전에 의한 charge량을 읽는 것이기 때문에 고집적에서는 높은 분극량을 갖는 물질이 요구된다. 이러한 면에서 PZT는 분극량이 큰 점이 강점이고 SBT는 coercive voltage가 작고 fatigue가 없는 점이 강점이다.

1T-1C DSRAM

1T-1C FRAM에 있어 fatigue가 가장 큰 issue로 부각될 당시 Ramtron은 fatigue를 피하는 방법의 하나로 Dynamic Shadow RAM을 제안하였다. 이는 FRAM을 기록할 때는 DRAM처럼 사용하여 nonswitching mode를 이용하고 유사시 저장할 때에만 switching mode를 이용하는 방법이다. 즉, 그림 2에서 보듯이 기록시에는 remanent polarization을 “0”로 지정하고 전압을 가할 때 유지되는 saturation polarization을 “1”로 지정하여 DRAM처럼 작동시키고 저장을 필요로 할 때에는 “0”으로 기록된 것은 그대로 두고 “1”로 기록된 것은 switching하여 반대 remanent polarization으로 바꾸어 주는 것이다. 만일 전원이 끊어질 경우 순간 잔류전압을 이용하여 switching 하도록 design하였다. 이는 현재 사용중인 hibernation computer의 기능과 유사한 것으로 사용자의 computer의 전원이 갑자기 꺼지면 memory 저장이 가능하나 main power가 차단되면 효과가 없어



〈그림 2〉 DSRAM의 작동방법

개발로 이어지지 않는고 특허로만 남게 되었다. 그러나 FRAM은 반드시 switching이 필요하다는 당시의 고정관념을 탈피했다는 것은 주목받을 만 하였다.

1Tr FRAM

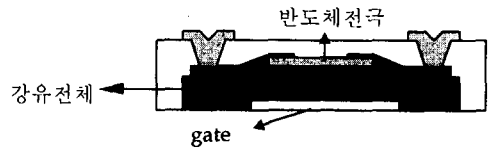
1960년대에 강유전체를 이용한 memory 개념이 제시된 이래 1970년대에 Westinghouse에서는 강유전체를 CMOS transistor의 gate oxide로 사용하는 single transistor type 강유전체 memory 구조를 제안하였다. 이는 강유전체의 분극상태에 따라 transistor의 channel 상태가 달라지게 됨으로써 source-drain 사이에 흐르는 전류의 변화를 측정하여 memory 상태를 읽는 방법이다. 이 구조는 1T-1C가 전하량을 측정하는데 반하여 분극량, 즉 전하밀도에 의한 channel상태를 읽기 때문에 capacitor size에 구애받지 않고 필요한만큼의 remanent polarization만 갖춘 강유전체라면 사용이 가능하다.

그러나 이 구조는 gate가 word line으로 연결되기 때문에 메모리를 기록할 때 word line에 걸린 모든 cell들이 동시에 같은 memory로 기록된다. 따라서 순수한 RAM이기 보다는 EEPROM이나 Flash memory에 가깝다. 더욱이 강유전체를 Si위에 직접 증착해야하는 문제 때문에 한 때 버려진 특허로 있다가 특허시효가 끝난 요즈음 Rohm사에서 gate oxide 위에 강유전체 capacitor를 탑재하는 변형된 구조를 채택하여 MFMS구조로 작동가능성을 보인데다 강유전체 증착기술의 발달로 SBT의 저온증착 및 ferroelectric on Si 증착이 demonstration되면서, MFIS, MFS 구조로 발전하고 있다.

SFRAM

미 DARPA project중에서 Radiant Technology가 제안한 static charge를 이용한 memory 상태 읽기 방법이 SFRAM(Static FRAM)의 원조가 되었다. 강유전체는 domain을 갖고 있고 이 domain과 전기적으로 balance를 유지하기 위하여 강유전체 capacitor 전극과 강유전체 계면에는

charge들이 모이게 된다. 이를 bound charge라고 부르는데 일반적인 재료에 있어서도 계면의 potential 상태에 따라 이들과 balance를 이루는 charge의 분포가 다르게 된다. 따라서 포괄적으로는 electrostatic charge라고 부른다. 반도체의 경우, dopants의 극성 및 density에 따라 반도체의 conductivity가 달라지게 되는 것은 잘 알려진 사실이다. Radiant Technology는 이 점에 착안하여 강유전체 capacitor의 전극으로 반도체를 사용하여, 강유전체 분극 방향에 따라 bound charge의 극성과 density가 결정되면 반도체 전극의 conductivity(혹은 resistivity)를 측정하여 분극상태를 결정하는 방식을 고안하였었다.(그림 3) 현재 SFRAM의 전극은 In2O3을 사용하고 있다. 이 구조는 임의의 cell을 기록하기 위한 select transistor와 이를 읽기 위한 또 하나의 select transistor가 필요하기 때문에 저집적 FRAM에만 적합하다.

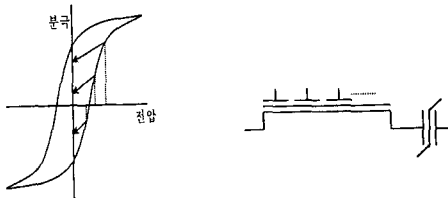


(그림 3) SFRAM 구조

다진법 memory

한편, 강유전체는 partial polarization이 가능한 점을 이용하여 분극상태를 다단계로 조작하여 이른바 adaptive learning이 가능한 다진법memory로 개발하는 연구도 진행중이다. 예를 들어 input pulse의 voltage를 switching voltage보다 작게하거나 input pulse의 pulse width를 charging time보다 작게하면 강유전체는 완전히switching되지 않고 부분적으로만 switching된다(그림 4.1). 이러한 pulse를 반복하면 차츰 saturated polarization값을 갖게되는데 결국 어떤 cell의 분극상태는 그 cell에 얼마만한 input pulse가 가해졌는가 하는 history를 읽는 것이다. 이는 축적된 memory를 읽는 것, 소위 자기학습(adaptive learning)기능을 말한다. 다진법 memory는 또한

한 cell이 저장할 수 있는 memory가 여러 개이므로 memory 용량도 커진다. 말하자면 4진법 memory cell은 2진법 memory cell에 비해 두 배의 저장능력을 갖는다. 그러나 이 보다 중요한 것은 parallel process가 가능해진다는 점이다. 종래의 transistor는 “0”, “1”의 신호만 처리했는데 여러 개의 gate가 달린 이른바 multi-port transistor는 neural device에 이용되는 것으로 동시에 입력되는 여러 개의 신호를 처리할 수 있다. 이에 의한 transistor output 신호 역시 여러 전류(전압) level이 되기 때문에 이를 강유전체 capacitor에 연결하면 동시 처리 신호를 저장하는 memory 기능을 갖게 되는 것이다(그림 4.b).



(a) 전압변화에 따른 partial switching (b) 다진법 transistor로 구성된 FRAM

(그림 4) 다진법 FRAM 작동원리 및 구조. 다진법 transistor의 출력전압에 의해 분극 level이 결정된다.

Ferroelectric HDS

High density data storage로서는 magnetic data storage나 CD, DVD같은 optical data storage가 있으나 magnetic field나 파장의 물리적 한계 때문에 3차원 기록이 가능한 holographic image나 atomic scale의 data storage 개념이 제시되면서 AFM, STM, 그리고 near-field optical data storage 쪽으로 연구가 진행되고 있다. 강유전체 HOS에 있어서는 EFM(electrostatic force microscope) 혹은 SFM(scanning force microscope) mode를 이용하여 AFM tip으로 강유전체를 locally polarization하고 이를 tip으로 scanning하면서 domain에 의해 형성된 electric field에 대한 force를 측정한다. Bit size는 현재

300 Å까지 demonstration되어 있는데 현재의 system으로는 기록속도가 system에 의해 제한되고 tip의 마모, 진동문제 등 때문에 상용화의 걸림돌이 되고 있다. 그러나 IBM에서 예측하기로는 MEMS 기술이 조만간 기존의 motor, actuator를 대체하여 microdrive가 가능할 것으로 보고 있으며 이는 또한 low power로 작동될 것으로 보고 있다. FRAM chip이 궁극적인 DATA stage이겠지만 가격과 휴대성을 고려할 때 ferroelectric HDS가 메모리세대 일부를 차지할 것으로 기대된다.

2. Reliability issue

Fatigue

Fatigue가 구체적으로 issue가 된 것은 FRAM의 lifetime을 1015 cycle 이상으로 규정한데서 기인한다. 이것은 당시 20MHz computer에 FRAM을 장착하여 DRAM처럼 사용할 경우 될 경우 주 40시간, 10년간 사용한다는 가정하에 계산된 수치이었다. 그러나 강유전체를 HDS media나 digital camera film으로 사용하면 106 cycle이면 족하고 (평생에 걸쳐 백만회 이상 camera film을 사용한다는 것은 사실은 의문이다. 그러나 이 수치는 DVD의 규격기준을 따른 것이다.) FRAM을 RFID에 사용하면 109 cycle이면 충분하다. 이 정도 수치라면 fatigue는 issue가 될 수 없다. 더욱이 DRAM의 급속한 발전으로 FRAM이 DRAM을 대체하기보다는 FRAM고유의 niche market에 보다 비중을 둘 경우, 상품의 용도에 따라 수명이 각각 다르게 정해져야 한다. 엄밀한 의미에서 fatigue free 물질은 없다. SBT도 조성에 따라 혹은 제조조건에 따라 fatigue가 종종 발견된다. Fatigue는 입력신호에 의해서도 그 값이 달라진다. Fatigue는 그 말 자체가 의미하듯이 무리하게 신호를 가하지 않는한 fatigue를 상당히 줄일 수 있다. 예를 들어 너무 급하게 switching 시키지 않든지(wave보다는 alternating pulse를 사용함), 너무 빨리 charging하지 않는다든가(square pulse 보다는 triangular pulse) 아니면 너무 완벽하게 polarization을 saturation시키지 않는다면(약간

작은 전압으로 불완전 switching 유도), 의외로 fatigue가 줄어드는 것을 볼 수 있다. PZT에 굳이 ceramic 전극을 쓰지 않더라도 Pt 전극을 사용할 경우 3V~4V 작동전압에서 $10^9 \sim 10^{11}$ cycle의 수명을 확보하는 것은 이미 잘 알려진 사실이다. 따라서 test 시간을 단축하기 위하여 강한 신호를 사용했다면 실제 service condition에 맞게 보상할 필요가 있다.

Breakdown

FRAM의 breakdown을 이해하려면 FRAM 작동을 연결해서 생각해야 한다. FRAM은 alternating pulse를 사용하기 때문에 breakdown도 pulse를 가하는 순간, 즉 순간적으로 전압이 상승할 때 발생한다. 이것을 impulse breakdown이라 부른다. 흔히 TDDB(time dependent dielectric breakdown)은 steady state thermal breakdown에 해당한다. Impulse breakdown의 mechanism도 열에 의한 것이나 steady state thermal breakdown에 비하면 열을 발산할 시간적 여유가 없으므로 그만큼 failure가 크다. 익히 알려진 바와 같이 강유전체의 hysteretic 특성 때문에 전압을 가하면 energy가 강유전체 내부에 축적이 되고 이는 열로 나타난다. 따라서 강유전체에 pulse를 가하는 순간 내부 열이 갑자기 증가하여 breakdown으로 이어지는 것이다. 때로는 breakdown이 일어나기도 전에 열에 의해 전극이 터지면서 벗겨져버리기도 한다. 따라서 FRAM의 breakdown을 방지하려면 열을 방출할 수 있는 시간적 여유, 즉 pulse간 delay time을 어느 정도 주어야 한다. 흔히 square wave로 fatigue를 측정하다 보면 fatigue가 극심하게 발생하게 되는데 실제로는 열에 의한 전극 파열로 polarization이 측정 안되는 것이지 fatigue에 의한 것이 아니다. 앞서 언급했듯이 fatigue 측정시 accelerated test는 시간을 절약할 수 있지만 극심하게 acceleration하면 fatigue보다는 breakdown이 먼저 발생하거나 전극 손상이 발생할 수 있으므로 의미없는 accelerated test는 지양해야 한다. 특히 고온에서의 test는 거의 breakdown이나 전극 손상만 가져

올 뿐 본연의 열적 특성을 얻을 수 없다. Fatigue를 제대로 측정하려면 차라리 저온에서 실시해야 한다. 왜냐하면 저온에서는 열에 의한 failure가 제거될 뿐만 아니라 noise로 작용하는 leakage current도 줄어 보다 깨끗한 분극량을 얻을 수 있다. 더욱이 저온에서는 domain의 switching이 어려워 domain chain이 잘 끊어지므로 자연히 fatigue가 가속된다.

Imprint

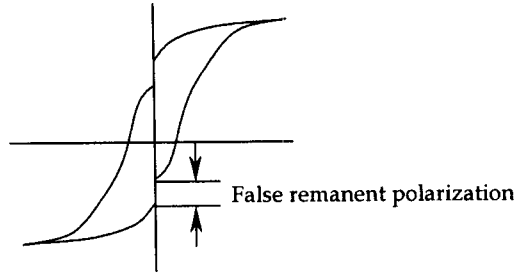
Imprint효과는 일상생활에서도 발견된다. TV에 자석을 갖다 대면 한 동안 반점이 보인다든가 녹음된 tape을 오랫동안 놓아두면 녹음을 지워도 미세한 소리가 남는다든가 하는 것들이다. 강유전체도 한 쪽 분극방향으로 오래 놓아두면 switching이 잘 되지 않는데 이를 ageing현상으로 분류하고 일정전압이나 unipolar pulse를 지속적으로 받음으로써 switching이 잘 안되는 현상을 imprint로 분류한다. Ageing은 주로 thermal process에 의한 domain stabilization 혹은 domain pinning 현상이고 imprint는 전기적 혹은/ 및 열적 외부 stress에 의한 domain stabilization이나 domain pinning 현상으로 ageing은 remanent polarization 자체가 감소하는 것이지만 imprint는 hysteresis loop가 한 쪽으로 쏠리는 경향을 보인다. 따라서 imprint의 경우는 한쪽 분극방향이 dominant 하여 switching을 시켜도 원래의 분극으로 돌아가는 현상조차 보이게 된다. domain stabilization이나 pinning에 필연적으로 따라오는 것은 charged defect나 space charge들이다. 이들이 domain과 결합하여 domain의 switching을 막는 것으로 보고 있다. 따라서 imprint를 최소화하려면 강유전체에 dopant를 impurity 수준으로 첨가하거나 전극-강유전체간 계면을 개선한다. 한 가지 편법은 강유전체 capacitor에 positive unipolar pulse를 적당한 온도에서 일정시간 가한 다음 negative unipolar pulse를 동일조건으로 가하는 것이다. 이는 양쪽 방향으로 imprint를 미리 시키는 결과가 되어 작동중에는 더 이상 imprint가 발생하지 않는다. 그러나 그만큼 remanent

polarization loss가 발생한다. 이는 미리 외적 stress로 ageing시킨 것과 다름없기 때문이다.

False remanent polarization

False remanent polarization은 일정전압 인가 후 zero voltage에서 remanent polarization이 저절로 약간 소멸되는 현상을 말한다(그림 5). 아직 용어가 통일되어있지 않아 initial polarization loss, relaxation, 말고도 심지어는 imprint라고 부르는 사람도 있다. 여러가지 mechanism이 제안되었지만 측정조건에 따라 그 값이 변하기도 하여 절대적인 설명은 아직 못하고 있는 실정이다. 다만 양방향 imprint를 시킬 경우 이 loss가 커지는 것으로 미루어 보아 순수 강유전체 component에 series로 연결되어 있는 상유전체 component가 그 역할을 하는 것으로 본다. 즉 전압을 가할 때는 윗 전극과 아래전극 사이에 polarization을 유지하다가 전압이 제거 되면 강유전체 성분은 remanent polarization을 유지하려하는데 상유전체 성분은 discharging하려하므로 강유전체의 dipole moment가 다소 상쇄되는 것이다. 계면은 대개의 경우 space charge가 몰려있어 계면 자체는 상유전체 capacitor처럼 작용하므로 이러한 추론이 가능하다. 그러나 강유전체 내부에도 상유전체 phase가 섞여있을 것이므로 동일한 효과를 나타낼 수 있다. 한편, imprint가 발생하면 hysteresis loop가 한 쪽으로 쏠리고 이렇게 되면 한 쪽 remanent polarization은 polarization loss가 거의 없고 다른 한쪽은 이 loss가 심해진다. 이로 미루어 볼 때 imprint에 의해 domain이 한 쪽으로만 정렬하면 switching을 해도 사실상 상유전체를 switching하는 결과가 되므로 discharging이 뚜렷하게 나타날 것이다. 따라서 false remanent polarization은 상유전체 capacitor component의 discharging 효과로 결론지을 수 있다. 결국 false remanent polarization을 최소화하기 위해서는 강유전체 phase를 완벽하게 기르고 charged defects, space charge를 줄여야 한다. 일반적으로 강유전체를 fatigue시키면 false remanent polarization이 커진다. 역으로 말하면 fatigue

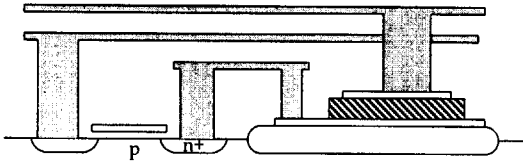
free 물질은 false polarization loss, 그리고/혹은 imprint도 없을 것이라는 것이 유추된다.



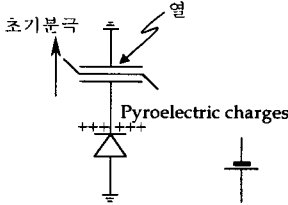
(그림 5) 잔류분극 소멸 현상. Discharging current 특성을 따른다.

Pyroelectric effect

강유전체는 예외없이 pyroelectric 물질이다. 따라서 FRAM은 반드시 pyroelectric effect가 따라다닌다. Pyroelectric effect는 강유전체가 열을 받거나 열이 빠질 때 전하가 발생하는 것이므로 이 전하들이 회로와 연계되어 memory에 영향을 줄 수 있다. 예를 들어 1T-1C의 경우 강유전체 capacitor는 transistor의 drain에 연결되는데 이 부분은 p-n junction을 이룬다. Pyroelectric charge는 강유전체의 분극방향에 의해 결정된다. 만일 negative pyroelectric charge가 발생하면 이들은 p-n junction을 자연스럽게 통과하겠지만 positive pyroelectric charge가 발생하면 이들은 p-n junction에서 막힌채로 depletion layer를 형성하고 이는 p-n junction capacitance와 pyroelectric charge량에 의해 전압을 유도한다. 이 전압은 강유전체 분극을 반전시키는 전압이 되어 적어도 partial polarization reversal이 발생, memory에 영향을 주게되는 것이다(그림 6). 이 pyroelectric charge에 의한 전압을 back voltage라고 부르는데 주어진 junction capacitance에 대해 pyroelectric charge량이 많을수록 back voltage도 커질 것이므로 온도 변화가 클수록 memory failure를 보다 많이 발생시킬 것이 분명하다. 따라서 pyroelectric coefficient가 작아지도록 강유전체물질을 control하고, p-n junction capacitance가 낮아지도록 diffusion layer를



(a) p-n junction과 강유전체 capacitor



(b) 등가회로 및 back voltage 발생

〈그림 6〉 1T-1C FRAM에 미치는 pyroelectric 효과. Pyroelectric charge가 junction에 물리면서 back voltage에 유도되고 이에 의해 분극반전이 예상된다.

control해야 한다. 일반적으로 pyroelectric coefficient는 그 강유전체 물질의 dielectric constant(small oscillation at zero volt)와 spontaneous polarization에 비례한다. Dielectric constant는 zero volt에서의 hysteresis loop의 접선의 기울기와 등가이므로 결국 rectangular shape의 hysteresis loop가 얻어지도록함과 동시에 spontaneous polarization은 필요한 양까지만 낮아지도록 강유전체 물질의 조성, microstructure 등을 control해야 한다. 그러나 무엇보다도 pyroelectric coefficient가 근본적으로 낮은 물질 선정이 중요하다. 이러한 점에서는 PZT보다는 SBT가 유리하다.

3. DRAM vs FRAM

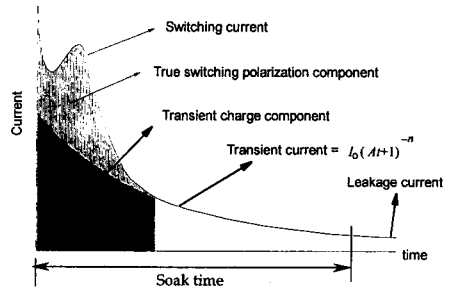
FRAM이 DRAM을 대체할 수 있다는 가능성은 아직도 유효하다 그러나 FRAM과 DRAM은 근본적으로 다른 점이 있다. 이를 충분히 이해할 경우 FRAM으로 대체해도 될만한 상품이 있고 DRAM을 그대로 쓸 수 밖에 없는 상품이 있음을 알게 된다. 이는 상품개발의 방향설정에 있어 중요한 결정

요소로 작용한다.

Leakage current

DRAM에서 leakage current가 issue가 되는 것은 refresh하는 동안 지속적으로 전압이 가해지므로 이 때 constant leakage current가 DRAM작동에 영향을 주지 않도록 충분히 noise level 이하로 낮추기 위하여 $10^{-7} \text{Amp/cm}^2 \sim 10^{-8} \text{Amp/cm}^2$ 이하가 되도록 규정한다. FRAM의 경우는 입력신호가 pulse이다. 따라서 pulse를 가할 때에만 leakage current에 대해 주의하면된다. Leakage current는 DC 전압을 가하여 전류가 충분히 안정되었을 때의 값으로 정한다.(그림 7) 실제로는 DC 전압을 가하면 한동안 전류가 감소한다. 이를 transient current라 부르고 이 영역을 soak time이라 부른다.

DRAM에서 고려하는 leakage current는 충분



〈그림 7〉 Generic leakage current curve와 polarization current와의 관계

히 안정된 영역에서의 current이고 FRAM에서 고려하는 leakage current는 soak time에서의 current, 즉, transient current이다. 따라서 transient current가 강유전체의 switching current 및 non-switching current에 비하여 무시될 정도면 FRAM 작동에 지장이 없다. 강유전체의 transient current를 측정하는 것은 사실상 불가능하므로 leakage current의 modeling equation을 이용하여 역으로 추정한다. 물론 transient current를 evaluation하는 영역도

pulse width로 한정된다. 공교롭게도 통상적으로 강유전체 capacitor는 leakage current가 높으면 transient current가 작아지고 leakage current가 작으면 transient current가 커진다. 특히 ceramic 전극을 사용하면 soak time도 현격하게 줄어든다. 종합적으로 FRAM designer가 원하는 transient current 수준은 10^{-6} Amp/cm² 이하이다. 이는 강유전체의 switching current나 non-switching current가 워낙 크기 때문이다. 대개의 경우 leakage current도 이 정도 수준이면 FRAM에서 사용하기에 무난하다. 이러한 면은 FRAM이 DRAM을 대체하는데 유리하게 작용하는 점이다.

Breakdown

앞서 언급한바와 같이 DRAM에서는 refresh과정이 있어 일정 전압하에서의 dielectric breakdown이 issue가 되어 TDDB를 측정하여 evaluation한다. 이는 장시간의 test를 요하기 때문에 acceleration 하기 위하여 고온에서 test하는 것이 표준으로 되어 있다.

그러나 FRAM은 pulse를 가하므로 TDDB test가 필요없다. 대신 pulse를 가하는 동안 impulse breakdown이 발생하므로 FRAM에 있어서의 breakdown test는 fatigue test와 동일하게 이루어진다. 즉 fatigue test를 하되 breakdown이 관찰될 때까지 pulse를 가하는 것이다. Breakdown이 발생하면 polarization값은 거의 무한대 이므로 fatigue curve가 갑자기 변하는 것을 볼 수 있다. 따라서 DRAM의 TDDB에 대응하여 FRAM에서는 Cycle Dependent Ferroelectric Breakdown (CDFB)으로 표준화하는 것이 바람직하다. CDFB test를 실시하면 breakdown이 발생하기 전에 electrical degradation이 먼저 발생하면서 leakage current가 증가할 수도 있다. Leakage current 증가는 transient current증가도 수반하므로 CDFB curve가 증가하는 것을 볼 수 있다. 따라서 generic CDFB curve는 fatigue 영역, electrical degradation 영역과 함께 breakdown point가 발견된다. TDDB나 CDFB test가 공히

시간이 소요되기는 마찬가지이므로 FRAM이 DRAM을 능가하려면 FRAM evaluation tool 개발도 중요한 과제가 된다.

Refresh and restoration

DRAM이 refresh를 해야하는 점이 약점이라면 FRAM은 restoration과정이 필요한 것이 약점이다. DRAM에 대해 refresh를 한다고 해도 작동시간이 더 소요되는 것은 아니나 FRAM의 restoration은 switching과정이 추가되는 것이기 때문에 memory cell 작동시간이 그만큼 더 소요된다. 따라서 전체적인 memory operational speed는 restoration이 없는 FRAM 작동개념을 도입하지 않는 한 DRAM을 따를 수 없다. Restoration이 필요없는 FRAM은 결국 memory reading시 switching이 필요없는 FRAM일 것이다. 이는 NDRO FRAM이다. 그러나 현재의 NDRO FRAM은 순수한 RAM이라기 보다는 EEPROM에 가깝다. 따라서 RAM인 동시에 NDRO인 architecture가 개발되어야 한다.

Retention test

FRAM의 retention test는 어느 일정 온도에서 capacitor의 위 아래 전극들을 short시키거나 open시킨 채로 시간당 변하는 분극을 측정하는 것이다. Short(closed mode)시킬 때는 전압을 가할 수도 있다. 전압을 가한다면 이는 TDDB, 혹은 imprint 측정과 동일한 실험이 된다. 전압을 가하지 않는다면 이는 FRAM의 경우 ageing test와 동일하다. Imprint mechanism에서 언급했듯이 imprint가 accelerated ageing test라면 retention test를 할 때에는 전압을 가하거나 unipolar voltage pulse를 가하는 것이 시간 절약상 바람직하다. 이러한 test외에 한 가지 더 필요한 것은 thermal shock test이다. 즉 급격한 온도 변화를 주는 것이다. DRAM에서는 온도 fluctuation을 가속화한 것을 thermal shock test라고 하지만 이는 memory 상태를 test하기 보다는 packaging이나 bonding quality등을 검사하기 위한 것이고 FRAM의 경우는 memory상태 변화를 보기 위한

목적이 더 강하다. 또한 이 FRAM에서는 thermal pulse를 한 번 가하는 것으로도 thermal shock test로 볼 수 있다. 왜냐하면 FRAM의 경우는 단 한 번의 온도변화에 의해서도 pyroelectric effect가 발생하여 일정온도에서는 memory loss가 없더라도 온도변화에 의해 memory loss가 발생할 수 있기 때문이다. 특히 어떤 온도 구간에서는 강유전체 phase transition이 존재할 수 있으므로 FRAM의 thermal shock test에서는 온도의 fluctuation 외에도 reference 온도도 중요한 test 기준이 된다.

4. 신개념

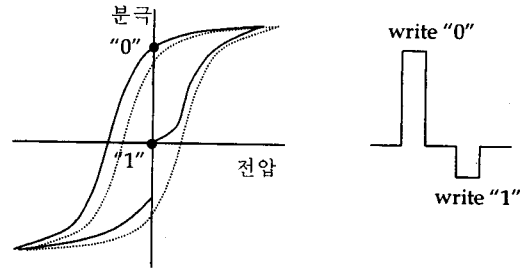
지금까지 언급한대로 FRAM 개발에는 trade-off를 요하는 것들이 많다. 그러나 trade-off만이 최선은 아니다. 오히려 나쁜 특성을 피해가거나 역 이용하는 등의 방법으로 새로운 개념의 FRAM 창출도 가능하다. 여기서는 몇 가지 실례를 소개하고자 한다.

Imprint를 이용한 FRAM

Imprint가 무조건 나쁜 것인가? Imprint된 강유전체의 hysteresis loop는 한 쪽으로 쏠려있고 이에 따라 분극이 존재하는 상태와 분극이 사실상 소멸되는 상태로 구분된다. 기존의 FRAM이 “positive polarization”, “negative polarization”을 “0”, “1”로 지정하는 개념이라면 “polarization”, “near zero polarization”을 “0”, “1”로 지정하는 logic도 가능하다 (그림 8). 이러한 경우 switching은 asymmetric alternating pulse를 사용하여 imprint상태를 유지시킨다. 즉 imprint가 회복되지 않도록 pulse를 조작하는 것이다. 이 경우 fatigue test도 asymmetric alternating pulse를 사용하기 때문에 fatigue 현상을 상당히 줄일 수 있다. 그러나 이러한 FRAM은 “1”과 “0”의 분극차이가 작기 때문에 고집적에 응용하기에는 한계가 있다.

Switching이 없는 FRAM

Fatigue는 switching 때문에 발생한다. 그렇다면 switching이 없는 FRAM에는 fatigue가 없을

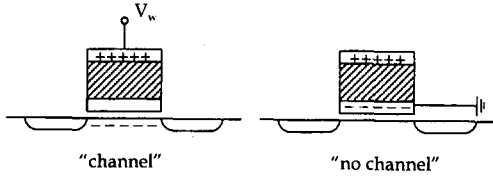


〈그림 8〉 Imprinting된 강유전체의 memory logic과 이 logic을 유지하기 위한 writing pulse.

것이다. Switching이 없음에도 불구하고 “1”, “0” state를 형성할 수 있는 방법은 무엇인가? 강유전체 capacitor 자체에서는 이것이 불가능하다. 그러나 다른 구조로 형성할 때에는 가능할 수 있다. 예를 들어 Rohm사에서 제안한 MFMS 구조의 경우 floating gate(중간 electrode)를 이용하는 것이다. Rohm사는 MFMS를 switching하여 channel을 “positive channel”과 “negative channel”로 바꾼다. 그리고 이를 “0”, “1”로 지정한다. 이 때 어느 한쪽 분극상태에서 floating gate를 ground하게 되면 channel에 유도되었던 charge들은 floating gate에 형성되고 channel에는 아무런 charge들이 존재하지 않게 된다. 따라서 “channel”, “no channel”의 state가 가능해 지고 “channel”은 charging으로, “no channel”은 discharging으로 구성할 수 있게 된다(그림 9). 이 경우 분극은 항상 같은 분극방향만 사용하므로 switching이 필요 없으며 imprint가 존재하더라도 기능에는 상관이 없고 오히려 channel을 안정화 시키는 효과가 있게 된다. 더욱이 switching이 필요 없으므로 Ec값이 큰 강유전체 물질도 사용할 수 있다. 오히려 Ec값이 클수록 외부신호에 영향을 덜 받아 보다 안정된 device가 될 수 있다. 그러나 이러한 FRAM은 discharging circuit이 따로 필요하다. 따라서 이 FRAM도 고집적 FRAM에는 적합하지 않을 수 있다.

Leakage current를 이용하는 FRAM

상기의 switching이 필요 없는 FRAM에 있어

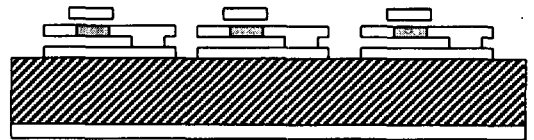


(그림 9) Charging 및 discharging에 의한 memory logic형성

만일 discharging circuit을 사용하지 않으려면 강유전체나 gate oxide(gate dielectric)의 leakage current를 이용할 수 있다. Leakage current는 전압이 ohmic behavior로 증가하면서 어느 영역 부터는 갑자기 non-ohmic behavior로 증가하는 것이 보통이다. Space charge limited current, Pool-Frenkel emission current, 혹은 Shottky emission current 등의 mechanism이 존재하는데 이는 물질마다 다르다. 따라서 non-ohmic behavior가 나타나는 전압 영역이 서로 다른 강유전체와 gate dielectric 물질을 택한다면 한 물질에는 ohmic leakage current가 흐르고 다른 물질로는 훨씬 값이 큰 non-ohmic leakage current가 흐르게 된다. 이 경우 MFMS 전체를 charging하여 channel을 형성하려면 강유전체나 gate dielectric에 ohmic leakage current만 흐를만한 작은 전압을 가하여 charging하고 floating gate에 charge가 bound되게 하려면 강유전체에는 non-ohmic leakage current가 흐르고 gate dielectric에는 ohmic leakage current가 흐르는 전압을 가하여 discharging한다. 이 때 charging 전압과 discharging 전압을 다르게 하는 것이 바람직하지 않을 경우 전압 pulse width를 control할 수도 있다. 즉 MFMS가 charging될 정도로만 전압 pulse width를 먼저 정하고 discharging을 위해서는 강유전체나 gate dielectric중 한쪽에만 leakage current가 충분히 흐르도록 pulse width를 정하는 것이다. 그러나 leakage current level을 조정하는 것은 전압을 다르게 하던, pulse width를 control하던 circuit상으로는 쉽지않은 방법이다.

1T-1C FRAM 대 1T-CC FRAM

강유전체 물질이 PZT나 SBT로 제한된 이유중의 하나는 FRAM제작 중간에 강유전체 capacitor가 제작되기 때문에 반도체 공정온도에 부합되는 강유전체를 필요로 했기 때문이다. 그렇다고 해서 PZT나 SBT가 CMOS transistor에 쉽게 탑재되는 것도 아니다. 그렇다면 강유전체 capacitor와 CMOS 공정과 분리할 수는 없는가? 만일 강유전체 capacitor를 공유하면서 강유전체의 윗전극만 따로 분리시키고 그 위에 TFT를 제작하면 이는 TFT-FRAM이 된다(그림 10). 이렇게 강유전체 capacitor를 미리 제작해 놓고 그 위에 transistor를 제작한다면 강유전체 물질의 선택의 폭이 넓어질 것이다. TFT-FRAM은 공통 아래전극 및 공통 강유전체, 그리고 개별 윗전극과 윗전극에 대응하는 개별 TFT를 갖는 구조이므로 1T-CC(1 transistor-common capacitor) FRAM이라는 용어가 보다 합당하다고 본다. 물론 이 구조를 실현하려면 TFT가 CMOS transistor에 견줄만한 품질을 갖추어야 하는 전제조건을 갖는다. 다행히 TFT-LCD의 발전에 따라 laser annealing 등의 방법으로 TFT는 상당 수준에 도달해 있다. Si를 강유전체 위에 직접 증착하는 TFT제작이 용이하지 않다 하더라도 SOI를 도입하여 강유전체 위에 TFT를 제작하는 방법도 고려할 수 있다. 반도체 기술동향을 보더라도 CMOS는 SOI로 대체되고 있으므로 TFT-FRAM의 실현은 멀지않은 것으로 본다. TFT-FRAM에 적합한 강유전체로는 bismuth titanate 계열을 생각할 수 있다.



(그림 10) 1T-CC TFT-FRAM의 구조. 윗전극마다 TFT가 연결된다.

SFRAM 대신 1Tr TFT-FRAM

1T-1C FRAM을 1T-CC FRAM으로 대체할 수 있다면 1Tr FRAM도 1Tr TFT-FRAM으로 대체할 수 있다. 즉 Si 위에 강유전체를 직접 증착

하어(Ferroelectric on Si) FRAM을 만드는 대신 강유전체 위에 Si를 직접 증착하여(Si on ferroelectric) FRAM을 만드는 것이다. 이에 유사한 것이 SFRAM이다. SFRAM은 강유전체를 gate oxide로 사용한 ferroelectric TFT로 볼 수 있다. 이는 amorphous Si TFT를 사용하는 TFT-LCD와 같은 구조이다. 따라서 SFRAM의 윗전극은 단순한 반도체 박막일 뿐 source, drain과 같은 diffusion layer가 존재하지 않는다. 따라서 강유전체 분극에 의한 계면 상태를 감지하기 위하여 300Å-400Å의 극히 얇은 막을 필요로 한다. 만일 source, drain, channel이 명확히 구분된 TFT를 제작하면 계면 상태의 감지능력도 보다 향상될 것이다(그림 11). 이를 실현하기 위하여 Si박막을 bonding법으로 강유전체에 접합시키는 이른바 Smart-cut방법을 고려할 수 있다. 1Tr TFT-FRAM에서 가장 중요한 것은 Si박막과 강유전체 간의 반응을 피하는 것이다. 설혹 반응이 되더라도 그 물질은 유전성이어야 한다.



〈그림 11〉 1Tr type TFT-FRAM의 구조. TFT자체가 윗전극 역할을 한다.

맺는말 : 궁극적인 FRAM, 1T-1C NDRO FRAM

FRAM은 niche market을 먼저 형성하면서 상품으로 현실화될 것이다. 강유전체의 특성을 이용한 변형된 FRAM이나 새로운 개념의 FRAM 출현도 가능할 것이다. 그러나 궁극적으로 우리가 추구하는 것은 DRAM에 견줄만한 FRAM이다. DRAM의 작동 속도, 집적도의 발전이 너무 빠르다 보니 FRAM이 당초 희망했던 DRAM 대체는 그만큼 늦어지고 있으나 DRAM 개발에 대한 투자 부담이 워낙 크데다 후발 업체들이 쉽게 추적해 오므로 부분적으로라도 FRAM으로 전환하는 것은

불가피한 상황이다. 한편 DRAM을 완전히 대체하는데는 현재로서는 한계가 있는데 이는 근본적으로 FRAM은 1T-1C의 경우 restoration해야 하는 제약과 NDRO의 경우 RAM이기 보다는 EEPROM이기 때문이다. 따라서 1T-1C NDRO FRAM에 대한 개념이나 design이 창출된다면 DRAM 대체는 어느 정도 보장된다. 왜냐하면 1T-1C는 RAM을 위한 것이고 NDRO는 restoration을 없애기 위함이기 때문이다. 이것이 실현될 경우 설혹 DRAM의 대체가 기존 산업구조상 불가능할지라도 1T-1C NDRO FRAM은 그 독자적 시장 잠재력이 크다. 이것은 비단 FRAM 시장을 위해서 뿐만 아니라 우리가 FRAM 기술을 주도하기 위해서라도 신개념의 확보가 필수적이다. 기존 FRAM의 기본특허는 미국이 차지하고 있고 상품화 기술은 일본이 앞서가고 있는 상황에서 우리가 그들을 따라잡을 수 있는 길은 새로운 개념의 도입밖에 없기 때문이다. 이에 따라 FRAM은 switching을 해야 한다는 고정관념을 벗어나고자 “charging”, “discharging” 개념을 도입해 보았다. 공정면에서는 반도체 공정에 부합되어야 한다는 조건을 벗어나서 강유전체의 공정을 우선으로 하는 TFT-FRAM 개념도 정립해 보았다. 이외에도 새로운 시각으로 FRAM을 바라본다면 1T-1C NDRO FRAM이 가능하다고 본다.

저자 소개



柳 寅 敬

1953年 1月 16日生 1993年 9月 삼성종합기술원 Lab長, 1990年 12月~1993年 8月 VA Tech Research Scientist, 1978年 9月~1984年 8月 현대 중공업 과장, 〈주관심 분야: 강유전체를 이용한 Revis〉