

작은 정현파입력의 50% Duty Ratio 디지털 클럭레벨 변환기 설계

正會員 朴文陽*, 李鐘烈*, 金旭*, 宋元哲*, 金景洙*

Design of Digital Clock Level Translator with 50% Duty Ratio from Small Sinusoidal Input

Mun-Yang Park*, Jong-Ryul Lee*, Ook Kim*, Won-Chul Song*, Kyung-Soo Kim* *Regular Members*

요약

휴대용 기기에서 자체 발전하여 클럭원으로 사용되는 TCXO의 출력과 같은 작은 진폭 (400 mV)의 정현파 입력을 내부 논리회로의 클럭원으로 사용하기 위한 파형정형 및 50%의 듀티 비(duty ratio)의 출력을 가지는 새로운 디지털 클럭레벨 변환기를 설계, 개발 하였다. 정, 부 두 개의 비교기, RS 래치, 차이지 펌프, 기준 전압 발생기로 구성된 새로운 신호 변환회로는 출력파형의 펄스 폭을 감지하고, 이 결과를 궤환루프로 구성하여 입력 비교기 기준 전압단자로 궤환시킴으로서 디지털 신호레벨의 정확한 50%의 듀티 비를 가진 출력을 생성할 수 있다. 개발한 레벨변환기는 ADC등의 샘플링 클럭원, PLL 또는 신호 합성기의 클럭원으로 사용할 수가 있다. 설계는 0.8 μ m double metal double poly analog CMOS 공정을 사용하고, BSIM3 model을 사용하였으며, 실험결과 370 mV의 정현파 입력을 50 +3%의 듀티 비를 가진 안정된 논리레벨 출력 동작특성을 얻을 수 있었다.

ABSTRACT

A new digital clock level translator has been designed in order to produce a clock source of the internal logic circuits. The translator output has 50% duty ratio from small sinusoidal input such as TCXO which oscillates itself in portable components. The circuit consists of positive and negative comparators, RS latch, charge pump, and reference voltage generator. It detects pulse width of the output waveform and feedbacks the control signal to the input comparator reference, producing output waveform with valid 50% duty ratio of the digital signal level. The designed level translator can be used as a sampling clock source of ADC, PLL and the clock source of the clock synthesizer. The circuit was designed in a 0.8 μ m analog CMOS technology with double metal, double poly, and BSIM3 circuit simulation model. From our experimental results, a stable operating characteristics of 50 +3% duty ratio was obtained from the sinusoidal input wave of 370 mV.

* 한국전자통신연구원

論文番號 : 97313-0905

接受日字 : 1997年 9月 5日

I. 서론

근래의 모든 회로들은 극히 일부를 제외하고 고집적이 가능하며 신뢰성있는 디지털 논리회로로 대체되고 있으며, 이러한 추세는 공정기술의 발전과 회로기술의 발전에 힘입어 시스템의 소형화, 고성능화, 저가격화를 위해 다양한 기능을 하나의 실리콘 웨이퍼에 집적화하는 과정에서 필연적이다. 이에 따라 고주파회로 또는 아날로그회로에서 얻은 신호를 디지털 신호레벨로 변환하는 기능을 개별적으로 제작하여 처리하기 보다는 논리회로와 같은 웨이퍼에 집적화하는 것은 매우 큰 의미를 갖는다.

이러한 집적화 과정의 일환으로 레벨변환 회로 특히 슈미트 트리거(schmitt trigger)회로는 Otto Schmitt가 1930년에 캐소드 또는 에미터 결합의 쌍안정 멀티바이브레이터로서 간단하게 구현한 이래 많은 설계자들에 의해 다양한 회로가 연구되어 왔으며 분석이 이루어져 왔다 [1], [2]. 본 논문은 일종의 슈미트 트리거회로로서 디지털 논리레벨로 신호를 변환하는 회로이며, 이러한 디지털 신호 변환회로는 대부분의 집적회로를 설계하기 위하여 필수적으로 사용하는 회로이다. 이 회로의 사용목적은 외부에서 입력되는 클럭신호 또는 데이터가 시스템 또는 보드내의 배선에 의한 영향, 전원회로의 이상 등으로 변화가 있을 때 고정된 threshold 전압을 사용하지 않고 히스테리시스(hysteresis)를 발생시켜 잡음 여유도(noise margin)의 증대를 목적으로 사용되며, 또한 사용회로 기술이 다른 경우의 신호 레벨 인터페이스 [3], [4], 출력파형의 reshaping [5] 등 다양한 방면에서 레벨 변환을 위해 사용되고 있다.

가장 널리사용되고 있는 슈미트 트리거회로[6]는 논리 신호레벨의 잡음여유도를 증대하기 위하여 인버팅 형태에 궤환소자를 연결한 각 3개씩의 N, PMOS를 사용하여 신호레벨과 매칭되는 두 개의 다른 switching threshold 전압을 가진 회로로서 두 threshold 전압의 차이 즉 히스테리시스(hysteresis)를 가진다. 이와 같은 회로 형태는 집적회로의 회로를 설계할 때 이미 threshold 전압이 정해지며, 이 결과 소자의 공정결과에 따라 threshold 전압의 변동이 있게된다. 물론 이러한 특성의 변화가 회로 전체의 특성을 좌우하는 특수한 회로에서는 사용하지 못하지만 일반적인 집적회로 소자 제작시 입력회로에 널리 사용되고 있다. 한편 이와같은 고정된 히스테리시스 즉 CMOS 레벨변환

또는 TTL 레벨변환 특성을 가지는 회로와 달리 회로를 부가하여 외부 단자에서 low 또는 high로 조절하거나, 입외의 전압을 인가하여 특정한 레벨변환이 가능한 회로도 구현[3], [4] 되고 있다. 그러나 이와 같이 구현된 회로는 입력이 특정한 값 이상 즉 논리레벨 low 또는 high 레벨에 대하여 동작이 가능하며, 출력 특성 역시 고정된 threshold 전압으로서 회로 소자의 변화 및 공정 결과에 의해 출력 파형이 각기 다르게 된다.

본 논문의 구현회로는 외부 입력을 캐패시터 커플링하며, 2개의 비교기 및 RS 래치, 차아지 펌프로 구성된 궤환회로를 구성하여 위와 같은 논리레벨의 입력 뿐만 아니라 수백 mV의 작은 정현파 입력까지도 논리레벨로 변환하며, 출력특성이 50%의 듀티 비율 얻을 수 있는 새로운 슈미트 트리거회로를 설계 제작하였다.

II. 일반적인 디지털 레벨 변환기

잡음 여유도를 증가시키기 위한 슈미트 트리거회로는 매우 다양하게 구성할 수가 있다. 디지털 논리 입력의 인버터 형태로 구성하여 출력을 궤환 시키는 방식 및 연산증폭기 또는 비교기를 이용한 슈미트 트리거회로 등이 있을 수 있으며, 사용 목적 또는 집적화 가능성 등에 따라 사용 되어질 수 있다.

그림 1은 집적회로에서 가장 많이 사용되고 있는 논리레벨 입력(0V 5V)의 변환이 가능한 슈미트 트리거회로 [6], [10] 및 전달특성을 나타낸 것이다.

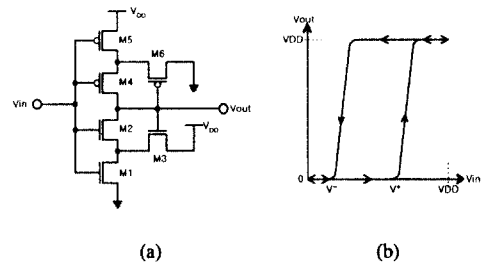


그림 1. 일반적인 논리레벨 입력의 슈미트 트리거
(a) 일반적인 슈미트 트리거 및 (b) 전달특성

Fig. 1 Conventional logic level input schmitt trigger
(a) Conventional schmitt trigger and (b) Transfer characteristics

그림 1의 회로에서 M1, M3로 구성된 NMOS는 V^+ 즉 정 트리거전압을 생성하기 위한 케환 회로로서 M1과 M3의 면적비로서 식 (1)과 같은 정의 threshold 전압이 결정되어지며, M5, M6로 구성된 PMOS는 V^- 즉 부 threshold 전압을 생성하기 위한 케환 회로로서 M5와 M6의 면적 비로서 부의 threshold 전압이 결정된다. 이와 같이 결정된 특성은 그림 1 (b)와 같으며, 이 회로의 히스테리시스는 식 (3)과 같이 나타낼 수가 있다. 위의 특성에서 보는 바와 같이 입력이 상승시 일반적인 threshold 전압보다 높아야 출력이 변하게 되며, 반대로 하강시에는 일반적인 threshold 전압보다 낮아져야 출력이 변하게 되어 결과적으로 입력 전압의 잡음 여유도를 증가시키게 된다.

$$VT^+ = \frac{V_{DD} + \sqrt{\frac{\beta_1}{\beta_3}} V_{TN}}{1 + (\beta_1/\beta_3)} \quad (1)$$

$$VT^- = \frac{\sqrt{\beta_5/\beta_6} (V_{DD} - V_{TP})}{1 + (\beta_5/\beta_6)} \quad (2)$$

$$VT_H = VT^+ - VT^- \quad (3)$$

한편 고정된 형태의 threshold를 가진 방법과 달리 사용 용도에 따라 threshold를 조절할 수 있는 방식 [3]이 고안되었으며 그림 1 회로에서 한쌍의 MOS 즉 NMOS, PMOS의 소오스를 M3 및 M6의 드레인에 연결하고, 소오스를 VDD 및 GND에 연결하며, 이의 게이트를 외부단자로 하고, 단자의 입력에 따라 외부에서 threshold 전압을 조절할 수 있게 하여 CMOS 또는 TTL 레벨 변환 등 용도에 따라 사용 가능하도록 한 회로이다.

또 다른 방법은 기본적인 그림 1의 슈미트 트리거 회로에 파형의 정형을 위해 출력측에 두개의 인버터를 추가하여 케환회로를 구성한 슈미트 트리거회로[5]가 있으며, 앞, 뒤 두 개의 인버터 사이에 외부에서 threshold 전압을 조절 할 수 있게 입력 트랜지스터 및 케환을 위한 1쌍의 P, NMOS를 삽입한 회로로 외부에서 threshold V^+ , V^- 를 조절할 수 있게 구현한 회로도 보고되고 있다 [4].

전체적으로 앞에서 살펴본 슈미트 트리거 회로는 디지털 논리레벨 입력 즉 0V, 5V의 입력전압을 대상으로 하는 슈미트 트리거 회로이다. 그러나 실제 회

로를 구성할 때에는 위의 방식과 같은 논리레벨의 입력이 아닌 매우 작은 전압전폭의 신호를 디지털 논리레벨로 변환시켜야 하는 경우가 매우 빈번하게 발생된다. 이 과정은 특히 아날로그/디지털이 혼재된 회로에서 발생하며 이러한 경우 그림 2와 같은 MOS 비교기등을 이용한 방법이 널리 사용된다 [7]. 그림 2는 일반적인 전압모드의 비교기 및 정 케환 형태의 슈미트 트리거 회로를 나타내고 있다. 이 회로의 동작은 만약 비교기 부 단자가 $V_{ref-low}$ 에 연결되어 있다면 출력은 low ($V_{out-low}$)에서 high ($V_{out-high}$)로 가게 된다. 이에 대한 동작은 그림 2(b)에서 나타낸다.

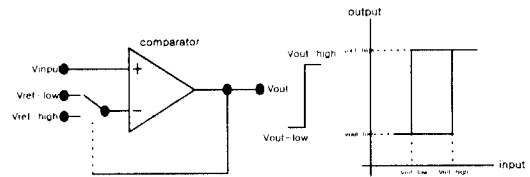


그림 2. 일반적인 전압형 슈미트 트리거회로 및 전달특성
(a) 일반적인 전압형 슈미트 트리거 및 (b) 전달특성
Fig. 2 Conventional voltage mode schmitt trigger and (b) Transfer characteristics

이와 같은 일반적인 방식의 슈미트 트리거는 문헌에 많이 소개되고 있으며, 기준 전압원으로 VDD 또는 GND로 사용하거나, 출력의 정 케환 방식을 사용하기도 한다. 그러나 이 방식 또한 기준 전압원을 사용하여야 한다. 또한 입력의 변동이 있을때는 threshold 전압을 맞추기 위하여 기준전압을 변화시켜야 하며, 입력 신호가 디지털 레벨이 아닌 매우 작은 신호에 대해서는 기준전압원 설정회로 및 비교기 설계방법을 달리 하여야 한다.

전체적으로 지금까지 논의한 슈미트 트리거회로는 종류 및 방법에 따라 히스테리시스를 달리 할 수는 있지만, 본 논문에서 구현하고자 하는 50%의 듀티 비를 가지는 슈미트 트리거 회로는 소개되지 않고 있다. 또한 다른 방법으로 출력파형의 듀티 비를 맞추기 위해서는 플립-플롭등을 이용하여 출력파형을 2분주하여 사용하면 가능하나, 이 경우 주파수가 반으로 감소된다는 단점이 있다. 본 논문은 일반적인 디지털 신호 및 작은 전폭의 정현파까지도 디지털 레벨 변환

이 가능하게 설계된 300mV의 히스테리시스를 갖는 슈미트 트리거회로 및 출력파형을 감지하여 케환시키고, 기준전압이 입력의 변화에 대하여 추종하여 동작하며, 주파수가 반으로 감소되지 않고 50%의 듀티비를 갖도록 출력을 생성하는 새로운 슈미트 트리거 회로를 설계 구현하였다.

III. 제안된 디지털 클럭레벨 변환기 설계

본 논문에서는 앞장에서 살펴본 비교기와 비슷한 방식으로, CMOS회로로 구성한 정, 부 비교기 및 다음단에 RS 래치를 두었고, 래치 출력의 폭을 감지하여 정, 부 입력비교기로 케환시키므로서 일반적인 디지털 논리레벨의 입력 뿐만 아니라 수백 mV의 작은 정현파 입력까지도 디지털 논리레벨로 변환할 수 있으며, 아울러 50% 듀티 비의 출력파형을 얻을 수 있는 새로운 슈미트 트리거회로를 설계 제작하였으며, 이의 전체 회로를 그림 3에 나타내었다.

구현된 새로운 슈미트 트리거 회로의 전체적인 동작은 다음과 같다. TCXO 또는 보드에서 발생시키는 클럭 소오스로서 회로의 입력인 수백 mV 진폭의 작은 정현파 입력을 커패시터 커플링하고, 이 신호를 내부 논리 중심레벨로 변환하기 위해 레벨 쉬프트회로로서

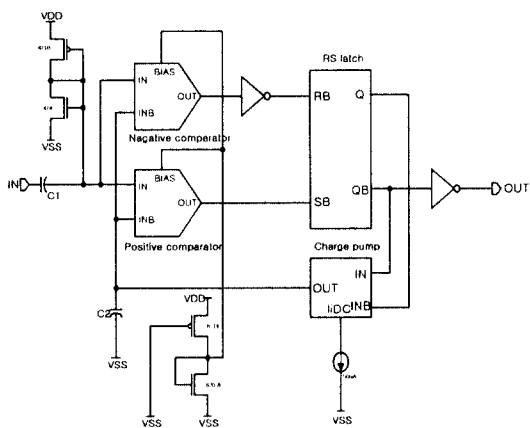


그림 3. 제안한 작은 정현파입력의 50% 듀티 비 출력의 디지털 클럭레벨 변환기

Fig. 3 Proposed 50% duty ratio digital clock level translator from small sinusoidal input

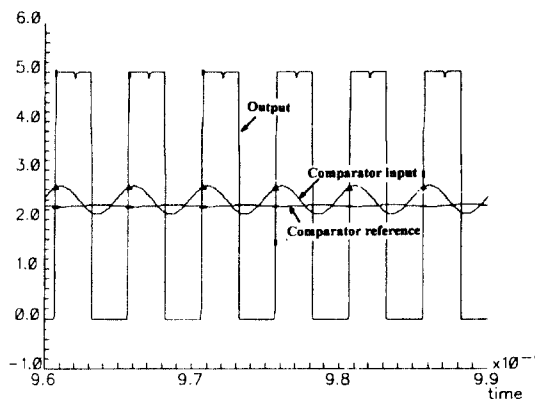


그림 4. 입력 및 출력파형
Fig. 4 Input and output waveform

입력을 논리레벨 중심인 2.5 V 전위로 레벨 쉬프트한 후, 히스테리시스를 발생하기 위한 두개의 정 부 비교기로 입력되고, 각 비교기의 출력은 RS 래치의 set, reset 단자에 입력되어 디지털 레벨로 변환된다. 또한 이 출력은 파형의 폭을 감지하여 50%의 듀티비 만들기 위한 조절 신호 즉 기준전압을 생성하는 차이지 펌프회로로 입력된다. 차이지 펌프는 출력 파형의 low, high 폭을 감지하며, 감지된 결과는 커패시터로 필터링되어 두개의 입력 비교기의 기준 전압원으로 연결되어 케환회로를 구성한다. 결과적으로 입력의 변화에 따라 기준 전압원이 변화, 추종하여 최종적으로 디지털 레벨의 출력 파형을 50%의 정확한 듀티비를 갖는 신호로 만들어 주게된다.

1. 정, 부 비교기

그림 5에 비교기를 나타내었다. 구조는 상단에 PMOS 트랜지스터로 전류미러를 형성하고, 비교기의 게이트 전압 1 V/구동전류가 50 μ A가 되도록 1쌍의 외부 P, N MOS로 전류원을 형성한다. 정, 부 비교기의 구조는 동일하며, 단지 정 비교기는 기준 전압과 연결되는 트랜지스터의 채널 폭이 작게 설계(M1:M2 = 4:8)하고, 반대로 부 비교기는 기준전압과 연결되는 트랜지스터의 폭이 크게 설계(M1:M2 = 8:4) 되어있다. 이 결과 각 비교기는 입력되는 전압은 2.5 V 기준 전압에 대하여 $V^+ = 2.79$ V, $V^- = 2.48$ V 오프셋을 가지며 결과적으로 약 310mV의 히스테리시스를 가지게

된다. 기준전위와 비교된 비교기의 출력은 논리레벨로 증폭하기 위해 디지털 레벨로 인버팅되어 다음단 인버팅 버퍼 및 RS 래치로 입력된다.

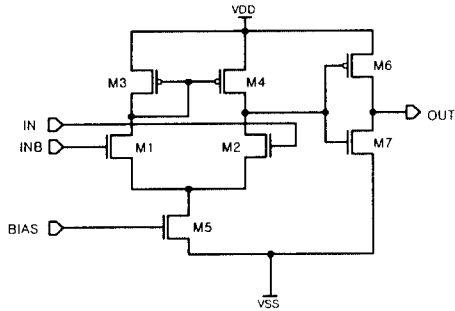


그림 5. 비교기회로
Fig. 5 Comparator circuit

2. RS 래치

RS 래치의 설계는 일반적인 CMOS 형태를 가지며, 입력 RB, SB의 입력으로 부 비교기의 출력은 인버팅되어 RB 단자에 입력되며, 정 비교기의 출력은 SB 단자에 입력된다. 출력 Q는 SB 단자에 low가 입력되면 high가 되고, RB 단자에 low가 입력되면 low가 되게 설계하였다.

3. 차이지 펌프

차이지 펌프회로는 본 회로의 출력 특성 즉 50%의 듀티 비를 구현하기 위해 입력측으로 궤환루프를 형성하는 회로로서, RS 래치의 출력을 입력받아 비교기의 기준 전압을 생성하기 위한 회로이므로 회로의 동작 특성이 매우 중요하며 그림 6에 나타내었다.

그림 6 (a)는 차이지 펌프 구현 회로이며, 그림 6 (b)는 이의 등가회로이다. 이회로는 간단한 차이지 펌프 회로에 비하여 bias voltage 생성원 및 기준 전류원이 필요한 등 매우 복잡하지만 RS 래치의 Q, QB를 모두 사용한 차동 입력을 사용하여 빠른 응답 및 안정된 동작특성을 얻기 위하여 구현한 수단이다. 회로의 연결은 RS 래치의 Q출력이 차이지 펌프회로의 INB에 연결되며, QB 출력은 IN으로 연결된다. 전체적인 동작은 정, 부 비교기에서 비교된 출력에 따라 RS 래치의 출력 상태가 결정되고, 이 출력이 차이지 펌프 회로로 입력되게 된다. 입력된 RS 래치의 Q출

력의 low 상태가 길면 출력측 M4 PMOS가 on되어 캐패시터 C2로 일정한 전류가 흘러 충전이 되게되어 캐패시터 충전 전위가 VDD (5 V) 쪽으로 상승하게 된다. 반대로 Q의 출력의 high 상태가 길게되면 C2 캐패시터의 충전된 전하가 방전하게 되어 캐패시터 전위가 GND (0 V) 쪽으로 하강하게 된다. 이의 등가회로가 그림 6 (b)이다. 등가회로에서 보는 바와 같이 설계된 차이지 펌프는 입력신호에 따라 전류가 내부로 흐르거나, 외부 즉 C2로 흐르게 되며, 이때 전류 I_1 과 I_2 는 같게 회로를 설계하여야 균형된 전위를 얻어 안정되게 동작한다. 즉 high/low의 유지시간이 같을 경우($TPD = TPU$) C2의 전위는 외부에서 입력되는 신호가 캐패시터 커플링되고 레벨 쉬프트된 입력신호의 중심전위에 머물게 된다.

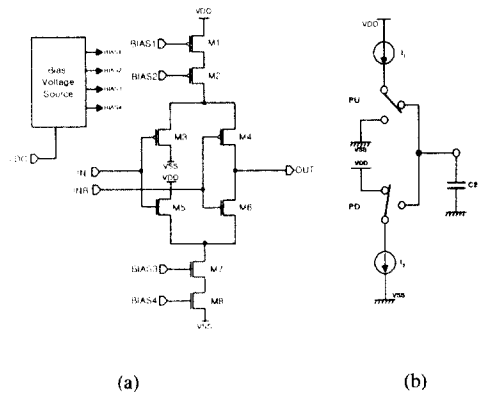


그림 6. 차이지 펌프회로 (a) 상보형 회로 및 (b) 등가회로
Fig. 6 Charge pump circuit (a) differential mode circuit and (b) equivalent circuit

위와 같은 동작을 수행하는 차이지 펌프의 출력은 C2 캐패시터에 충/방전이 되며 이 충, 방전 전압이 정, 부 비교기의 기준전압 단자로 입력되게 된다. 여기서 캐패시터의 역할은 전압 잡음을 완화하는 일종의 필터링과 회로의 응답 특성을 제어하게 되므로 특성에 따라 조정이 필요하다.

IV. 실험 결과

제안된 디지털 신호 레벨 변환기는 NMOS 및 PMOS

의 threshold 전압이 0.74 V와 -1.03 V인 0.8m 2 metal 2 poly analog CMOS 공정을 사용 하였으며, 설계에 사용된 툴은 Cadence사 Analog Artist를 사용하여 회로 시뮬레이션, DRC, LVS 등 모든과정을 수행 하였다. 개발 결과 회로의 칩 부분 사진을 그림 7에 보였으며, 소요 면적은 0.13 mm² 이다.

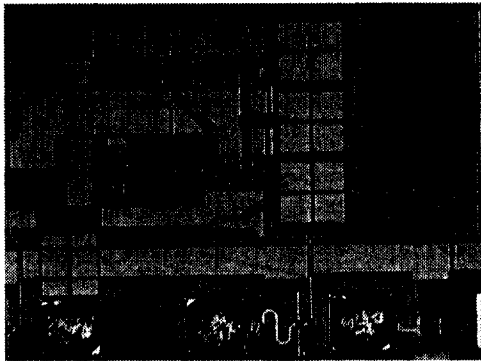
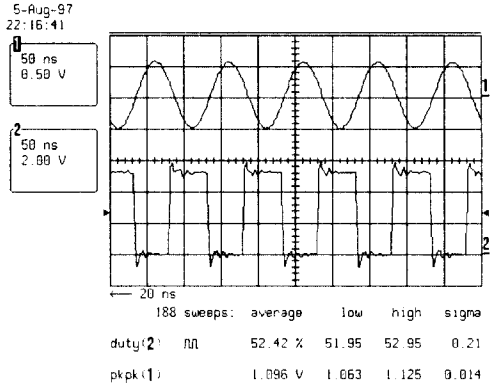
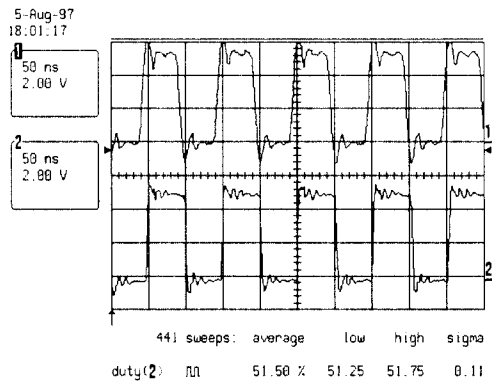


그림 7. 제안된 회로의 칩사진
Fig. 7 Chip microphotograph of the proposed circuit

본 회로의 패키지 상태 시험 결과를 그림 8에 나타내었으며, 10MHz 대역에서 설계 의도에 맞게 50%의 듀티 비에 3%이내에 오차로서 동작 함을 확인할 수 있었다. 특히 그림 8(a)에 나타낸 바와 같이 370 mV의 작은 진폭의 정현파 입력에 대하여 약 3%의 듀티



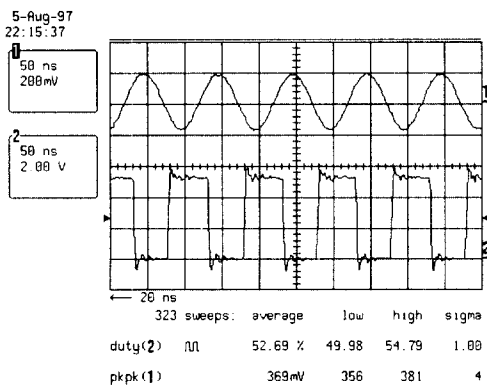
(b)



(c)

그림 8. 5V 동작시 입력과 출력 특성 측정 결과
(a) 입력 370 mV-P-P 정현파 입력시 출력특성, (b) 입력 1V P-P 정현파 입력시 출력특성 및 (c) 논리 레벨 0V 5V 입력시 출력특성

Fig. 8 Measured output versus input at 5V power supply (a) output waveform at 370 mV P-P sinusoidal input, (b) output waveform at 1 V P-P sinusoidal input and (c) output waveform at logic level input



(a)

비 오차를 갖는 디지털 출력을 얻을 수 있었으며, 논리레벨인 0V-5V입력(그림 8(c)에서도 0.5%의 오차를 갖는 출력을 얻을 수 있었다.

그림 9는 제안 회로의 주파수 특성을 실험한 결과로서 1MHz에서 50MHz까지 3% 이내의 출력특성이 안정되게 출력하는 것을 보여주고 있다.

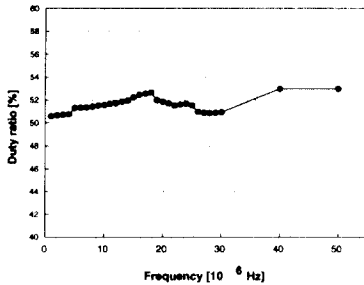


그림 9. 1 MHz 50 MHz 주파수 변화에 대한 듀티 변화 측정 결과

Fig. 9 Measured duty ratio variation at frequency responses from 1 MHz to 50 MHz

V. 결 론

디지털 신호레벨 변환기는 대부분의 집적회로의 입력단에서 보드의 간섭 및 전원잡음, 배선의 영향에 의한 잡음 및 간섭에 대한 잡음 여유도를 향상시키기 위해 빈번히 사용하는 회로로서 일반적인 LSTTL IC 인 LS7414의 경우 히스테리시스 전압이 0.9 V 정도이다. 그러나 제안된 슈미트 트리거회로는 상용 IC에 비해 매우 작은 입력에서도 논리레벨 변환이 가능하게 설계되었으며, 특히 아날로그-디지털 혼용회로 설계에서는 더욱 더 필요성이 제기된다. 본 논문은 작은 진폭(400mV)의 정현파 입력은 물론 5 V 논리레벨의 입력까지도 300 mV의 히스테리시스 전압을 가지면서 입력되는 신호의 주파수 감소없이 50 ±5%의 듀티 비(duty ratio)를 가질 수 있는 디지털 클럭레벨 변환기를 설계, 개발하였다.

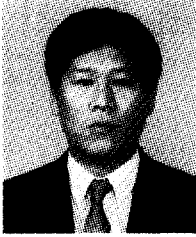
0.8 μm analog CMOS 공정으로 구현된 클럭레벨 변환기는 최소 370 mV의 작은 정현파 입력에 대하여 3%내의 오차를 가진 출력신호를 생성하였으며, 아울러 5 V 논리레벨 입력에 대해서도 동일한 결과를 얻을 수 있었다. 또한 주파수 대역 특성 또한 1 MHz에서 50 MHz까지 3% 내의 오차를 가진 출력을 얻을 수 있었다.

본 회로의 응용 분야로는 ADC등의 샘플링 클럭원, PLL 또는 신호합성기의 클럭원, 아날로그/디지털 회로가 혼용된 mixed-IC 내부회로의 클럭 생성 및 재생

회로 등 다양한 방면에 사용 될 수가 있다.

참 고 문 헌

1. M. J. s. Smith, "On the Analysis of the Schmitt Trigger", *IEEE, JSSC*, Vol. 23, No. 1, pp. 292-294, FEB 1988.
2. M. T. Abuelma'Atti, "A Note on the Graphical Analysis of the Schmitt Trigger Circuit", *IEEE, JSSC*, Vol. 24, No. 4, pp. 1157-1158, AUG 1989.
3. A. Pfister, "Novel CMOS Schmitt Trigger with Controllable Hysteresis", *IEE Electronics Letters* Vol. 28, No. 7, pp. 639-641, 26th March 1996.
4. Zhenhua Wang, "CMOS Adjustable Schmitt Triggers", *IEEE Transactions on Instrumentation and Measurement*. Vol. 40, No. 3, pp 601-605, JUNE 1991.
5. Dajeong Kim, Joongsik Kih, and Wonchan Kim, "A New Waveform-Reshaping Circuit : An Alternative Approach to Schmitt Trigger", *IEEE, JSSC*, Vol. 28, No. 2, pp. 162-164, FEB 1993.
6. John P. Uyemura, "Circuit Design for CMOS VLSI", Kluwer Academic Publishers, 1992.
7. S. R. Ramirez Chavez, "Mixed-mode Schmitt trigger equivalent circuit", *IEE Electronics Letters* Vol. 31, No. 3, pp. 152-154, 2nd February 1995.
8. G. DI Cataldo and G. Palumbo, "New CMOS Current Schmitt Triggers", *IEEE, CICC*, pp. 1292-1295, 1992.
9. 일본, Patent No. JP653783, "Schmitt Trigger 회로", 1994.2.
10. 일본, Patent No. JP6224701, "Schmitt Trigger 회로", 1994.8.



朴 文 陽(Mun-Yang Park) 정회원
1981年 2月: 청주대학교 전자공학
과(학사)
1984年 2月: 한양대학교 산업대학
원 전자공학전공(석사)
1981年 1月~현재: 한국전자통신연
구원 회로소자기술연
구소 집적회로연구
부 선임연구원

※주관심분야: 통신 및 전송시스템 ASIC, 고전압구동
회로, 아날로그 집적회로

李 鍾 烈(Jong-Ryul Lee) 정회원
한국통신학회 논문지 1997년 9월호, 제22권 제9호 pp.
1948 참조

金 旭(Ook Kim) 정회원
한국통신학회 논문지 1997년 9월호, 제22권 제9호 pp.
1948 참조

宋 元 皙(Won-Chul Song) 정회원
한국통신학회 논문지 1997년 9월호, 제22권 제9호 pp.
1948 참조

金 景 洙(Kyung-Soo Kim) 정회원
한국통신학회 논문지 1997년 9월호, 제22권 제9호 pp.
1948 참조