

지연된 n-탭 상승 에지 클럭을 이용한 위상 오차 검출기의 설계와 DP-PLL에의 적용

正會員 박 군 종*, 구 광 일**, 윤 정 현***, 윤 대 회****, 차 일 환****

The design of phase error detector based on delayed n-tap rising
edge clock : It's DP-PLL system application

Kun Jong Park*, Kwang Il Gu**, Jeong Hyun Yun***, Dae Hee Youn****,
Il Whan Cha**** *Regular Members*

요 약

본 연구에서 망동기 시스템의 동기 기준 클럭과 시스템 클럭간에 발생하는 위상 오차를 최소화하기 위한 새로운 위상 오차 검출방식이 제안되었고 이 방식을 디지털 처리 위상 동기 루프(digital processing phase locked loop: DP-PLL)시스템에 적용하였다. 두 클럭간에 발생하는 위상 오차는 지연된 n-탭 상승 에지 클럭으로 구성된 위상 오차 검출기에 의해 위상 오차 변이(PEV: Phase Error Variation)로 출력된다. 위상 오차 변이는 5ns해상도로 검출되며 검출된 위상 오차 변이는 알고리즘에 의해 최적의 D/A변환기 계수를 추적하면서 위상 동기를 유지한다. 실험결과 위상 검출기는 빠르고 정확한 위상 추적 특성을 갖고 있으며 루프제어 알고리즘은 우수한 지터 억압 특성을 나타내었다.

ABSTRACT

In this paper, a novel method of minimizing the phase error is proposed. A DP-PLL system using this method is implemented and its performance is investigated, too. The DP-PLL system detects the phase error between reference clock and locally generated system clock. The phase difference is then reported as a PEV(Phase Error Variation), which is produced from the delayed n-tap rising edge clock circuit with 5ns resolution in the phase detector. The algorithm is used to track the optimal DAC coefficients, which are adjusted from sample to sample

* 동양공업전문대학교 전기전자통신공학부

** (주)싱커스텍 개발부장

*** (주)LG산전 연구소 선임연구원

**** 연세대학교 전자공학과

論文番號:97374-1015

接受日字:1997年 10月 15日

in such a way as to minimize the PEV. The proposed method is found to have remarkably good potential for fast and accurate phase error tracking characteristic. The algorithm shows good performance to suppress the low frequency jitter.

I. 서 론

디지털 통신망은 근본적으로 동기 방식을 사용한다. 북미 동기 계획은 4종류의 Stratum 레벨로 클럭 등급을 정하고 각각의 Stratum 레벨은 두 개의 망 노드간에 발생할 수 있는 슬립의 허용정도로 결정하고 있다. Stratum 1은 PRC(Primary Reference Clock)이며 $1.0 \cdot 10^{-11}$ 의 높은 클럭 정밀도를 요구하고 있으며 나머지 3개는 ANSI T1.101-1987에서 정의하고 있다 [1][2]. 유럽 동기 계획은 HRX(Hypothetical Reference Configuration)상에서 하루에 발생할 수 있는 최대 슬립 허용정도로 클럭의 정밀도를 결정하고 있다. 클럭의 정밀도는 클럭의 안정도로 결정할 수 있으며 클럭의 안정도는 MTIE(Maximum Time Interval Error)로 표현하고 있다. CCITT G.812에 의하면 주파수 이동도가 Transit노드에서는 $1.0 \cdot 10^{-9}$ 이하, Local노드에서는 $2.0 \cdot 10^{-8}$ 이하가 되도록 MTIE를 규정하고 있다. 망노드간의 동기[3]는 망동기 시스템에 의해 구현할 수 있으며 망동기 시스템의 성능을 결정하는 구성 요소들은 동기 기준 신호의 품질, 동기 신호를 전송하는 전송로의 성능 그리고 위상 동기 루프 장치 등이다[2]. 위상 동기 루프 장치는 1932년 Bellescize에 의해 위상 동기 루프(PLL)방식이 소개된 이후 1984년까지는 LPLL(Linear PLL)과 DPLL(Digital PLL)이 동기식 전송망에 응용되었다[4]. 최근에는 반도체 기술의 발달로 고속 디지털 부품, 마이크로프로세서, DSP등을 이용한 ADPLL(All Digital PLL), SPLL(Software PLL) 또는 DP-PLL(Digital Processing PLL)이 위상 동기 루프 장치의 주종을 이루고 있다 [4]. 위상 동기 루프 장치의 구현은 응답특성에 따라 TMS(Tightly Coupled Master Slave Synchronization) 방식과 LMS(Loosely Coupled Master Slave Synchronization)방식으로 구분하며 동기 기준 클럭의 순간 변이나 장애로 인해 발생할 수 있는 시스템 클럭의 위상 변이를 최소화할 수 있는 LMS방식이 권장되고 있다. No.4ESS[5], DTS[6], DMS-100[7], IPLL[8]등은

LMS특성을 갖고 있으며 DP-PLL의 대표적인 시스템으로 소개되고 있다. 이들 시스템은 동기 기준 클럭과 시스템 클럭의 위상 오차를 고속 계수기로 검출하며 검출된 데이터의 누적 평균을 구하여 위상 동기를 제어한다. 그러나 통신망의 전송속도가 높아지고 망 동기의 슬립허용 규정이 강화되면서 매우 높은 주파수의 계수 클럭을 필요로 하고 있다. 계수기의 주파수가 높아지면 계수기 출력 비트수가 증가되어 마이크로프로세서의 처리부담이 가중된다. 이에 대응하기 위해 계수 클럭을 사용하지 않고 두 클럭간의 위상 오차를 검출하는 새로운 위상 오차 검출방식을 제안하였다. 또한 루프를 제어하는 알고리즘을 DP-PLL에 적용하여 최적의 위상동기를 유지하는 새로운 DP-PLL을 제안하였다.

연구 내용으로는, 기존의 DP-PLL의 모델과 위상 검출방식을 검토하였고 디지털 신호 처리 프로세서인 TMS320C31에 의해 제어되는 새로운 위상 검출기의 동작원리 및 알고리즘을 설명하였다. 시스템의 성능은 실험 및 측정 결과를 토대로 검토하였고 결론을 얻었다. 실험결과 위상 오차 범위는 $\pm 2.5\text{ns/day}$, 위상 오차의 평균값은 -0.3009ns/day , 표준편차는 1.4480ns/day 의 결과를 얻었다. 그리고 충분히 낮은 차단 주파수를 갖는 루프를 구성하여 지터 억압 특성을 향상시켰다. 본 연구에서 제안한 위상 동기 루프 장치는 위상 동기 수렴 속도가 매우 빠르고 높은 정밀도의 위상 오차 제어가 가능하며 제안된 알고리즘 역시 위상 동기 루프 시스템에 잘 적용하고 있음을 확인할 수 있었다. 본 논문의 구성은 I장의 서론에 이어 II장에서는 기존의 DP-PLL의 모델과 위상 검출방식을 검토하였고 III장에서는 제안된 위상 오차 검출기의 하드웨어와 이를 제어하기 위한 알고리즘을 설명하고 해석하였다. IV장에서는 제안된 DP-PLL의 성능 고찰 및 측정결과를 분석 검토하였으며 V장에서는 본 연구의 종합적인 결론을 기술하였다.

II. DP-PLL모델과 위상검출기

DP-PLL은 일반적인 PLL기능을 마이크로프로세서를 이용하여 실현한 것이며 홀드오버 기능을 확보하여 LMS특성을 제공할 수 있다는 것이 특징이다[9]. 본 장에서는 DP-PLL의 기본 동작, 수학적 모델 그리고 위상 검출기에 대해 서술하였다.

1. 일반적인 DP-PLL

그림 1은 DP-PLL의 기존 구성도이며 동기 기준 신호 검출회로, 디지털 위상 오차 검출기, 마이크로프로세서, D/A변환기 그리고 VCXO로 구성한다. 위상 오차 검출기는 동기 기준 클럭과 시스템 클럭간에 발생하는 위상 오차를 계수기를 이용하여 주기적으로 검출한다. 마이크로프로세서는 검출된 계수기의 출력을 긴 시상수동안 누적한 다음 평균값을 구한다. 구해진 평균값은 알고리즘에 의해 처리되며 D/A변환기의 입력값을 결정한다. D/A변환기는 입력된 디지털값을 아날로그 전압으로 변환시키고 이 전압은 전압제어 수정 발진기를 발진시켜 위상 오차를 교정한다.

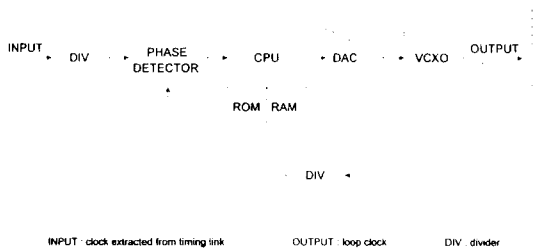


그림 1. 일반적인 DP-PLL의 구성도
Fig. 1. Block Diagram of General DP-PLL

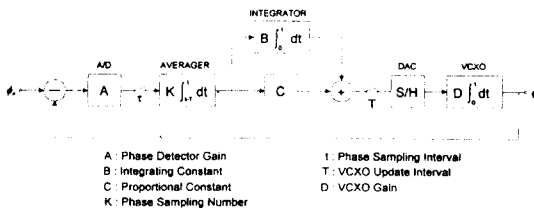


그림 2. DP-PLL의 해석 모델
Fig. 2. Analytical Model of General DP-PLL

그림 2는 DP-PLL의 분석모델이며 위상 검출기의 샘플 시간(τ)가 D/A변환기의 갱신 시간(T)보다 작을

경우 연속 함수로 근사화할 수 있다[8]. 그림 3은 근사화된 수학적모델이며 NTT방식과 동일하다. 그림 3에서 ϕ_R 은 동기 기준 신호의 위상, ϕ_L 은 루프 출력 신호의 위상 그리고 ϕ_E 는 두 신호의 위상차를 나타낸다. β 는 적분경로에서 곱해지는 값이며 α 는 위상 검출기의 이득과 D/A변환기-VCXO의 이득에 의해 산출되는 값이다.

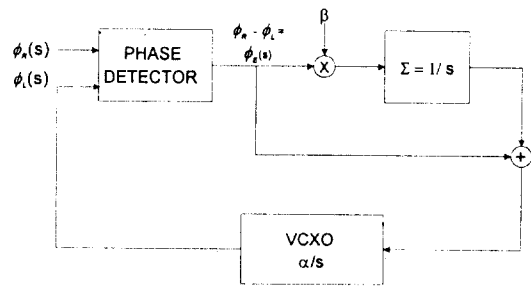


그림 3. DP-PLL의 수학적 모델
Fig. 3. DP-PLL's Mathematical Model in Frequency Domain

그러므로 루프 출력 클럭의 위상은 식 1과 같이 표현할 수 있고[5]

$$\Phi_L(s) = \frac{\alpha}{s} \left(1 + \frac{\beta}{s} \right) \Phi_E(s) \tag{1}$$

위상 오차는 식 2와 같이 표현할 수 있다.

$$\Phi_E(s) = \left(\frac{s^2}{s^2 + \alpha s + \alpha \beta} \right) \Phi_R(s) \tag{2}$$

식 1과 2로부터 루프의 입·출력 전달함수를 구할 수 있다[10].

$$H(s) = \frac{\Phi_L(s)}{\Phi_R(s)} = \frac{\alpha s + \alpha \beta}{s^2 + \alpha s + \alpha \beta} \tag{3}$$

식 3의 α 와 β 는 그림 2의 해석 모델로부터 다음과 같이 구해진다.

$$\alpha = A \cdot C \cdot D \tag{4}$$

$$\beta = \frac{B}{C} \tag{5}$$

여기서, 루프의 주파수 대역(ω_n)과 제동비(ζ) 그리

고 차단 주파수(f_{3dB})를 구하면

$$\omega_n = \sqrt{\alpha\beta}, \zeta = \frac{\alpha}{2(\alpha\beta)^{1/2}}$$

$$f_{3dB} = \frac{1}{2\pi} \sqrt{\alpha^2 + \alpha\beta + \frac{1}{2} \alpha \sqrt{\alpha^2 + 4\alpha\beta + 8\beta^2}}$$

이 되므로 루프의 전달함수는 2차 제어계의 전달함수와 대응시켜 다음과 같이 정리할 수 있다.

$$H(s) = \frac{2\zeta\omega_n s + \omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (6)$$

식 (6)의 전달함수에 α 와 β 값을 구하여 적용하므로써 DP-PLL의 주파수 응답 특성을 구할 수 있다.

2. DP-PLL의 디지털 위상 검출기와 루프 제어 알고리즘

디지털 위상 검출기는 동기 기준 클럭의 위상 Φ_R 과 루프 출력 클럭을 분주한 시스템 클럭의 위상 Φ_L 과의

차이를 높은 주파수를 갖는 클럭으로 계수하여 검출한다. 위상 오차 검출 방식은 반주기 방식과 전주기 방식이 있다. 반주기 위상차 검출방식은 No.4ESS, DTS, DMS100, IPLL 등에서 사용하고 있으며 동기 기준 클럭의 반주기 동안 위상 오차를 검출하고 나머지 반주기 동안 프로세서에 의해 처리토록 하기 때문에 정확한 위상 오차를 검출하기가 어렵고 추적시간이 오래 걸리는 단점이 있다. 이를 보완하기 위한 전주기 위상차 검출방식이 사용되기도 한다[11][12]. 위상 검출기의 출력 데이터는 루프 제어 알고리즘에 의해 처리되며 위상 오차의 정도에 따라 적분 상수(α)와 비례상수(β)를 서로 다르게 설정하여 주파수 응답 특성을 조절한다. 일반적으로 위상오차의 크기에 따라 Normal (Tracking)모드와 Fast(Acquisition)모드로 구분한다.

그림 4의 (a)는 No.4ESS의 위상 검출방식이며 계수 클럭은 4.096MHz이다. 계수기의 초기값을 -256으로 설정한 다음 동기 기준 클럭의 상승예지에서 위상 비교 클럭의 하강예지까지 계수하여 계수값이 0일 때

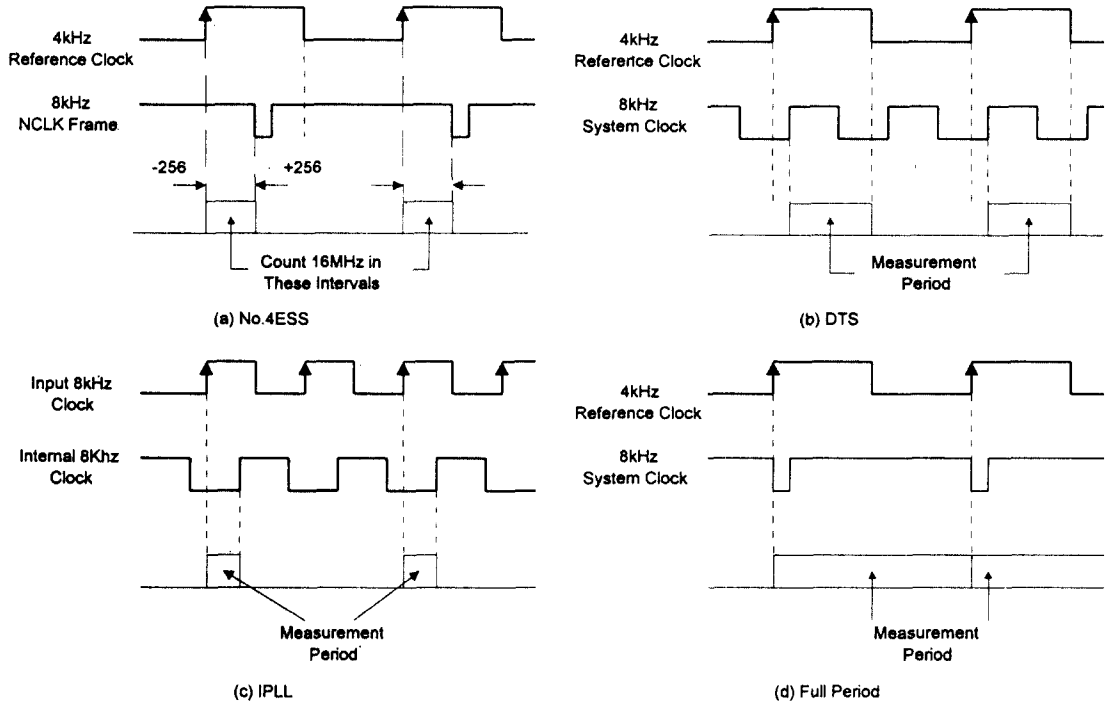


그림 4. 일반적인 DP-PLL의 위상오차 검출방식

Fig. 4. Phase Error Measurement Timing

위상 오차는 0이 되도록 하였다. DMS100은 10.24MHz의 계수 클럭을 사용하며 측정 주기만 다를 뿐 No. 4ESS와 유사한 방식으로 처리한다. 그림 4의 (b)는 DTS의 위상 검출방식이며 두 클럭의 위상 오차는 루프 출력 클럭 2.56MHz로 계수한다. 위상 비교 클럭의 상승에지에서 동기 기준 클럭의 하강에지까지 계수하고 계수된 데이터는 동기 기준 클럭의 나머지 반 주기동안 프로세서에 의해 처리된다. 그림 4의 (c)는 IPLL의 위상 검출 방식이며 동기 기준 클럭의 상승에지에서 위상 비교 클럭의 하강에지까지 4.096MHz의 계수 클럭으로 계수하여 위상 오차를 검출한다. 그림 4의 (d)는 전주기 위상 오차 검출 방식을 나타낸 것이며 계수 클럭은 16.384MHz이다. 계수기의 초기값은 4, 100으로 설정하여 13비트중 하위 4비트만을 이용하여 위상 오차를 제어한다. 이 방식은 Full Period라 부를 것이다. 이상에서 언급한 DP-PLL 위상 검출기의 특성을 표 1에 나타내었다.

본 연구에서 제안한 DP-PLL의 전체 구성 도는 그림 5와 같다. 시스템에서 사용한 동기 기준 클럭의 주파수는 4kHz이며, 루프 출력은 중심 주파수가 93.89886792MHz이고 오차 범위가 0.1PPM인 VCXO를 사용하였다. 시스템 클럭은 루프 출력을 분주한 19.44MHz를 사용하였다. 위상 검출기(Phase Detector)는 동기 기준 클럭과 시스템 클럭간의 위상 오차를 검출한다. 검출된 데이터는 마이크로프로세서로 전달되어 디지털 패턴으로 변형되고 변형된 디지털 패

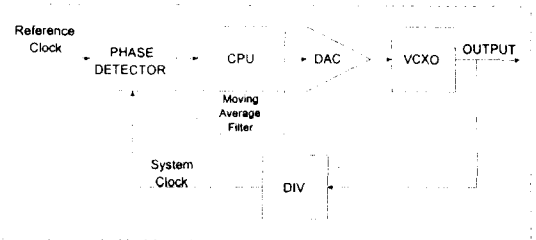


그림 5. 제안된 DP-PLL의 구성도
Fig. 5. Block Diagram of Presented DP-PLL

III. 제안된 위상 오차 검출기와 DP-PLL의 알고리즘

표 1. 일반적인 DP-PLL의 위상 검출기 특성

기종		반주기 위상오차검출				전주기 위상오차 검출
		No.4ESS	DTS	DMS100	IPLL	Full Period
위상오차 검출기 특성						
위상오차측정범위		125μs	125μs	125μs	125μs	250μs
계수클럭 (최소측정범위)		4.096MHz (244ns)	2.56MHz (390ns)	10.24MHz (97.7ns)	4.096MHz (244ns)	16.384MHz (61ns)
위상오차측정주기		250μs	250μs	400ms	250μs	250μs
계수데이터		9bits	9bits	8bits	9bits	4 of 13bits
α	Normal Mode	2.048 × 10 ⁻⁴ /s	3.125 × 10 ⁻⁴ /s	3.125 × 10 ⁻⁴ /s	6.0 × 10 ⁻⁴ /s	4.92 × 10 ⁻⁴ /s
	Fast Mode	6.55 × 10 ⁻³ /s	-	1 × 10 ⁻³ /s	4.8 × 10 ⁻³ /s	7.87 × 10 ⁻³ /s
β	Normal Mode	3.725 × 10 ⁻⁶ /s	3.725 × 10 ⁻⁶ /s	1.2352 × 10 ⁻⁷ /s	3.725 × 10 ⁻⁶ /s	3.725 × 10 ⁻⁶ /s
	Fast Mode	1.9 × 10 ⁻³ /s	-	3.125 × 10 ⁻⁴ /s	3.725 × 10 ⁻⁶ /s	5.96 × 10 ⁻⁵ /s
DAC조정 주기		8.192s	8.192s	12.8s	8.192s	8.192s

턴은 알고리즘에 의해 처리된 후 12비트의 해상도를 갖는 D/A변환기로 공급된다. 공급된 12비트 디지털 데이터는 D/A변환기에 의해 아날로그 전압으로 변환되어 VCXO를 구동한다. VCXO의 출력은 분할기(DIV)로 분할되어 위상 검출기에 공급되므로써 위상 오차를 제어한다.

3.1 위상 검출기

본 시스템에서 설계된 위상 오차 검출 회로는 동기 기준 클럭을 지연된 n-1탭 클럭들을 이용하여 동기 기준 클럭(250 μ s)과 시스템 클럭(51.44ns)의 위상 오차를 검출한다. 위상 검출기는 동기 기준 클럭의 상승에지에서 두 클럭의 위상 오차 검출을 시작한다. 그림 6은 위상 검출 회로의 기본 구성 도이다. 동기 기준 클럭은 n-1탭 지연회로로 입력되어 32개의 상승 에지를 갖는 클럭을 발생시킨다. 32개의 상승에지 클럭은 동기 기준 클럭의 상승에지에서 시스템 클럭의 논리 레벨을 검출한다. 시스템 클럭의 레벨이 '1'이면 논리 1을, 시스템 클럭의 레벨이 '0'이면 논리 0을 검출하여 32비트의 데이터를 래치한다. 래치된 32비트 데이터는 동기 기준 클럭의 하강에지에서 발생하는 인터럽트에 의해 마이크로프로세서가 읽어들인다. 그림 7은 n-탭 지연회로의 타이밍도이며 각 탭의 지연 시간은 최대 5ns로 설정하였다. 이 펄스 열은 동기 기준 클럭의 상승에지에서 매 주기마다 발생하며 155ns (5ns \times 31)의 길이를 갖는다. 지연된 n-탭 상승 에지 클럭은 두 클럭의 위상 오차를 32비트 디지털 데이터로 출력한다.

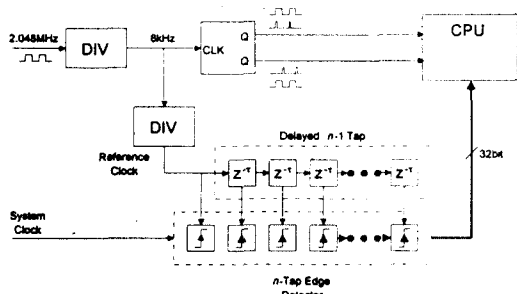


그림 6. n-탭 지연 상승에지 클럭을 이용한 위상 오차 검출기
Fig. 6. Phase Error Detector using n-tap delayed rising edge clock

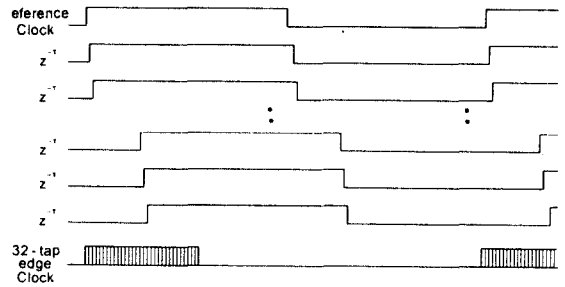


그림 7. n-탭 지연 회로의 타이밍도
Fig. 7. n-tap delayed circuit's timing diagram

그림 8은 지연된 n-탭 상승 에지 위상 오차 검출기의 타이밍도이다. 그림에서 C_{ref} 는 동기 기준 클럭, C_{sys} 는 시스템 클럭, C_{seq} 는 32탭 상승 에지 클럭이며 C_{seq} 는 C_{ref} 와 C_{sys} 의 점 A와 B에서 발생하고 있는 위상 오차를 검출한다. C_{seq} 의 각 상승 에지에서 C_{sys} 의 논리레벨이 '1'이면 논리 '1'을, '0'이면 논리 '0'을 출력한다. 32비트의 출력 데이터는 마이크로프로세서에 내장된 알고리즘에 의해 패턴A와 B로 변형된다. 위상 검출기에서 출력된 32비트 디지털 데이터가 마이크로프로세서로 입력되면 마이크로프로세서는 패턴 비교 디지털 필터(Pattern Matched Digital Filter)를 이용하여 갑작스런 변화를 갖는 데이터와 최대 위상 오차 변이를 벗어나는 데이터를 제거한다. 필터를

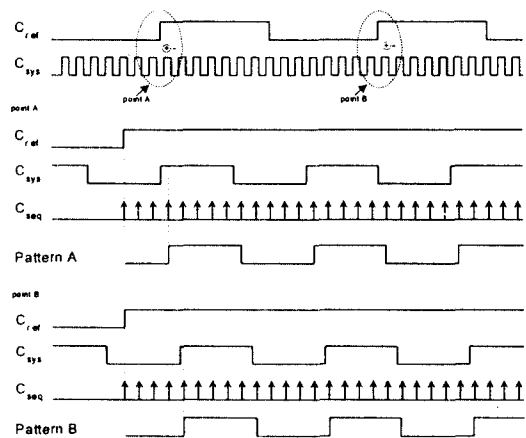


그림 8. n-탭 지연 상승 에지 위상 오차 검출기의 타이밍 다이어그램
Fig. 8. Timing Diagram of n-tap delayed rising edge Phase Error Detector

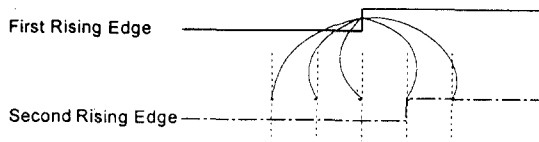


그림 9. 32비트 데이터에서 두번째 상승에지 검출
Fig. 9. Second Rising Edge Detection from 32bit Data

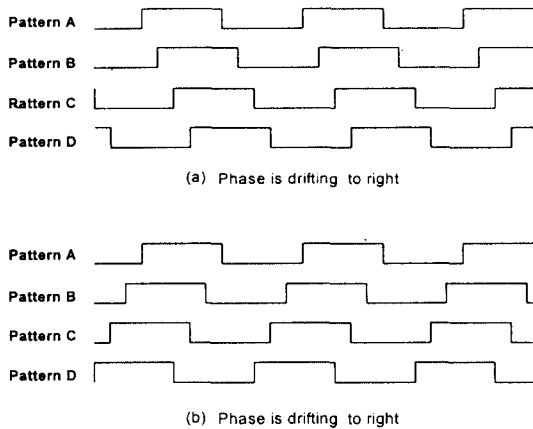


그림 10. 패턴의 형태에 따른 위상 흐름의 방향
Fig. 10. Direction of Phase Drift based on Pattern

통과한 데이터는 LSB를 시점으로 31번 오른쪽으로 이동시키면서 첫 번째 상승 에지를 검출한다.

두 번째 데이터의 상승 에지는 그림 9처럼 첫 번째 데이터의 상승 에지를 중심으로 왼쪽 2비트와 오른쪽 2비트를 포함한 5비트를 관찰하여 두 번째 데이터의 상승 에지를 검출한다. 즉, 현재 데이터의 상승 에지는 이전 데이터의 상승 에지 위치에 의해 결정되며 C_{ref} 의 상승에지와 변형된 디지털 패턴의 첫 번째 상승에지간의 시간차가 위상 오차 데이터가 된다. 검출된 위상 오차 데이터의 오차는 C_{seq} 의 해상도가 5ns이므로 $\pm 5ns$ 범위에 놓인다. 위상 오차는 8.192초 동안 256개가 검출된다. 그림 10에서 (a)는 8.192초 동안, 256샘플중 첫 번째 C_{ref} 의 상승 에지를 기준으로 C_{sys} 의 위상이 오른쪽으로 흐르고 있고 (b)는 왼쪽으로 흐르고 있음을 나타낸 것이다. 위상 오차 변이는 8.192초 동안 C_{sys} 의 전체 이동시간으로 결정하며 이 값이 0이면 동기 상태, 0이 아닌 일정한 크기로 나타나면 두 클럭의 상대적 주파수는 일치, 위상은 불일치로

판단한다. 그리고 이 값의 크기가 일정하지 않으면 두 클럭의 상대적 주파수와 위상은 불일치로 판단한다. 위상 오차 변이의 양과 음은 위상 오차의 방향을 결정하고 위상 오차 변이의 크기는 위상 오차의 크기를 결정하는 파라미터가 된다. 이 파라미터는 D/A변환기에 공급되는 디지털 계수를 결정하고 VCXO의 발진 주파수를 결정한다.

3.2 설계된 DP-PLL의 알고리즘

위상 검출기는 하드웨어로만 동작하지만 루프의 나머지는 마이크로프로세서에 의해 제어된다. 메모리에 내장된 프로그램은 위상 검출기 출력 데이터의 디지털 패턴 변형, 패턴 비교 디지털 필터, 모드 제어, 발진 주파수 제어 그리고 Moving Average 필터의 기능등을 수행한다. 루프의 출력은 주파수 제어범위와 안정도가 각각 $\pm \geq 9.389886792Hz$ (중심 주파수: 93.89886792MHz), $1 \times 10^{-10}/day$ 인 VCXO를 사용하였다. 사용된 D/A변환기의 해상도가 12비트이므로 최소 제어 가능한 주파수 범위는 $0.2 \times 10^{-6} \div 2^{14} = 4.88 \times 10^{-11}$ 이 된다. 이 값은 동기 기준 클럭으로 사용하는 세슘(Cs)클럭의 안정도에 근접한 최적의 값이다. 위상 오차를 읽어가는 주기는 동기 기준 클럭의 주기인 250 μs 이지만 VCXO의 안정도가 매우 높기 때문에 두 클럭의 위상 오차 변이가 32ms이내에 5ns이상 변하지 않는다. 그러므로 마이크로프로세서는 32ms주기로 위상 오차 변이를 읽어들이고 8.192초 동안 256번 위상 오차 변이를 검출한다. 256개의 샘플에서 위상 오차 변이를 검출하는 방법은 다음과 같다.

$$PEV_T = \sum_{i=1}^{255} S_{i-1} - S_i \quad (7)$$

$$PEV_A = \frac{1}{2^{15}} PEV_T \quad (8)$$

여기서, PEV_T 는 전체 위상 오차 변이, PEV_A 는 평균 위상 오차 변이 그리고 S는 각 샘플의 첫 번째 상승에지 위치를 의미한다. 식 (7)에서 PEV_T 가 양의값을 갖게되면 위상 오차 변이가 동기 기준 클럭을 중심으로 오른쪽으로 흐르고 있고 음의 값을 가지면 왼쪽으로 흐르고 있다고 판단한다. 반면 PEV_T 가 0이면 동기상태를 유지하고 있다고 판단한다. 기존의 DP-PLL은 위상 오차 검출 해상도가 계수기클럭의

주기(표1참조)로 결정되지만 제안된 위상 검출기의 위상 오차 검출 해상도는 C_{seq} 의 해상도(5ns)로 결정된다는 것이 특징이다. 동작 모드는 PEV_T 의 값에 따라 결정하며 전원이 공급된 시점 또는 비정상적인 동기상태를 Free-Run모드로 정하였고 최악의 경우를 고려하여 160이상의 PEV_T 값을 임계치로 설정하였다. 이 모드에서는 위상오차를 검출하지 않고 Moving Average필터에 의해 구해지는 D/A변환기 계수의 누적 평균값을 이용하여 VCXO를 제어한다. Fast모드는 동기 기준 클럭이 손실되었다가 회복되거나 루프출력이 비정상이었다가 정상으로 회복되는 경우이며 $\pm 2 \sim \pm 60$ 의 위에 PEV_T 가 놓여 있는 상태다. 이 모드에서는 비교적 짧은 시상수와 큰 루프이득을 갖도록 제어한다. Normal모드는 두 클럭이 동기 상태에 있는 경우이며 큰 시상수와 낮은 루프 이득을 갖도록 하여 지터 성분을 억압할 수 있도록 제어한다. Moving Average필터는 모드의 천이시 안정된 루프출력을 공급하기 위해 적용하였으며 이 필터는 8.192초 마다 갱신되는 D/A변환기 계수의 누적 평균을 구한다. N개의 샘플을 평균한 다음 가장 오래된 샘플을 버리고 최근의 샘플을 받아들여 누적 평균값을 구하는 방식을 사용하며 다음식으로 표현한다.

$$y(n) = \frac{1}{N} \sum_{i=0}^{N-1} DAC_{coef}(n-i) \quad (9)$$

여기서 N은 샘플수이며 DAC_{coef} 는 12비트 D/A변환기 계수를 나타낸다. 이 필터의 전달함수는 다음식으로 표현할 수 있다.

$$H(j\omega) = \frac{\sin(N\eta/2)}{N \sin(\eta/2)} \quad (10)$$

여기서 $\omega = 2\pi f$ 그리고 $\eta = \omega T_s$ 이며 T_s 는 D/A변환기 계수 갱신 주기를 나타낸다.

위상 동기를 제어하는 루프의 전달함수에서 α 와 β 는 Normal모드에서

$$\alpha = \frac{4.88 \times 10^{-11}}{51.44ns} = 9.486 \times 10^{-4}/s$$

$$\beta = \frac{2^{-15}}{8.192} = 3.725 \times 10^{-6}/s$$

이며 Fast모드에서는 빠른 추적 특성을 갖도록 α 와 β

값을 다음과 같이 조정하였다.

$$\alpha' = 32\alpha = 32 \times 9.486 \times 10^{-4} = 3.035 \times 10^{-2}/s$$

$$\beta' = 32\beta = 32 \times 3.725 \times 10^{-6} = 1.192 \times 10^{-4}/s$$

이와같은 루프의 특성을 기준으로 D/A변환기 계수를 결정하는 방법은 다음과 같다.

Fast모드에서

$$DAC_{coef}(n+1) = DAC_{coef}(n) + 2^5 \frac{PEV_T}{16} \quad (11)$$

Normal모드에서

$$DAC_{coef}(n+1) = DAC_{coef}(n) + PEV_T \quad (12)$$

그림 11과 12는 기존의 DP-PLL과 제안된 시스템의 주파수 특성을 나타낸 것이며 그림 11은 Normal모드의 주파수 특성을, 그림 12는 Fast 모드의 주파수 특성을 구한 것이다. 제안된 시스템의 지터 억압을 위한 차단 주파수는 약 60μHz로 나타났다.

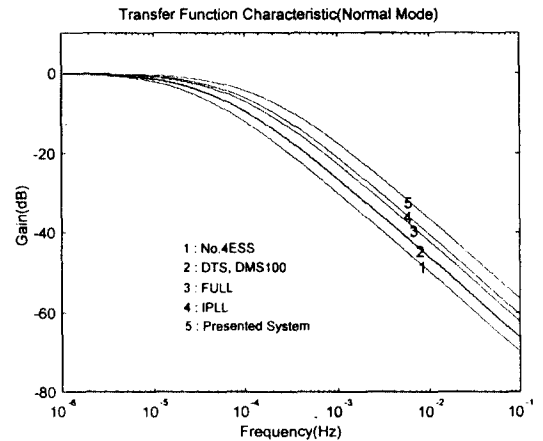


그림 11. 기존의 DP-PLL과 제안된 시스템의 Normal모드 전달함수 특성

Fig. 11. Transfer Function Characteristics of General DP-PLL and Presented System in Normal Mode

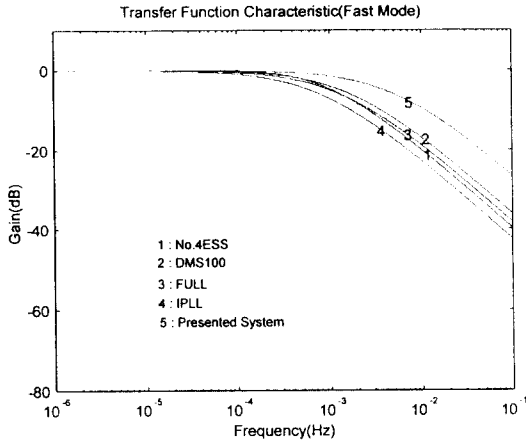


그림 12. 기존의 DP-PLL과 제안된 시스템의 Fast모드 전달함수 특성

Fig. 12. Transfer Function Characteristics of General DP-PLL and Presented System in Fast Mode

IV. 실험 및 측정결과 고찰

본 연구에서 제작 실험한 DP-PLL의 구성 요소 중 VCXO는 주파수 표준 편차가 0.1PPM인 93.89886792MHz를 사용하였고, VCXO의 입력 전압은 주파수 변이 선형 영역인 -4~4volts를 선택하였다. D/A변환기의 디지털 입력은 12비트를 선택하였기 때문에 D/A변환기 계수는 십진수 0에서 4096의 범위를 갖는다. 마이크로프로세서는 TI사의 TMS320C31을 사용하였다. 위상 동기 루프를 제어하기 위한 새로운 알고리즘을 채택하였으며 이 알고리즘을 이용하여 위상 오차 변이가 최소 값을 갖는 D/A변환기 계수를 추적하였다. 추적 단계는 위상 오차 변이에 따라 3단계로 나누었다. 1) 전원이 공급된 시점이거나 비정상적인 위상 동기상태인 Free-Run모드, 2) 동기 클럭과 시스템 클럭의 상대적 주파수차가 존재하는 상태인 Fast모드, 그리고 3) 큰 시상수와 작은 루프 이득을 적용하여 입력 지터 성분을 억압할 수 있는 Normal모드로 구분하였다.

4.1 Free-Run모드

그림 13, 14, 15는 Free-Run모드에서 측정된 위상 오차 변이(PEVT)를 나타낸 것이다. 그림 13과 14는

VCXO의 주파수 편차가 가장 큰 상한 제어전압(4Volts)과 하한 제어 전압(-4Volts)에서의 위상 오차 변이를 측정된 것이며 그림 15는 VCXO의 중심 제어 전압(0Volts)에서 위상 오차 변이를 측정된 것이다.

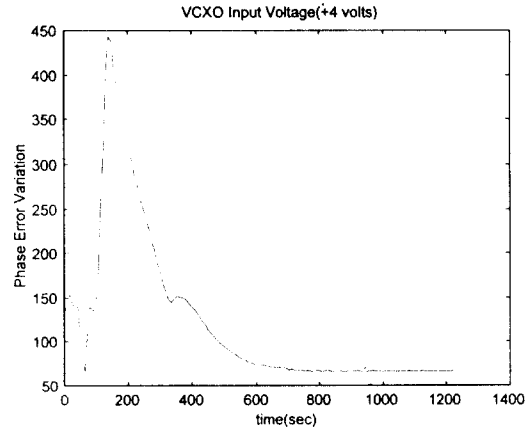


그림 13. VCXO 상한 제어전압에서의 위상 오차 변이
Fig. 13. Phase Error Variation on upper limited voltage of VCXO

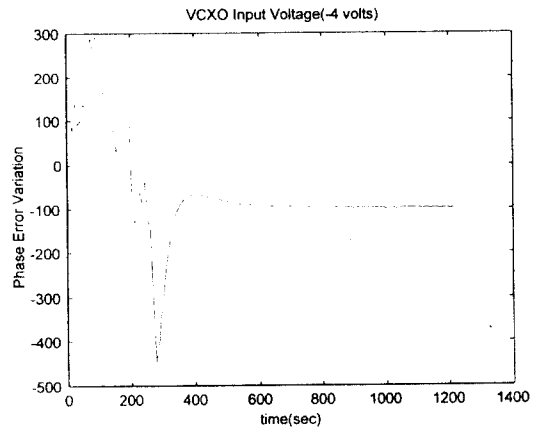


그림 14. VCXO 하한 제어전압에서의 위상 오차 변이
Fig. 14. Phase Error Variation on lower limited voltage of VCXO

이 모드에서 VCXO에는 일정한 제어전압을 공급하였고 위상 오차 변이만을 검출하였다. 이 그림에서 알 수 있듯이 전원이 공급된 시점의 위상 오차 변이

본 시스템에서 정한 최대 위상 오차 변이를 초과한 상태에서 매우 심하게 변동하고 있으며 시간이 지날수록 위상 오차 변이가 작아지고 Fast모드의 문턱값(threshold point)에 수렴하고 있음을 알 수 있다. 즉, VCXO가 안정된 상태에 도달하면 위상 오차 변이는 Fast모드의 문턱 값에 도달하게 된다.

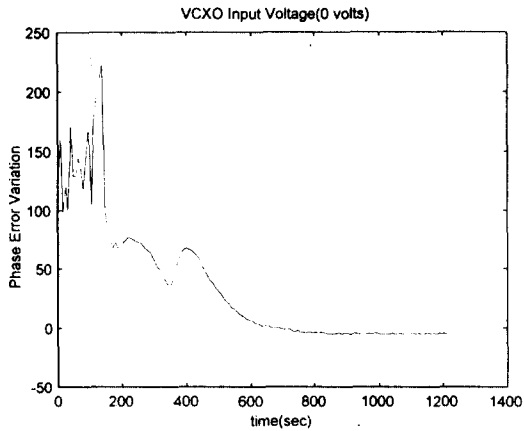


그림 15. VCXO 중심 제어전압에서의 위상 오차 변이
Fig. 15. Phase Error Variation on center voltage of VCXO

4.2 Fast모드

이 모드에서는 32ms(250 μ s \times 128)마다 위상 오차 변이를 검출하며 현재와 이전의 위상 오차 변이를 구한 다음 두 값의 차이에 따라 D/A변환기 계수를 조정한다.

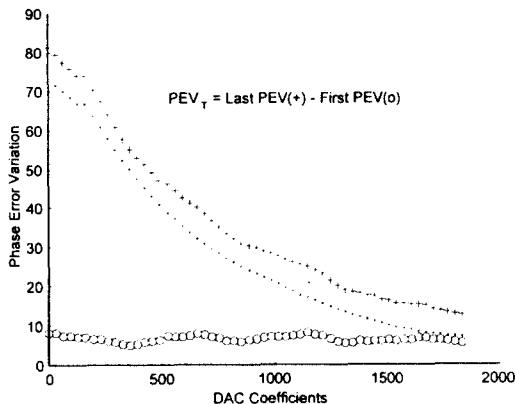


그림 16. DAC계수의 제어에 따른 양의 위상 오차 변이
Fig. 16. Positive Phase Error Variation

그림 16과 17은 VCXO의 상한 및 하한 제어전압에서 중심 제어 전압까지 측정된 위상 오차 변이에 따라 D/A변환기 계수를 조정하면서 위상 오차 변이를 추적한 것이다. 그림 16과 17에서 D/A변환기 계수가 최적 값에 가까울수록 위상 오차 변이는 작아지고 있으며 D/A변환기 계수의 최적 값에서는 위상 오차 변이가 0에 가까워진다.

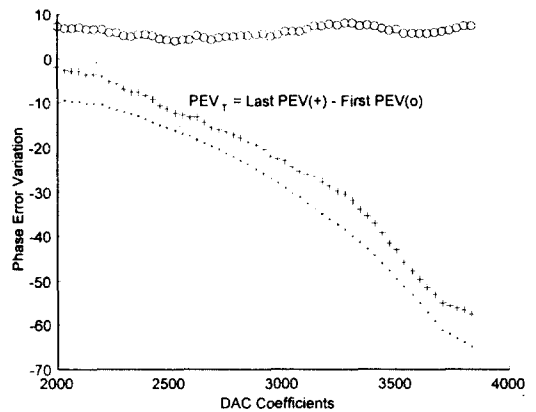


그림 17. DAC계수의 제어에 따른 음의 위상 오차 변이
Fig. 17. Negative Phase Error Variation

그림 18과 19는 위상 오차 변이에 따른 D/A변환기 계수의 최적 값을 추적한 것이며 실험 조건은 VCXO를 상한 및 하한 제어전압으로(4Volts, -4Volts)으로 설정한 다음 Normal모드로 진입하기까지의 위상 오차 변이와 시간을 측정하는 것이다. D/A변환기 계수가 최적 값에 가까워질수록 위상 오차 변이는 점점 작아지며 최적의 D/A변환기 계수값 근처에서 위상 오차 변이가 Normal모드의 임계치에서 진동하고 있음을 알 수 있다. 그림 18에서는 위상 오차 변이가 양의 값을 갖고, 그림 19에서는 음의 값을 갖는다. 이 부호는 VCXO를 제어할 때 제어전압의 방향 벡터를 제공한다. 즉, 부호가 양의 값을 가지면 VCXO의 제어전압을 위상 오차 변이에 비례하는 값만큼 증가시키고 반대로 부호가 음의 값을 가지면 제어 전압을 감소시킨다. 그림 18과 19에서 알 수 있듯이 제안된 DP-PLL이 최악의 주파수 편차 조건에서 루프의 추적을 시작하여 위상 오차 변이가 Normal모드의 임계값에 도달하는데 걸리는 시간은 약 650초이다. 그리고 이때의

D/A변환기 계수값은 1800~2000에 분포하고 있다.

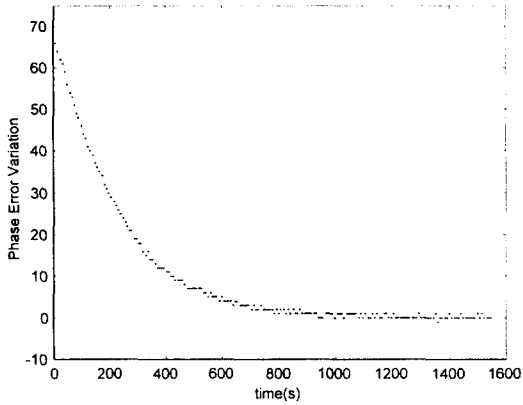


그림 18. 위상 오차 변이의 최소 값 추적/VCXO의 상한 제어전압기준

Fig. 18. Tracking the Minimum Phase Error Variation/Upper Limited VCXO Voltage

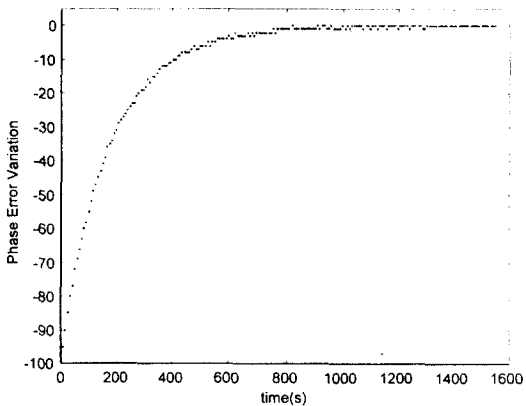


그림 19. 위상 오차 변이의 최소 값 추적/VCXO의 하한 제어전압기준

Fig. 19. Tracking the Minimum Phase Error Variation/Lower Limited VCXO Voltage

4.4 Normal모드

Fast모드에서 D/A변환기 계수의 최적값 범위가 결정되고 위상 오차 변이가 Normal모드의 임계치 이내에서 진동하고 있기 때문에 Normal모드에서는 위상 오차 변이가 위상 오차 검출 해상도인 5ns내에 수렴하도록 D/A변환기 계수를 조정한다. 그림 20은

Normal 모드의 위상 오차 추적 결과이며 위상 오차는 $\pm 2.5\text{ns/day}$ 를 초과하지 않음을 알 수 있다. 이 그림을 통하여

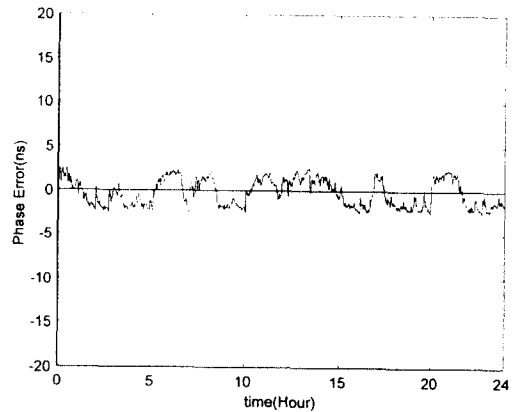


그림 20. Normal모드에서의 위상 오차 안정도
Fig. 20. Phase Error Stability in Normal Mode

양의 최대 위상 오차: 2.2637ns/day , 20.97Hour
음의 최대 위상 오차: 2.2129ns/day , 2.61Hour , 3.81Hour
평균값: -0.3009ns/day
표준편차: 1.4480ns/day

등의 정보를 추출할 수 있다. 이상과 같이 Normal 모드에서는 동기 기준 클럭의 상승에지를 기준으로 위상 오차가 최대 $\pm 2.5\text{ns/day}$ 를 초과하지 않도록 D/A변환기 계수를 조정하기 때문에 위상 오차는 지연된 n탭 상승 에지 위상 오차 검출기의 해상도를 벗어나지 않는다.

4.5 Moving Average Filter

시스템에 발생하는 갑작스런 변화에 대응하고 모드 천이시 최적의 D/A변환기 계수를 공급하기 위해 사용한 필터이며 이 필터에 의해 출력되는 D/A변환기 계수의 변화를 전원이 공급된 시점부터 24시간 측정된 결과를 그림 21에 나타내었다. 그림에서 사선으로 표현한 것은 D/A변환기 계수의 현재값이며 점선으로 표현한 것은 D/A변환기 계수의 누적평균값으로서 처음 1시간까지의 누적 평균을 구한 다음 8.192초마다 누적 평균값을 갱신하여 구한 값이다. 이 테

이터들의 분석 내용은 다음과 같다.

항목	현재 DAC 계수	누적 평균 DAC 계수
최소	1977	1976.4
최대	1984.3	1983.4
평균	1980.9	1981.0
표준편차	2.353	2.3366

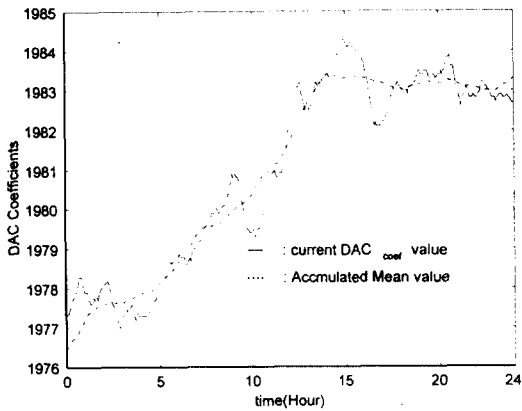


그림 21. Moving Average필터의 특성
Fig. 21. DAC Coefficient Characteristics of Moving Average Filter

V. 결 론

본 연구에서 설계/제작된 디지털 처리 위상 동기 루프(DP-PLL) 시스템은 새로운 방식의 위상 검출기와 알고리즘을 이용하여 동기 기준 클럭과 시스템 클럭의 위상 동기 문제를 해결하였다. 새로운 방식의 위상 검출기는 두 클럭간에 발생하는 위상 오차를 5ns의 해상도로 검출하였다. 그리고 알고리즘을 적용하여 두 클럭간의 위상 오차 변이가 최소 값에 수렴하는 최적의 D/A변환기 계수를 추적하였다. 위상 오차를 추적한 결과 Fast모드에서는 DP-PLL의 최악 조건에서 정상적인 동기상태를 유지하는데 약 650초가 걸렸다. Normal모드에서는 두 클럭간의 위상 오차가 $\pm 2.5\text{ns/day}$ 내에서 수렴하는 결과를 얻었다. 루프의 주파수 특성은 Normal모드에서 $60\mu\text{Hz}$ 의 차단 주파수를 갖고 있으며 매우 낮은 주파수의 지터를 억압할

수 있었다.

결과적으로 본 연구에서는 위상 오차 변이를 검출하고 검출된 데이터에 알고리즘을 적용하므로써 높은 신뢰도와 정밀도를 갖는 DP-PLL을 구현할 수 있었다.

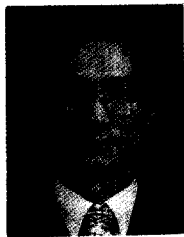
다음 연구과제로는 지연된 n-탭 상승 예지 위상 오차 검출기의 해상도를 높이는 것과 클럭의 문턱전압에서 발생할 수 있는 데이터의 오차가 최소화되도록 시스템을 설계하는 것에 주안점을 둘 것이다.

참 고 문 헌

1. ANSI T1.101-1987, "Synchronization Interface Standards for Digital Network"
2. CCITT recommendation, Red Book, "Timing Requirements at the Output of Reference Clocks and Network Nodes Suitable for Plesiochronous Operation of International Digital Links", Vol. 3, Rec G811 p297-302, 1985.
3. W.C.Lindsey, "Network Synchronization", IEEE Proc. Vol.73, No.10, pp.1445-1467, October 1985.
4. Dr. Roland E. Best, 3ed., PHASE-LOCKED LOGIC: Design, Simulation, & Applications, McGRAW-HILL BOOK COMPANY, pp ix, (1997)
5. R.Metz, "E.L.Reible, D.F.Winchell, No.4ESS; Network Clock Synchronization", B.S.T.J, Vol. 60, pp. 1109-1128, July-August 1981.
6. M.Makino, T.Yasushi, M.Taka, "Network Synchronization System", Review of the ECL. Vol.27, No. 9-10, pp.819-829, September-October 1979.
7. E.A.Munter, "Synchronized Clock for DMS-100 Family", IEEE Trans. on Comm., Vol.COM-28, No.8, pp.1276-1284, August 1980.
8. H.Fukinuki, I.Furukawa, "Intelligent PLL Using Digital Processing for Network Synchronization", IEEE Trans. on COMM., Vol. COM-31, No.12, pp.1295-1303, December 1983.
9. M.Karnaugh, "Model for the organic synchronization of communications systems", B.S.T.J, 45, pp.1705-1735, Dec. 1966.
10. B.R.Saltzberg and H.M.Zydney, "Digital data

systems; Network Synchronization”, B.S.T.J, 54, pp.879, May.1975.

11. 박권철, 김옥희, “디지털 교환기의 망동기 장치에 서의 위상검출회로”, 대한민국특허청 공개특허공 보 88-12015, pp.330-331, 1988. 10.
12. 여재홍, 임인철, “고주파수 동기장치용 DP-PLL 의 설계를 위한 위상차 검출방식과 프로세스 알고 리즘”, 전자공학회논문지. 제29권. A편. 제8호, pp.26-33, 1992. 11.



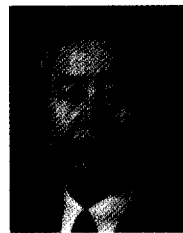
박 군 종(Kun Jong Park) 정회원
 1982년 2월:연세대학교 전자공 학과 졸업(공학사)
 1984년 2월:연세대학교 대학원 전자공학과 졸업(공 학석사)
 1994년 9월~현재:연세대학교 대 학원 전자공학과 박 사과정 재학중

1983년 12월~1987년 4월:(주)동양정밀공업 중앙연구 소 연구원
 1987년 4월~1991년 10월:삼성종합기술원 선임 연구원
 1991년 8월~현재:동양공업전문대학교 전기전자통신 공학부 부교수
 ※주관심분야: 디지털 신호처리, 컴퓨터 구조

구 광 일(Kwang Il Gu) 정회원
 1982년 2월:연세대학교 전자공학과 졸업(공학사)
 1982년 1월~1988년 6월:(주)동양정밀공업 중앙연구 소 선임연구원
 1988년 6월~1991년 12월:SMC FAE
 1992년 1월~1993년 4월:제이스텍 개발장
 1993년 5월~현재:(주)싱커스텍 개발부장
 ※주관심분야: Network Synchronization

윤 정 현(Jeong Hyun Yun) 정회원
 1987년 2월:연세대학교 전자공학과 졸업(공학사)
 1989년 2월:연세대학교 대학원 전자공학 졸업(공학 석사)
 1994년 3월~현재:연세대학교 대학원 전자공학과 박 사과정 재학중
 1989년 1월~현재:(주)LG산전 연구소 선임연구원
 ※주관심분야:적응 디지털 신호처리, 능동 소음 제어

윤 대 회(Dae Hee Youn) 정회원
 한국통신학회논문지 제22권 2호 참조
 현재:연세대학교 전자공학과 교수



차 일 환(Il Whan Cha) 정회원
 1959년 2월:연세대학교 전기공 학과 졸업(공학석사)
 1983년 8월:동대학원 전자공학 과 졸업(공학박사)
 1969년~1970년:영국 University of Southampton Institute of Sound and Vibration 연구원

1986년 9월~1987년 7월:University of Iowa 교환교수
 1988년 8월~현재:연세대학교 전자공학과 교수
 ※주관심분야:건축 음향, 소음진동, 초음파, 음성 부 호화, 오디오 부호화