

도플러 효과에 의한 지연 동기 루프의 추적 성능분석

正會員 임성준*, 유흥균**

Influence of Doppler Effects on the Tracking Performance of a Delay Locked Loop

Sung-Jun Lim*, Heung-Gyoon Ryu** *Regular Members*

요 약

본 논문은 도플러 효과가 GPS 수신기용 비동기 2차 DLL(noncoherent second-order delay locked loop)의 추적 성능에 미치는 영향을 분석하였다. 성능 분석을 위하여 선형 DLL의 추적 정확도(steady state error and jitter)와 비선형 루프의 신뢰도를 고려하였다. 루프의 신뢰도에 관한 비선형 분석은 MTLL(mean time to lose lock)에서 근사 확장법을 사용하였다. 특히, 최대 MTLL을 얻기 위하여 loop에서 대역 여파기의 최적 대역폭과 최적 루프 파라미터를 제안하였다. 저궤도 위성의 경우는 도플러 영향이 크게 나타나므로 MTLL을 최대로 추적 오차를 최소화하는 효과를 기대할 수 있다. 시뮬레이션 결과로부터 설계된 디지털 지연동기 루프 시스템이 정확히 동작함을 확인하기 위해 GPS 신호를 발생시키는 시뮬레이터인 STR-2770을 사용, 도플러 주파수를 첨가하여 실제 상황과 같은 환경에서 FPGA로 구현된 DLL회로의 성능을 검증하였다.

ABSTRACT

The influence of Doppler effects on the tracking performance of a noncoherent second-order delay locked loop (DLL) operating on a data modulated signal is investigated. For the performance analysis we consider the tracking accuracy(steady state error and jitter) of the linear DLL and the reliability of the nonlinear loop. The nonlinear analysis concerning the loop reliability makes use of an asymptotic expansion for the MTLL(mean time to lose lock) which has been derived by applying the singular perturbation method. In particular, we give optimal loop parameters and the optimal bandwidth of the bandpass filter in the loop arms to achieve a maximum MTLL. Since Doppler effects can be produced comparatively in LEO system, we can expect the more reliable DLL loop design. By using the results of the circuit simulation, the delay lock loop is synthesized in FPGA, and verified to get the GPS data from the STR-2770 GPS simulator system. So, the synthesized logic circuit is shown to be accurately performed.

*한국전자통신연구소 전파응용연구실

**충북대학교 전자공학과

論文番號:96281-0906

接受日字:1996年 9月 6日

I. 서 론

코드 추적 루프는 통신 혹은 항법 분야에서 이용되는 다양한 direct sequence spread-spectrum(DSSS) 시스템에서 필수적이다. 동기식 루프보다 비동기식 루프가 DSSS 시스템에서 훨씬 유용한데 그 이유는 데이터 변조에 거의 영향을 받지 않으며 동기식 루프 처럼 코드 동기를 취하기 전에 정확한 carrier 추적을 고려하지 않아도 되기 때문이다. 특히 이점은 SNR이 낮은 즉, 일반적으로 carrier 동기 과정이 어려운 상황에서도 정확한 코드 추적을 할 수 있다는 것이 중요하다. 2차 루프는 1차 루프보다 우수하다. 왜냐하면 송신기에 따른 수신기의 상대적인 도플러 효과로 인한 정상 상태 추적 오차가 발생하는데 1차루프의 경우에는 이런 에러가 무한하게 커지기 때문이다. 비동기 2차 DLL은 통신위성과 tracking and data relay satellite system(TDRSS) 혹은 GPS와 같은 항법 시스템에 사용한다[1][2]. 그리고 이 루프는 CDMA 이동 통신 시스템에서도 사용한다. 성능 분석을 위하여 2개의 항목 즉, 추적 정확도(높은 SNR에서) 그리고 MTLL(낮은 SNR에서)을 고려하였다. 일반적으로 선형 루프에 관한 추적 에러가 대부분 시스템에서 성능 평가 항목으로 자주 이용되지만, 낮은 SNR에서 lock을 잃어 버릴 수 있는 확률은 크게 증가하고, 루프의 비선형성에 의해 발생하는 도플러속도 또한 크다. 이럴 경우 추적의 정확도는 별 의미가 없다. 일반적으로 DLL은 이론적으로 광범위하게 분석되고 있고 MTLL은 중요한 성능평가 항목으로 알려지고 있다[3]. 따라서 본 논문에서는 디지털 영역에서의 DLL 회로 설계를 하였고 등가회로로서 성능을 분석하여 추적 오차를 최소화하여, MTLL을 최대화시키는 루프파라미터를 추출하고 그의 시뮬레이션 결과를 제시하였다. 그리고 이 결과를 바탕으로 DLL을 디지털 로직으로 설계하여 FPGA 칩으로 구현하였다.

II. 지연 동기 루프 모델

그림 1에 비동기식 DLL 모델을 나타내었다.

수신된 신호 $r(t)$ 는 국부 발생하는 확산 코드를 이용한 진상(early)코드 $c_+(t)$ 와 정상(on-time)코드 $c_0(t)$ 그리고 지상(late)코드 $c_-(t)$ 에 각각 곱해진다. 이 코드

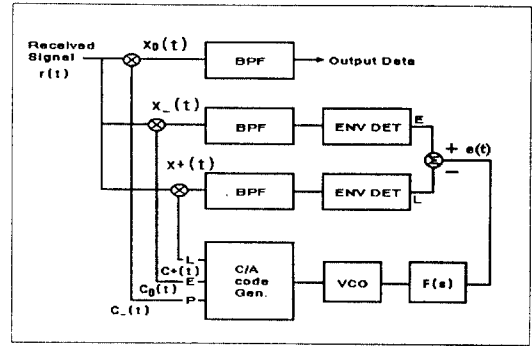


그림 1. 비동기식 DLL
Fig. 1 Noncoherent DLL

는 시간 δT_c 에 의해 각각 분리된다. 여기서 T_c 는 코드 칩 길이이고 δ 는 early-late offset($0 < \delta < 1$)를 나타낸다. δ 값은 실제로 널리 이용되는 0.5로 선택하였다. 2차 DLL의 MTLL에 관한 연구결과에 따르면 $\delta=0.5$ 가 도플러효과가 존재시 최적의 값에 가장 근접한다는 것을 보여준다. 신호 $x_+(t)$ 와 $x_-(t)$ 가 각각 대역 여파기와 envelope detector를 거친다. 이 출력값들은 서로 감산하여 루프에러신호 $e(t)$ 를 만든다. 이 루프에러신호 $e(t)$ 는 전달함수가 $F(s)$ 인 루프필터와 VCO로 인가된다. 데이터 검출부는 DLL의 외부 출력으로 나타난다.

따라서 데이터 검출부에 영향을 미치지 않고 최적의 추적 성능을 보이는 DLL의 필터 대역폭 결정이 가능하다.

수신된 DSSS-신호는 다음과 같다.

$$r(t) = \sqrt{2P} d[t-T(t)] c[t-T(t)] \cos(\omega_0 t + \phi) + n(t), \quad (1)$$

여기서 P 는 신호 전력, $d(t)$ 는 전송 속도가 R_b 인 디지털 신호 데이터이고 $c(t)$ 는 코드 속도가 $R_c=1/T_c$ 인 확산 코드를 나타낸다. ω_0 와 ϕ 는 각각 반송파 각 주파수와 위상을 나타낸다. 신호의 순간적인 전달 지연은 $T(t)$ 로 나타내고 부가성 백색 잡음 $n(t)$ 는 양측파 전력 밀도로서 $N_0/2$ 를 가지고 있다.

루프 에러 신호 $e(t)$ 를 구함으로써 그림 2에 나타낸 것처럼 DLL의 기저대역 등가 모델을 구할 수 있다[3].

여기서 정규화된 타이밍 오차는

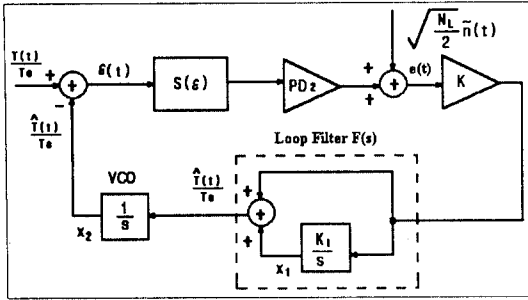


그림 2. 비동기식 2차 DLL의 기저대역 등가 모델
Fig. 2 Baseband Equivalent Model of Noncoherent 2-nd order DLL

$$\epsilon(t) = [T(t) - \hat{T}(t)]/T_c \text{ 이다.} \quad (2)$$

여기서 $\hat{T}(t)$ 는 $T(t)$ 의 루프 추정치를 나타낸다. 비선형성 $S(\epsilon)$ (S-curve)의 유도과정에서 기저대역 등가 모델의 잡음은 $\sqrt{N_L/2} \tilde{n}(t)$ 이다. $\tilde{n}(t)$ 는 표준 백색 잡음이고 결국 $N_L/2 = 2N_0^2 R_b D_2 C_1 G(\epsilon)$ 로 증명된다[3]. 여기서 $G(\epsilon)$ 는 $1 + (C_2/C_0) \gamma_d f_1(\epsilon) + (C_3/(2C_1)) \cdot \gamma_d^2 S^2(\epsilon)$ 이고, 데이터 대역폭내의 SNR γ_d 는 $P/(N_0 R_b)$ 이다. 상수 D_2, C_1, C_2, C_3 와 보조 함수 $f_1(\epsilon)$ 는 참고문헌 [3]로부터 유도된다.

$$D_2 = \int_{-\infty}^{\infty} S_d(f) |H_l(f)|^2 df \quad (3)$$

$$C_1 = \frac{1}{R_b D_2} \int_{-\infty}^{\infty} |H_l(f)|^4 df \quad (4)$$

$$C_2 = \frac{1}{D_2} \int_{-\infty}^{\infty} S_d(f) |H_l(f)|^4 df \quad (5)$$

$|H_l(f)|$ 는 DLL내 대역 여파기의 저역 등가 전달함수의 크기이고, $S_d(f)$ 는 데이터열의 전력 스펙트럼 밀도이다.

전달함수 $F(s) = 1 + K_1/s$ 로 나타내는 루프 필터와 적분기를 이용한 VCO 모델링으로부터 2개의 완전한 적분기로 구성된 2차루프를 구한다. 이득 요소 K 는 루프내의 각 블록의 이득 곱을 나타낸다. 따라서 기저대역 등가모델로부터 $T(t)$ 에 의한 DLL을 나타내는 상태 방정식(그림 2에서 변수 x_1 과 x_2)을 구하면,

$$T(t) = T_0 + \frac{v_0}{c} t + \frac{a_0}{2c} t^2 \quad (6)$$

여기서 v_0 와 a_0 는 $t=0$ 일 때 송신기에 대한 수신기의 속도와 가속도를 나타낸다. 전달 지연 상수는 T_0 로 나타내고 c 는 광속이다.

식 (2)와 $y = [x_1 - \dot{T}(t)/T_c]/K_1$ 로부터 상태 변수 ϵ 과 y 에 대한 식을 유도할 수 있다.

시간계수 $t^* = \alpha t (\alpha = KPD_2)$ 를 적용하고, 다음의 정의를 이용하여

$$\alpha = \frac{\alpha_0 R_c}{c KPD_2 K_1}, \quad \beta = \frac{K_1}{KPD_2}, \quad \rho = \frac{KN_0 C_1}{\gamma_d} \quad (7)$$

수식을 전개한 결과 아래와 같은 2개의 시간 상태 방정식을 구한다.

$$\begin{cases} \dot{\epsilon}(t^*) = -S(\epsilon) - \beta y(t^*) - \sqrt{2\rho G(\epsilon)} \tilde{n}^*(t^*) \\ \dot{y}(t^*) = S(\epsilon) - a + \sqrt{2\rho G(\epsilon)} \tilde{n}^*(t^*), \end{cases} \quad (8)$$

$\tilde{n}^*(t^*)$ 는 새로운 표준 백색 잡음이다. 식 (8)로부터 동차(同次) 비선형 시스템($\rho=0$)은 $S(\epsilon_{ss}) = a$ 와 $y_{ss} = -a/\beta$ 를 이용하여 평형점(steady states, $\dot{\epsilon}=0, \dot{y}=0$)을 갖는다. 여기서 하나의 안정한 평형점(ϵ_a, y_a)과 한 개나 두 개의 불안정한 평형점(ϵ_b, y_b)($a=0$ 에서 2개가 있다.)이 있다는 것을 알 수 있다. 따라서 $a \neq 0$ 인 루프 오프셋에서 정상 상태 추적 오차 ϵ_a 를 발생한다.

α 와 β 를 사용하는 것 대신, 그림 2에 나타난 루프를 다음의 파라미터를 적용하여 나타낼 수 있다.

$$w_n = \sqrt{KPD_2 K_1 S'(\epsilon_a)}, \quad \zeta = \frac{1}{2} \sqrt{KPD_2 S'(\epsilon_a)/K_1} \quad (9)$$

여기서 $S'(\epsilon_a)$ 는 ϵ_a 에서 S 곡선의 기울기를 나타낸다. 동작조건에서 두 개의 값은 각각 자연 각주파수와 루프의 감쇄 요소를 나타낸다. 이 값들은 선형 루프의 전달함수로부터 구할 수 있다. $\delta=0.5$ 에서 $S'(\epsilon_a)=2$ 이기 때문에 그리고 $\zeta = R_b/w_n$ 와 처리이득 $G_p = R_c/R_b$ 를 적용하여, 식(9)를 이용하여 식(7)를 다시 쓸 수 있다.

$$\alpha = 2 \frac{\alpha_0 G_p}{c R_b} \zeta^2, \quad \beta = \frac{1}{2\zeta^2}, \quad \rho = \frac{C_1 \zeta}{\gamma_d^2 D_2 \zeta} \quad (10)$$

그러므로 정규화된 가속도 $a_n = (a_0 G_p)/(c R_b)$ 에서 각각의 독립 파라미터의 출력값은 $a = 2a_n \zeta^2$ 을 나타낸다.

따라서 원하는 시스템 성능을 만족하기 위해서 추적 루프에서 단지 α 나 β 즉, 등가의 ζ (혹은 w_n) 그리고 ξ 만 변화시킨다. 등가 루프 잡음 대역폭은

$$B_L = \frac{1}{2} w_n \left(\zeta + \frac{1}{4\zeta} \right) \quad (11)$$

이다[4].

III. 추적 오차를 작게하기 위한 루프 파라미터

A: 정상 상태 추적 오차와 지터(Jitter)

DLL의 정상 상태 추적 오차는 시스템 등식 (8)로부터 구할 수 있다. 위에서 언급한 것처럼 루프는 $S(\epsilon_{ss}) = a$ 에서 동기된다. 그 결과 정상 상태 추적 오차는

$$\epsilon_a = a/2 \quad (12)$$

왜냐하면 $\sigma = 0.5$ 에서 $S(\epsilon_a) = 2$ 이기 때문이다. 따라서 식 (7)로부터 $a_0 \neq 0$ 이 아니면 a 와 ϵ_a 는 결코 0이 되지 않지만, 이득 요소 K 와 K_1 이 증가함에 따라서 ϵ_a 는 감소할 것이다. 달리 표현하면 식 (10)에 따라서 ζ 가 감소된다는 것을 의미하고 $\zeta = R_b/w_n$ 에 의해서 w_n 은 증가하고 따라서 B_L 도 증가한다는 것을 의미한다(식 (11) 참조).

DLL의 추적 오차는 안정상태에서 시스템 등식(8)을 선형화하는 것과 부가되는 Lyapunov 등식을 전개함으로써 구한다.

$\sigma = 0.5$ 에서 정규화된 추적 오차는

$$\sigma_\epsilon^2 = \frac{\rho G(0)}{2} \left\{ 1 + \frac{\beta}{2} \right\} \quad (13)$$

$G(0)$ 와 식 (10)으로부터 ρ 와 β 값 그리고 식 (11)에서 B_L 를 계산함으로써 결국 다음과 같은 결과를 구할 수 있다.

$$\sigma_\epsilon^2 = \frac{B_L C_2}{2D_2 R_b \gamma_d} \left\{ 1 + \frac{2C_1}{C_2 \gamma_d} \right\} \quad (14)$$

참고문헌 [2], [5]의 squaring loss S_L 에 대한 정의를 이용하여 추적 오차는 다음과 같이 된다.

$$\sigma_\epsilon^2 = \frac{B_L}{2\gamma_d R_b S_L}, \quad S_L = \frac{D_2 \gamma_d}{2C_1 + \gamma_d C_2} \quad (15)$$

따라서 결론적으로 B_L 을 작게하고 S_L 를 크게함으로써 추적 오차를 최소로 줄일 수 있다.

B: 최적 루프 파라미터

정상 상태 추적 오차 ϵ_a 와 지터(jitter) σ_ϵ^2 상에서 도플러 속도 $a_0 \neq 0$ 영향을 비교한 결과 이 두가지 경우는 서로 반대방식의 설계를 고려해야 한다. ϵ_a 을 작게 하려면 w_n 과 B_L 은 커야 되는 반면에 σ_ϵ^2 를 작게하려면 w_n 과 B_L 은 작아야한다. 따라서 루프 파라미터들에 관한 설계는 상호 배타적이다. 도플러 효과가 존재할 경우 복합된 추적 오차는 식(16)과 같고 이것은 적당한 시스템 평가항목이다[1].

$$\epsilon_c = |\epsilon_a| + \sigma_\epsilon \quad (16)$$

식(15)로부터 σ_ϵ 와 $\epsilon_a = a/2$ (a 는 식 (10)에서 주어진 다.)를 이용하여 최소값 ϵ_c 를 구하는 데 필요한 최적 값은 다음과 같다.

$$w_n = 2R_b^5 \sqrt{2\gamma_d S_L a_n^2}, \quad \zeta = 0.5 \text{ (min. } \epsilon_c) \quad (17)$$

윗 식을 달리 표현하면

$$|a| = \frac{1}{2} \sqrt[5]{\frac{|a_n|}{4\gamma_d^2 S_L^2}}, \quad \beta = 2 \text{ (min. } \epsilon_c) \quad (18)$$

최소값 ϵ_c 를 구하기 위한 최적값 ζ 은 일반적으로 안정도와 응답속도사이에서 절충하여 설정된 값으로 $\zeta = 0.707$ 보다는 약간 작은 값이다. 높은 SNR에서 σ_ϵ^2 이 급격히 증가하면 B_L 은 커진다(식(15) 참조). 따라서 정상 상태 추적 오차는 시스템 성능에 별 영향을 미치지 않는다. 또한 식(18)로부터 루프 오프셋 a 와 그것에 따른 ϵ_a 는 큰값의 γ_d 에서 거의 영에 가까워 진다는 것을 알 수 있다.

DLL 대역 여파기의 대역폭을 살펴보면 식(15)로부터 S_L 이 최대가 되면 σ_ϵ^2 는 최소가 되고 그것에 따른 ϵ_c 도 최소가 된다는 것을 알 수 있다. D_2, C_1, C_2, S_L 을 계산함으로써 저역 여파기 $H_L(f)$ 등가 모델의 최적 양측대 잡음 대역폭은 다음과 같이 정의할 수 있다.

$$B_i = \int_{-\infty}^{\infty} |H_L(j2\pi f)|^2 df \quad (19)$$

NRZ-data와 이상적인 대역 여파기들을 구하기 위한 높은 SNR에서 최적의 3dB 대역폭은 $B_f = 1.4 R_b$ 이다[5][6].

IV. MTLL(mean time to lose lock)

낮은 SNR에서 선형 특성을 고려한다면, 루프 오프셋 a 와 그것에 따른 정상 상태 추적 오차 ϵ_a 는 증가할 것이다. 이론적으로 $|a| > 1$ (식(18) 참조)은 가능하다. 이런 경우 S-곡선은 한정된 범위이기 때문에 루프 안정 상태는 존재하지 않는다. 따라서 루프는 즉시 lock을 잃어 버릴 것이다. 그러므로 낮은 SNR에서 루프 비선형 특성이 반드시 고려 되어야 하고 여기서 MTLL은 가장 중요한 성능 분석 요소이다.

특이섭동법(singular perturbation method)을 적용하고 동기 루프의 경우와 같은 수학적 해석을 거쳐 비동기 2차 DLL의 MTLL에 대한 근사 확장법을 사용할 수 있다. 분석을 하기 위해 NRZ-데이터열과 $B_f = 2R_b$ 를 갖는 이상적인 bandpass arm-filter의 경우를 예로 들어 $D_2 \approx 0.902$, $C_1 \approx 0.902$, $C_2 \approx 1$, $C_3 \approx 0.01$ 를 구한다[2]. 따라서 이러한 경우 MTLL을 최대화하기 위해 필요한 값들은 다음과 같이 구해진다.

$$|a| \approx 0.19, \quad \beta \approx 1.4 \quad (a_0 \neq 0, \max. MTLL) \quad (20)$$

따라서 MTLL을 최대화하기 최적 루프 파라미터 α , β 는 상수이지 도플러 속도 a_0 의 함수가 아니다[4]. 그러므로 MTLL은 정상 상태 추적 오차 ϵ_a 와 추적 오차 σ_ϵ^2 를 최적값으로 설정하므로써 최대가 되도록 한다. 먼저 $a_0 = 0$ 에서 $a = 0$ 를 선택하여야 한다. 또한 식(10)을 이용하여 ω_n 과 ζ 에 대한 최적값을 구한다.

$$\omega_n = \sqrt{10.5 \frac{|a_0| R_c}{c}} \quad \zeta \approx 0.6 \quad (a_0 \neq 0, \max. MTLL) \quad (21)$$

식(21)처럼 파라미터 a 와 ω_n 은 최대값 MTLL에서 γ_d 의 영향을 받지 않지만 선형 디자인 경우에 γ_d 의 영향을 받는다.

데이터 비트 주기 T_b 에 의해 정규화된 최적 MTLL \bar{t}_L 은 다음과 같다.

$$\frac{\bar{t}_L^{opt}}{T_b} \approx 1.03 \sqrt{\frac{c R_b}{|a_0| G_p}} \exp \left\{ \frac{0.033 \gamma_d^2}{1 + 0.33 \gamma_d} \sqrt{\frac{c R_b}{|a_0| G_p}} \right\} \quad a_0 \neq 0 \quad (22)$$

a_0 , R_c , G_p 가 주어진 임의의 시스템에서 최적 파라미터 ω_n , B_L 과 그에 따라서 가능한 최대값 MTLL은 쉽게 구할 수 있다. 그러므로 MTLL은 낮은 SNR에서 루프의 신뢰도를 측정하는 가장 중요한 성능 평가 척도이다. MTLL을 구하기 위한 최소 임계값, 즉 $MTLL_{th}$ 로 DLL에 요구되는 신뢰도를 나타낼 수 있다. 식(22)를 γ_d 에 대한 식으로 정리함으로써 $(\gamma_d)_{th}$ 를 구할 수 있다. 이 $(\gamma_d)_{th}$ 는 임의의 $MTLL_{th}$ 를 구하기 위해 필요한 최소 SNR을 나타낸다.

그림 3, 4는 데이터의 전송속도가 각각 $R_b = 9.6 \text{ kbit/s}$, $R_b = 50 \text{ bit/s}$ 일 때 각각 다른 $MTLL_{th}$ 와 G_p 값에 따른 $(\gamma_d)_{th}$ 를 도플러 주파수(Hz)의 함수로 나타낸 것을 보여준다. 본 시뮬레이션에 설정한 도플러 주파수는 실제 GPS시스템에서 $-5 \text{ kHz} \sim +5 \text{ kHz}$ 사이로 변하기 때문에 $0 \text{ kHz} \sim +5 \text{ kHz}$ 로 가변하면서 시뮬레이션 하였다. 즉, 이 그림은 DLL루프로 입력되는 신호의 기준 주파수에 도플러 주파수가 첨가되어 기준 주파수가 흔들릴 때 필요한 $MTLL_{th}$ 를 얻을 수 있도록 요구되는 γ_d 값을 나타낸다. 그림에서 보듯이 통신환경이 극한 상황에서 DLL의 평가항목인 $MTLL_{th}$ 를 얻기 위해 요구되는 임계값 $(\gamma_d)_{th}$ 는 도플러 주파수에 크게 영향을 받지 않는다는 것을 알 수 있다. 그림 4에서 예를 들면 데이터의 전송속도가 $R_b = 50 \text{ bit/s}$ 일 때

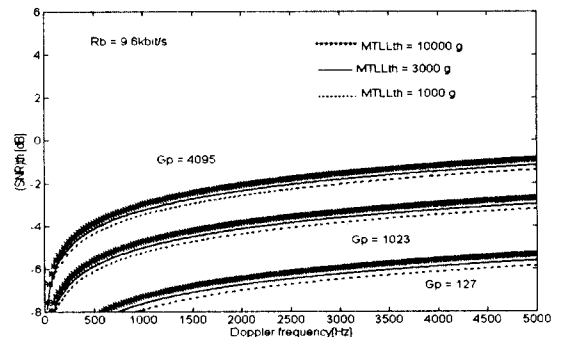


그림 3. 도플러율 주파수에 대한 추적 임계치 (1)
Fig. 3 Tracking threshold vs. Doppler rate (1)

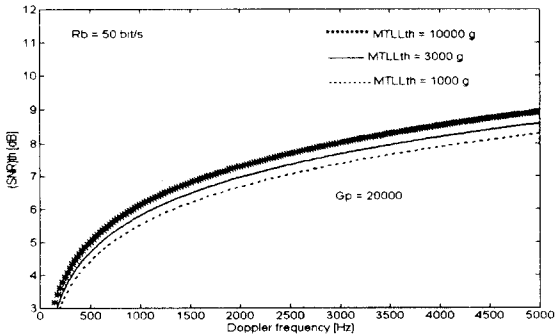


그림 4. 도플러율 주파수에 대한 추적 임계치 (2)
Fig. 4 Tracking threshold vs. Doppler rate (2)

$G_p = 2 \cdot 10^4$ 과 도플러 주파수가 1kHz로 증가시에 $\gamma_d \geq 5\text{dB}$ 이면 실제 응용 시스템에서 MTLL은 충분히 길다는 것을 나타낸다.

최적 루프의 성능을 논하기 위해 본 GPS 시스템에서 살펴보자. 이 시스템에서의 입력신호는 SNR이 항상 낮고 도플러율은 상당히 크다. 데이터의 전송속도는 $R_b = 50\text{bit/s}$ 이고 C/A코드와 P코드의 코드클럭속도는 각각 1Mchip/s , 10Mchip/s 인 경우 처리이득은 각각 $G_p = 2 \cdot 10^4$, $G_p = 2 \cdot 10^5$ 이다. 그림 5는 γ_d 가 변함에 따라서 C/A코드와 P코드 그리고 두가지 경우의 도플러 주파수에 대한 최대 MTLL을 보여주고 있다. 그림에서 보듯이 도플러 주파수와 γ_d 가 같은 경우 큰 값의 R_c 를 가진 시스템의 MTLL이 훨씬 작다는 것을 알 수 있다.

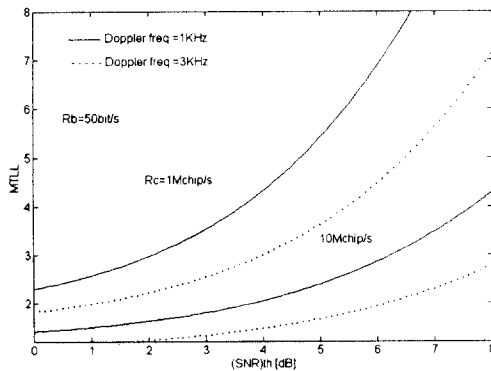


그림 5. 도플러 주파수와 GPS의 C/A코드, P코드에서 SNR에 대한 정규화된 MTLL
Fig. 5 Optimal normalized MTLL vs. SNR for GPS C/A- and P-code rates and for different doppler frequency

V. 디지털 지연동기 루프 설계

지금까지 언급한 비동기형 2차 DLL모델의 GPS시스템에서 시뮬레이션 결과를 이용하여 설계된 디지털 지연동기 루프(DDLL: Digital Delay-Lock Loop)의 전체 구성도는 그림 6과 같다. 이 회로는 C/A epoch 신호를 발생시키는 epoch 신호 발생기, 국부 발생된 C/A 코드와 수신된 C/A 코드의 상관관을 구하는 두 개의 13비트 상관기인 진상-지상상관기, 진상-지상상관기의 출력값의 차를 계산하는 감산기, C/A 코드 발생기, C/A 코드 발생기의 구동 클럭을 발생시키는 직접 디지털 클럭 발생기, 발생된 C/A 코드의 위상을 변조시키는 위상 지연기, 클럭 제어기로 구성되어 있다. 전체 회로는 다운 컨버터부에서 중간 주파수 신호를 샘플링(sampling)하는 속도인 8.184MHz의 클럭에 동기되어 동작된다. 여기서 8.184MHz의 클럭은 GPS수신기의 오차를 줄이기 위하여 선택한 것이다. 시스템으로 입력된 디지털 중간 주파수 C/A 신호는 C/A 코드 발생기에서 발생된 C/A 코드와 상관기에서 C/A 코드의 한 주기 동안 누산된다. 입력 신호가 정보 데이터 '1'이 변조된 신호라면, 시스템이 동기되었을때의 상관 첨두값은 8184이고, 마찬가지로 입력이 정보 데이터 '0'이 변조된 신호라면, 상관 첨두값은 0이다. 이 첨두값이 8개의 구간으로 나뉘는 것은 한 칩당 8개의 샘플로 샘플링했기 때문이다.

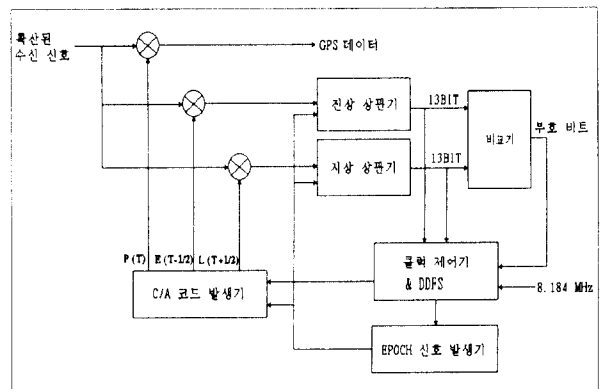


그림 6. 디지털 지연동기루프
Fig. 6 Digital delay-lock loop circuit

본 논문에서 설계한 GPS 수신 시스템의 초기 동기 과정에서는 상관값이 급격한 변화가 나타날 때까지 시스템 내부에서 발생된 C/A 코드를 한 칩씩(acquisition시) 지연시키면서 수신 신호와의 상관을 구한다. 상관값이 급격히 변하게 되면, 동기 추적(tracking)과정으로 동작하게 된다. 이 과정에서는 진상과 지상 상관기에서 누산된 2개의 상관 누산값과 이들 누산값의 차가 클럭 제어기에서 처리되어, 시스템 내부에서 발생되는 C/A 코드의 위상과 수신된 임의의 위성 C/A 코드의 위상을 동기시킨다.

설계된 DLL내부의 클럭 제어기는 지상·진상 상관기 입력되는 상관값과 감산기에서 출력되는 부호 비트를 입력 받아서 임의의 위성 C/A 코드와 DLL에서 발생시킨 C/A 코드의 동기가 1칩이상인지 1칩이내로 동기가 맞았는지를 판단하여 동기가 1칩이상으로 벗어났을 경우에는 초기 동기(acquisition)과정을 수행하는 제어신호(FC), 동기가 1칩이내로 맞았을 경우 미세 조정(tracking)을 통해 동기를 맞추는 제어신호(FC, FC1)를 직접형 주파수 합성기(DDFS)로 출력한다. 직접형 주파수 합성기(DDFS)는 주파수 입력 신호에 해당되는 클럭을 발생시키는 회로이다.

이 회로는 8.184MHz의 주클럭('CLK')과 주파수 입력 신호 즉, 제어 신호인 FC에 따라서 코드클럭을 한칩 또는 1/8칩 지연시키고 FC1은 45° 빠르게 위상 변조하는 기능을 수행한다.

Ⅶ. 실험측정과 논의

지금까지 설명한 내용들을 중심으로 Quick Logic사의 PASIC TOOLKIT을 이용하여 C/A코드 발생기, 디지털 DLL을 설계하였고 시뮬레이션툴로 입출력 파형의 패턴 및 타이밍을 검증 하였다. 이렇게 컴퓨터시뮬레이션을 통해서 검증된 회로를 PASIC TOOLKIT의 프로그래머틀에서 프로그래밍하였고, 이 프로그래밍된 칩을 검증하기 위해 GPS 신호를 발생시키는 시뮬레이터 STR-2770을 이용하였다. 여기서 STR-2770은 중심주파수 1575.42MHz인 L1밴드 RF 신호를 이용하여 GPS C/A코드와 항법 메시지가 BPSK변조방식으로 변조되고 도플러 주파수가 첨가된 신호를 발생시키는 신호발생보드이다. STR-2770 신호발생보드를 동작시키기 위한 소프트웨어의 파라미터중 VELO-

CITY(m/sec)의 값을 설정하여 실제와 같은 도플러 효과를 준다. 따라서 STR-2770은 도플러 주파수가 첨가된 데이터와 C/A코드가 곱해진 신호를 발생한다. 이 신호는 구현한 디지털 DLL의 성능을 검증하기 위한 입력신호로 이용하였다.

그림 7은 임의의 위성 C/A코드와 DLL내부에서 발생하는 C/A코드가 서로 locking 되었을 때 데이터가 복원된 결과 파형으로 1번은 임의의 위성 C/A코드이고 2번은 복원된 GPS 데이터이다. 3번은 DLL내부에서 발생하는 C/A코드 파형이다. 4번은 DLL의 C/A epoch신호이다. 그림에서 나타난 것 처럼 동기를 유지하면서 데이터가 복원된 것을 볼 수 있다.

구현한 디지털 DLL은 처리이득 $GP=2 \cdot 10^4$ 이고 도플러 주파수가 최대 $\pm 5kHz$ 로 변하더라도 실제 환경에서 MTLL이 충분히 길기 때문에 신뢰할 만한 데이터를 복원한다.

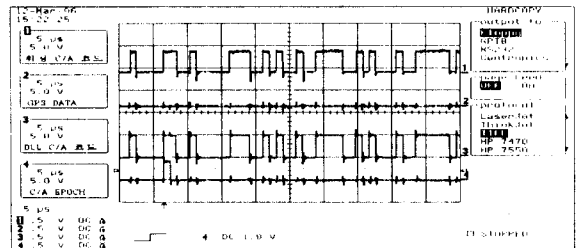


그림 7. DLL에 의해 locking된 C/A코드와 데이터파형
Fig. 7 Data output in DLL(locking)

Ⅷ. 결 론

본 논문에서는 도플러 효과와 데이터 변조가 GPS 수신기용 비동기형 2차 DLL의 성능에 어떤 영향을 미치는지에 대하여 조사하였다. 성능평가를 위하여 선형시스템(높은 SNR)의 복원된 추적 오차 ϵ_c 와 낮은 SNR에서 비선형시스템을 분석하기 위한 MTLL을 살펴보았다. MTLL을 최대한으로 하는데 있어서 정상 상태 추적 오차와 지터가 평형을 이룰 때 최적 루프 오프셋 a 는 상수임이 증명되었다. 높은 SNR에서 MTLL은 지수적으로 증가한다. 따라서 이러한 상황에서 MTLL은 중요한 디자인 파라미터가 아니다. 이러한 경우

추적 오차는 적당한 성능 평가 수단이다. 그리고 SNR에 따라서 루프 파라미터를 적당히 변화시키는 디자인이 필요하다. 또한 MTLL은 루프 임계치 즉, 특정 MTLL을 구하는데 필요한 최소 SNR $(\gamma_d)_{th}$ 를 결정한다. 여기서 $(\gamma_d)_{th}$ 는 MTLL에 민감하지 않다는 것이 증명되었다. 따라서 DLL의 $(\gamma_d)_{th}$ 는 G_p , R_b 그리고 도플러 주파수에 관한 수식으로 쉽게 구할 수 있었다. 또한, 최대 가능한 MTLL을 GPS시스템의 도플러 주파수에 관한 함수에 이용하여 성능분석을 수행하였다. 시뮬레이션에서 얻은 결과로부터 실제 디지털 비동기식 2차 DLL을 구현하였으며 정확히 동작함을 확인하였다. 또한 실험적으로 구현된 디지털 지연동기회로의 성능을 평가하기 위해서 GPS 시뮬레이터인 Northern Telecomm 사의 STR-2770을 이용하여 실험을 수행하여 GPS 데이터복원이 성공적으로 이뤄졌다.

참 고 문 헌

1. J. J. Spilker Jr., "GPS Signal Structure and Performance Characteristics," *Jurnal of Navigation*, Vol. 25, No. 2, 1978.
2. R.E. Ziemer, R.L. Prterson, *Digital Communications and Spread Spectrum Systems*, Macmillan, New York, 1985.
3. A. Polydores, C.L. Weber, "Analysis and Optimization of Correlative Code-Tracking Loops in Spread Spectrum Systems," *IEEE Trans. Commun.* Vol. COM-33, No. 1, 1985.
4. A.L. Welti, B.Z. Bobrovsky, "Mean, Time to Lose Lock for a Coherent Second-Order PN-Code Tracking Loop-The Singular Perturbation Approach," *IEEE Journal on Selected Areas in Communications*, Vol. SAC-8, No. 5, pp. 809-818, June 1990.
5. M.K. Simon, "Noncoherent Pseudonoise Code Tracking Performance of Spread Spectrum Receivers," *IEEE Trans. Commun.*, Vol. COM-25, No. 3, pp. 327-345, Mar. 1977.
6. P. Kunnari, P. Leppanen, "The Effect of Data Modulation on Sigma Delta and Modified Delay-Locked Loop Operation," *IEEE Proceedings of*

GLOBECOM'91, pp. 392-401, Dec. 1991.

7. Il-jin Lee, Hong-Sik Keum, Sang-Gon Lee, Heung-Gyoon Ryu "Despreading circuit of GPS Gold code and Processing Algorithm of Processor" *ICT95*. April. 1995.
8. 이일진, 박종영, 김준태, 유홍균 "GPS 시스템의 C/A 코드상관기 구현과 위치정보추출 알고리즘 개발" *한국통신학회 논문지*, 제20권 2호, pp. 3471~3485, 12월, 1995.
9. 김준태, 강성길, 유홍균 "GPS 수신기용 역확산 지연 동기 루프의 FPGA 회로 구현과 성능 분석" *대한전자공학회 하계종합 학술대회논문집*, 19권 1호 6월, 1996.
10. U.P. Bernhard, A.L. Welti, "Optimal Design of a Noncoherent Second-order Delay-Locked Loop using the Exit-Time Criterion," *IEEE Proceedings of ICC'93*, Geneva, May 1993.

임 성 준(Sung-Jun Lim)

정회원

현재: 한국전자통신연구원 전파응용연구실 실장

유 홍 균(Heung-Gyoon Ryu)

정회원

현재: 충북대학교 전자공학과 교수

※주관심분야: 디지털통신시스템, 통신회로설계, 통신 신호처리분야