

主 題

# 멀티미디어 서비스를 위한 HDSL과 ADSL 부호화기술

포항공대 임기홍, 강규민

한국과학기술원 이 오 훈

LG정보통신㈜ 이경국, 문두영, 한상길

차 례

요 약

1. 서론
2. 채널
3. HDSL 시스템 전체구조
4. Precoding/ Shaping/DFE
5. TCM / Modulo Viterbi Decoder / R-S code with interleaving
6. 성능실험 및 결과
7. 결론

## 요 약

본 논문에서는 현재 연구 개발되고 있는 HDSL/ADSL 시스템의 동작환경과 채널(선로감쇄(propagation loss), NEXT, 충격잡음 등)에 관하여 언급한 후, 전체 시스템의 구조 및 동작 원리를 기술하였다.

연구 개발된 HDSL/ADSL 전체시스템은 64-CAP 전송방식을 기반으로 Tomlinson precoder, Trellis 코드, modulo Viterbi 복호기, Convolutional-interleaved R-S 부호기/복호기, Hybrid-DFE, 반향 제거기, 타이밍 복원회로 등으로 구성되어 있다. HDSL/ADSL 전송시스템의 모든 기능들은 디지털로 구현되었으며, 칩 구현을 위하여 각 기능들의 VLSI 시스템 파라미터들을 추출하고 성능시험을 실시하였다.

## 1. 서론

세계는 지금 고도의 정보 서비스를 전달할 초고속 정보통신망 구축을 미래의 공동 정보사회 건설을 위한 필수조건으로 인식하고, 이의 실현에 박차를 가하고 있다. 이에 따라, 기존의 전화위주의 공중통신 서비스는 다양하고 고속(수 Mb/s 이상)의 멀티미디어 공중통신 서비스로 급격히 전환되고 있으며, 이를 위한 광대역 가입자망 구성방안으로, 기존의 전화선로를 활용하여 고속화하는 HDSL (High-rate Digital subscriber Line) / ADSL (Asymmetric Digital Subscriber Line) 방식, CATV 서비스를 위한 설비를 활용하는 HFC (Hybrid Fiber/Coax) 방식, 광선로와 동선을 혼용하는 FTTC (Fiber-to-the-Curb) 방식 등이 실현 중에 있다. 선진 각국에서는 이들 방식을 이용하여 이미 시험망들을 구축하여 운영하고 있고, 이 결과들로부터 도출된 문제점들을 보

완하며 핵심기술 들의 실용화를 위한 노력을 집중적으로 진행하고 있다.

HDSL/ADSL(CAP-based) 시스템은 POTS (Plain Old Telephone Service)와는 다른 주파수 대역을 사용하므로 현재 사용중인 전화와 동시에 사용할 수 있으며, 특히HDSL 시스템은 양방향 모두 대략 1.5 ~ 2.048Mb/s의 송수신 속도를 가지는 대칭형서비스로서 영상회의, T1/E1 서비스, WAN·LAN 접속, 고속 인터넷접속등에 사용된다. HDSL/ADSL 전송방식으로 2B1Q, discrete multitone (DMT), carrierless AM/PM (CAP) 등이 있으며, 본 논문에서 구현한 CAP 전송기술은 ATM-LAN및 FTTC 구조의 표준가입자 전송기술로서 QAM 전송 방식과 비교하여 시스템 성능은 동일하지만 CAP 전송방식을 사용하면 송수신부의 구조가 간단할 뿐아니라 반송파 복원이 필요치 않으며, 신호 스펙트럼의 위치 및 pre-emphasis 등을 손쉽게 변환할 수 있는 등의 이점으로 초고속 근거리 통신망과 xDSL 전송분야에 널리 이용되고 있다 [1, 2, 3, 4, 5]. 본 논문에서는 초고속정보통신망의 구축을 위한 핵심 기술인 HDSL/ADSL전송시스템을 설계, 개발하는데 있어서 필수적인 부호화 기술에 관하여 현재 개발중인 HDSL 시스템을 중심으로 요약하였다.

서론에 이어서 제 2장에서 HDSL/ADSL 시스템이 사용될 환경인 채널 및 near-end crosstalk (NEXT), 충격잡음(impulse noise) 등 채널 잡음에 관해 기술하고, 제 3장에서는 전체시스템의 구조를 설명한 후 주어진 채널에 적합한 전체 시스템의 spec.을 요약하였으며, 제 4장에서 Tomlinson-Harashima (TH) precoder, 신호점 배치 부호기/복호기(shaping encoder/decoder), 결정 궤환 구조(decision-feedback equalizer(DFE))에 대하여 기술하였다. 제5장에서는 Trellis coded Modulation (TCM)방식에 관해 언급한 후, 수신부의 복잡도를 개선하기 위하여 Modulo타입의Viterbi 복호기(VD)를 설명하였으며, HDSL/ADSL시스템의 주요 채널 잡음의 하나인 충격잡음에 의한 시스템 성능 저하를

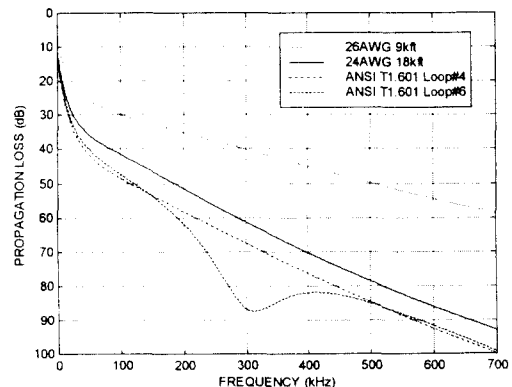
개선하기 위한 Convolutional-interleaved Reed-Solomon (R-S) 부호기/복호기에 관해 설명하였다. 제 6장에서는 전체 시스템의 성능실험 결과를 비교 분석하였고, 제 7장에서 결론을 맺는다.

## 2. 채널

전송시스템을 설계, 개발하기 위해서는 시스템이 운영될 환경, 즉 채널에 관한 철저한 연구가 선행되어야 하며, 이어서 표준화 위원회 등에서 규정한 시스템 성능을 만족하는 알고리즘개발 및 실제 하드웨어 구현 시에 시스템 복잡도를 고려한 시스템 파라메타 등을 추출하는 과정이 필수적이다.

그림1은 ANSI 시험 선로 중에서 널리 사용되는 4개의 선로로서 각각 26AWG 9kft(약3km), 24AWG 18kft(약6km) 및 2개의 ANSI T1.601 선로의 선로감쇄(propagation loss)를 보여 준다. Loop #6은 500ft의 bridged taps을 가지고 있기 때문에 300kHz 부근에서 null을 가지게 된다.

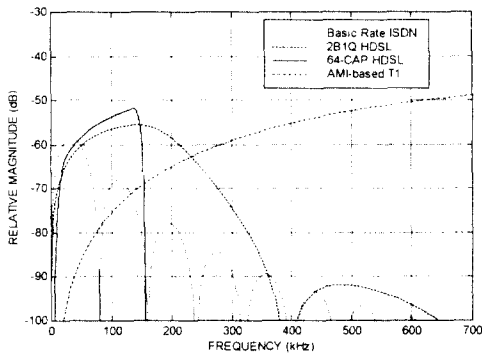
그림1 Loss Characteristics of Various Loops



HDSL/ADSL 시스템은 기존의 선로를 다양한 다른 서비스와 공유하므로 선로간의 누화(NEXT/FEXT)가 심각하다. 따라서, 송수신기의 성능을 평가하기 위해 ANSI T1E1.4 표준화 위원회에서 규정한 NEXT 모델을 사용하며, 49 interferers NEXT

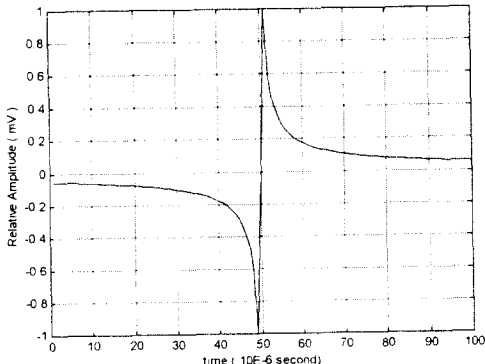
모델은 80kHz에서 57dB의 누화 감쇄(crosstalk loss)를 가지고 주파수에 따라 약 15 dB/decade 감쇄 변화 특성을 가진다. 그림2에 선로의 다양한 서비스에 의한 누화 감쇄를 보였으며 송신부의 동일한 전력을 가정하면 self-NEXT가 가장 심각함을 알 수 있다 (6, 7, 8).

그림2 ISDN, HDSL and T1 Spectra after NEXT Coupling Channel



가입자택내 전화기에 의한 on/off hook, ring trip 등으로 발생하는 충격잡음은 약 수십 kHz의 주파수 대역까지 전송시스템에 심각한 영향을 끼치며, 충격잡음은 그림3과 같은 cook 펄스로 모델링된다. 이와 같은 충격잡음을 제거하기 위하여 순방향 채널(downstream channel)과 역방향 채널(upstream channel) 모두에 convolutional-interleaved R-S 코드를 사용한다.

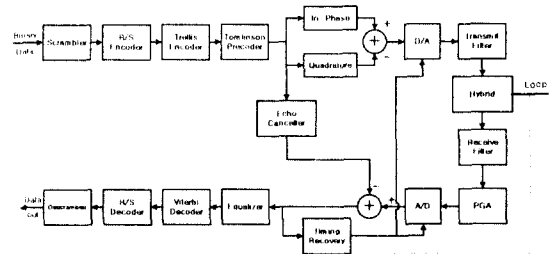
그림3 Normalized Cook Pulse Waveform



### 3. HDSL 시스템 전체구조

CAP전송기술을 기반으로 하는 HDSL 시스템의 전체 구조는 그림4와 같다. 그림4의 HDSL 시스템은 1개의 twisted pair로 양방향 전송을 하며(single-pair full duplex), 순방향과 역방향의 전송 속도는 1.6Mb/s이다. 전체 시스템은 채널 부호기/복호기, 반향 제거기(echo canceller), precoder, 자동이득 제어회로(programmable gain amplifier (PGA)), 등화기, 타이밍 복원회로 등으로 구성된다 (6, 7, 8).

그림4 HDSL CAP 송수신기 전체구조



HDSL 시스템의 성능을 약 3.5-4dB 개선하기 위해서 2차원 8-state (2D/8S) 트렐리스(Trellis) 코드 및 Viterbi 복호기를 사용하며, 이때TH precoder와 호환이 가능한 modulo VD를 사용하여 수신부의 복잡도를 줄인다. HDSL의 주요채널 잡음의 하나인 충격잡음을 제거하기 위하여 interleaved (135, 131) R-S 코드를 사용하였으며, R-S 코드를 사용하면 NEXT나 백색 잡음하에서 약 2dB정도의 부호화 이득을 추가로 얻을 수 있다.

HDSL 채널과 같이 ISI가 심각한 환경에서는 DFE가 사용되어야 하는데, DFE와 Viterbi 복호기를 연속적으로 연결하여 시스템 구성하는 경우에는 수신부에서 심볼 결정 에러가 발생할 때, DFE의 제한 지연선(feedback delay line)을 따라 잘못된 값이 계속 전달되어 성능이 저하되는 등, 여러가지 문제점이 발생한다. 이러한 문제점을 해결하기 위해 DFE의 제한 필터(feedback filter) 부분을 송신부

로 옮겨 사용하는 TH-precoder를 사용한다. 또한, 수신부에서 DFE의 잡음예측(noise-predictive) 케환 필터를 추가적으로 사용함으로써, 채널의 변화에 적절하게 대처할 수 있도록 시스템을 구성하였다.

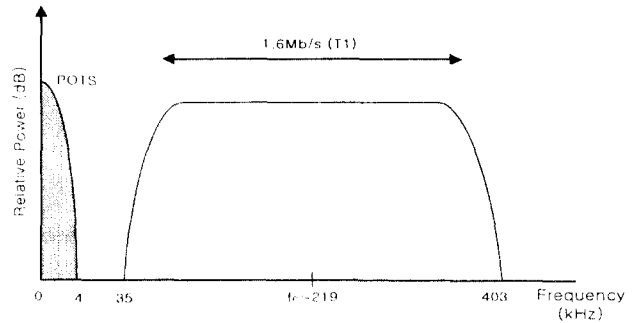
HDSL 시스템에서는 Hybrid coupler의 impedance mismatch에 의한 반향 신호가 발생하게 되는데, 이러한 반향신호가 수신부에 전달되면 등화기와 타이밍 복원회로가 올바르게 동작할 수 없게 된다. 따라서 반향신호를 모델링하여 반향 신호를 추정 한 후 반향신호를 없애기 위해 HDSL 시스템에서는 적응 반향 제거기를 사용한다(9, 10).

본 논문에서 연구개발한 HDSL 시스템의 spec.을 표1에 나타내었으며, 그림5는 HDSL 시스템의 주파수대역폭(bandwidth allocation)을 보여주고 있다.

표1 HDSL/ADSL 시스템 Specification

	HDSL/ADSL
Loop	24/26 AWG (9-12kft)
Impairment	NEXT-dominated RFI / impulse-noise
Modulation	64-CAP / 16-CAP
Transmitter	with pre-emphasis
Scrambler/Descrambler	Self-synchronized
Excess BW	alpha = 0.15
Timing Recovery	Band-edge
AGC	PGA
Equalizer	Hybrid-DFE with Tomlinson-precoding
Echo Cancellation	HDSL
Trellis-code	2D-8state/4D-16state
Viterbi decoder	Modulo Viterbi decoder
Reed-Solomon	Convolutional interleaving
A/D, D/A	12-bits

그림5 HDSL Bandwidth Allocation



## 4. Precoding/ Shaping/DFE

### 4.1 Precoding

DFE에서는 심볼 결정 에러가 발생하면, 케환 지연선을 통해 에러가 전파된다. DFE와 Viterbi 복호기(VD)를 연속적으로 연결하여 시스템을 구현하였을 때, DFE에서 잘못된 값을 결정할 경우 케환 지연선을 통해 전달된 값이 VD에서 심볼 결정될 때 성능저하를 가지게 되므로 등화기 이득(equalization gain)과 부호화 기법에 의한 이득(coding gain)을 동시에 얻을 수 없게 된다. 이러한 문제점을 해결하기 위해서 몇 가지 기술이 개발되었는데, 크게 수신부를 기반으로 한 기술과 송신부를 기반으로 한 기술 두 부류로 나눌 수 있다. 수신부를 기반으로 한 기술은 송신부를 기반으로 한 기술보다 훨씬 복잡할 뿐만 아니라, 에러가 없는 DFE와 VD를 연결했을 때 얻을 수 있는 부호화 이득을 정확히 얻을 수 없고, 부호화 이득은 사용하는 채널에 의존하게 되는 등의 문제점이 있으므로 HDSL/ADSL 시스템 개발에는 송신부를 기반으로 하는 precoding 기법을 사용하였다.

송신부를 기반으로 한 기술은 Tomlinson과 Harashima에 의해 독립적으로 서로 비슷한 시기에 처음으로 개발되었고, 그 이후 많은 기술들이 개발되었다(11, 12, 13, 14). TH precoding은 DFE의 케환

필터 부분을 그림6에서 보는 바와 같이 송신부로 옮겨 사용함으로써 에러 전파를 없애고, Viterbi 복호기에서 발생한 역효과도 없앨 수 있다. 제한 필터를 송신부로 옮겨 놓으면 송신부의 전력이 무한정 커지기 때문에, 이러한 전력의 증가를 막기 위해 비선형(non-linear) 함수(mod<sub>2L</sub>)를 사용한다. mod<sub>2L</sub> 필터에서 L은 사용하는 신호점(constellation)에서 데이터 심볼의 level 개수로 정의된다. 예를 들어, 송신부의 심볼 A<sub>k</sub>=±1인 경우, L=2이고, A<sub>k</sub> = ±1, ±3, ±5, ±7인 경우는 L=8이다. TH DFE의 mod<sub>2L</sub> 필터는 [-L, L] 영역 바깥에 있는 점들을 [-L, L] 영역 안쪽으로 대응시킨다. TH precoder는 mod<sub>2L</sub> 필터로 송신 전력의 증가를 막았지만, 원래 신호보다는 많은 전력이 요구되며, 이렇게 증가된 전력을 precoding 손실이라고 한다. 또한 수신부에서 TH-precoding된 신호를 복원할 때 modulo 연산에 의한 'data flipping' 현상이 발생한다. 따라서 TH precoding 시스템을 설계할 때에는 송신부 신호의 전력 증가를 막고, data flipping 현상을 제거하기 위한 적절한 기법이 필요하다.

그림6 Discrete-time Tomlinson DFE Model

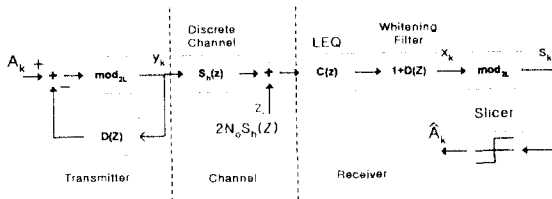
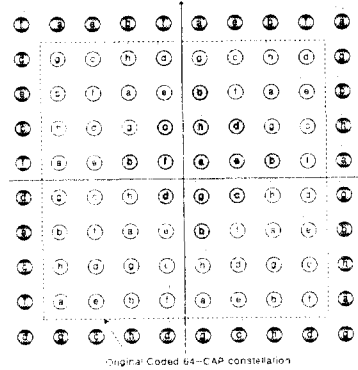


그림 7에 'data flipping' 제거를 위하여 부호화된 64-CAP의 확장된 신호점 모양을 보였다.

TH precoding을 이용한 부호화된 시스템으로 부호화 이득과 등화기 이득을 얻을 수 있지만 송신부 신호가 정사각형 영역 내에 일정한 분포를 가지므로 신호점 배치에 의한 이득(shaping gain)을 얻을 수가 없고, 신호의 신호점이 작을 경우 precoding 손실이 크며, binary lattice를 이용한 트렐리스 코드만을 사용해야 하는 단점이 있다. 최근에 제안된 ISI

coder(14)는 ISI 채널에서 신호점 배치 이득과 부호화 이득을 동시에 얻을 뿐만 아니라 coset 분할 횟수에 무관하게 일정한 precoding 손실을 가지기 때문에 다양한 신호점 배치 코더와 함께 사용될 수 있다.

그림7 Extended Coded 64-CAP Constellation



## 4.2 Shaping

제한된 대역폭 채널에서 Shannon limit과 부호화되지 않은 CAP 시스템의 "SNR gap"은 Pr(e)=10<sup>-6</sup>에서 약 9dB정도이다. TCM과 R-S 코드를 이용하여 5-6dB 정도의 부호화 이득을 얻고, 신호점 배치 코드를 이용하여 약 1dB정도의 신호점 배치 이득을 얻을 수 있기 때문에 SNR gap을 2dB 까지 줄일 수 있게 된다. 신호점 배치의 목적은 일정하게 분포된 신호점을 어느 정도 확장한 후 Gaussian 분포에 가깝게 만들어서 같은 데이터 전송률에서 평균 신호 전력을 줄이는 데 있다. 이렇게 함으로써 최대 1.53dB의 신호점 배치 이득을 얻는다. 이상적인 채널에서, 비교적 간단하게 구현할 수 있으면서 약 1dB 정도의 신호점 배치 이득을 얻을 수 있는 기법들이 개발되었으며, 3~4dB 정도의 부호화 이득을 얻을 수 있는 트렐리스 코드에서 1dB를 더 얻기 위해, state와 차원을 늘려 복잡한 트렐리스 부호화 방법을 사용하는 것보다는 이러한 신호점 배치 기법을 사용하는 것이 더 효율적이다.

### 4.3 Decision Feedback Equalizer(DFE)

본 절에서는 HDSL/ADSL 전송시스템에 사용되는 등화기 구조인 Hybrid-DFE(Decision Feedback Equalizer)에 관해 기술한다. 현재 여러 전송 시스템 및 storage 시스템 등에 사용되고 있는 DFE 구조는 일반적인(혹은 intersymbol interference predictive) DFE(ISI-DFE)와 noise-predictive(NP) DFE 구조로 구분할 수 있다.

HDSL/ADSL 채널은 특히, 데이터 전송률이 증가함에 따라 전송 대역폭이 넓어지며 이에 따라 고주파 대역의 신호 감쇄가 크기 때문에 ISI 채널왜곡이 더욱 심각하게 된다. 따라서 이러한 ISI를 효율적으로 제거하기 위해 송신부에서 사용하는 것이 DFE이다. Zero-forcing 관점에서 볼 때 ISI-DFE와 NP-DFE는 수학적으로 동일한 형태이며, 따라서 이론적으로 동일한 성능을 나타내지만, 채널잡음의 특성에 따라 성능에 차이가 있다.

ISI-DFE의 경우 feed-forward(FE) 부분과 feedback(FB) 부분이 있고, 각각 ISI를 부분적으로 제거하는 기능을 담당한다. FSLE(Fractionally Spaced Linear Equalizer)를 통과한 잡음은 실제로는 완전하게 백색화되지 않고 약간 colored된 잡음이기 때문에 이것은 시스템의 성능을 저하시킨다. 결국 ISI-DFE의 성능은 suboptimal로 제한되어 있다고 할 수 있다. NP-DFE에서는 이론적으로 선형 등화기(linear equalizer(LE))는 모든 ISI를 제거하고 케환 필터 부분은 colored 채널잡음을 제거한다. 그러나, LE를 설계할 때에는 잡음 enhancement와 ISI보상 사이에는 trade-off가 있게 된다. 즉, ISI를 제거하기 위하여 LE에 MMSE criterion을 사용하고 결과적으로, LE를 통과한 신호는 ISI가 존재하게 된다. 이러한 residual ISI는 NP 구조로는 완전히 제거할 수 없으므로 NP-DFE 구조는 ideal DFE와 비교하여 성능 저하가 있다.

HDSL/ADSL 환경과 같이 선로가 길고 NEXT 등의 광대역(broadband) 잡음과 협대역 간섭(narrowband interference)이 심각한 상황에서는

그림8에서처럼 2개의 DFE (ISI-DFE와 NP-DFE)를 합한 형태인 Hybrid DFE가 사용된다[15].

그림8 Hybrid-DFE

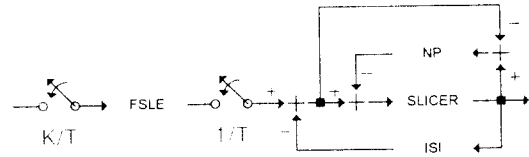


그림8에서 보는 바와 같이 Hybrid-DFE는 적응 FF 필터가 등화기의 앞쪽에 위치하고 ISI predictive 필터(I(z))와 noise predictive 필터는 병렬로 뒤쪽에 위치하게 된다. 필터의 탭을 update 할 때에 ISI predictive 필터와 NP 필터를 분리하여 적용할 때가 두 개 필터를 동시에 켜서 함께 tap update할 때보다 더 좋은 성능을 보인다. 따라서 Hybrid-DFE를 동작시킬 때 ISI-DFE와 NP-DFE의 update를 통제하기 위해 ISI/NP 통제신호(control signal)가 필요하게 된다. Hybrid DFE 수신기 구조에서는 ISI-DFE의 케환 필터 값을 NP-DFE의 케환 필터 값보다 훨씬 더 큰 비중을 두어 설계해야 하는데, 이것은 후에 송신부에서 precoding을 할 경우 ISI-DFE feedback 필터의 탭 값을 precoding에 사용함으로써 precoder의 복잡도를 줄이게 된다. 따라서 송신부에 TH precoding scheme을 사용할 경우 I(z) 값이 송신부의 precoder로 전달되어 사용되고 NP-DFE는 수신부에서 계속 켜진 상태로 동작하게 된다. 이처럼 수신부에서 계속적으로 NP-DFE를 사용하여, 시간이 지남에 따라 채널에서 약간 변하는 부분에 대한 보상을 해 주게 된다.

## 5. TCM / Modulo Viterbi Decoder / R-S code with interleaving

TCM은 80년대 초에 발표된 이후, Voiceband 모

템등 여러 전송 시스템에 사용되었고, 최근 VLSI의 발전으로 인해 수십 MHz에서 동작하는 시스템이 가능해지면서 TCM이 xDSL에 적용되고 있다. HDSL/ADSL의 송신부에 TCM을 구현할 경우 수신부에 VD가 사용해야 한다. 송신부의 TH-precoding 시에 modulo 연산을 사용하기 때문에 수신부에도 동일한 modulo 연산이 필요하며, 따라서 수신부의 modulo 연산과 Viterbi 복호기를 결합한 Modulo VD를 개발하여HDSL/ADSL 시스템의 복잡도를 상당히 줄였다. 또한, HDSL/ADSL 환경에서는 충격잡음등에 의한 burst 에러가 발생하기 때문에 이를 효율적으로 제거할 수 있는 interleaved R-S 부호화 기법을 적용한다. 5.1절에서는 HDSL/ADSL에 적합한 2D/8S TCM에 대해 언급하고 5.2절에서는 Conventional VD와 Modulo VD를 비교 설명하였으며, 5.3절에서는 R-S 코드에 관하여 기술하였다.

### 5.1 Trellis Coded Modulation (TCM)

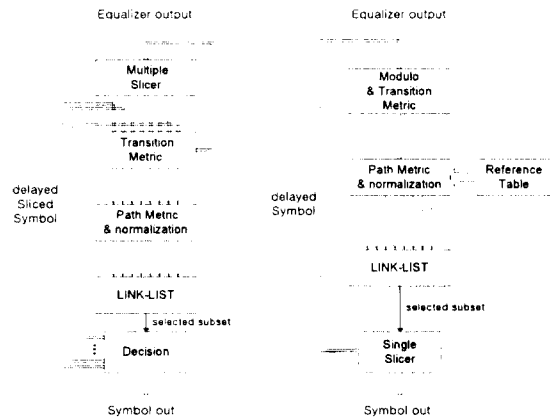
HDSL/ADSL 시스템에는 2차원8-state(2D/8S) 혹은 4차원 16-state(4D/16S) 트렐리스 부호기가 사용되어지나 HDSL/ADSL 채널에서 성능 실험 결과 두 부호기의 성능 차이가 거의 없고 특허문제 등으로 인하여 본 연구에서는 2D/8S 트렐리스 부호기를 사용하였다. 그림7은 2D/8S 트렐리스를 이용하여 부호화된 64-CAP의 신호점을 나타내는데, 여기서 A~H는 coset 분할을 3번하여 얻은 8개의 subset들을 의미한다. 이렇게 얻은 8개의 subset들은 2개의 그룹 (A, B, C, D, E, F, G, H)으로 나뉘는데, 트렐리스 부호기는 sequence간에 최대의 거리를 얻기 위해 한 state에서 나가거나 들어오는 subset들은 반드시 같은 그룹에 속해 있도록 설계해야 한다.

### 5.2 Modulo Viterbi Decoder

HDSL/ADSL 시스템에서는 TH precoder와 호

환이 가능한 Viterbi 복호기가 필요하다. 따라서 송신부와 수신부의 심볼에 대해 modulo 연산을 하게 되는데, 기존의 VD대신에 modulo VD를 사용하면, transition metric의 계산시 복잡도가 훨씬 줄어들게 된다. 또한 transition metric 연산시 모든 곱하기 연산을 더하기 연산으로 처리할 수 있기 때문에 시스템의 구현이 간단할 뿐만 아니라 40Mb/s이상의 데이터 전송률로동작하는 VD도 구현할 수 있다.

그림9 (a) Conventional Viterbi Decoder  
(b) Modulo Viterbi Decoder



기존의 VD는 그림9(a)에 보는 바와 같이 몇 개의 모듈로 구성되어 있다. 등화기의 출력 데이터가 VD로 전달되면 맨 먼저 8개의 양자화기(slicer)를 통과하게 되는데 이때 각 subset내에 있는 8개의 심볼중 하나를 택하게 된다. 그리고 이 값들을 이용하여 다시 8개의 transition metric을 계산한 후 path metric을 계산하며, arithmetic overflow를 막기 위해 정규화 작업을 해 준다. 8개의 path metric중 가장 크기가 작은 것을 back-tracing의 출발점으로 하여, n 심볼 지연된 값을 복호화하게 된다. 여기서 n을 복호화 길이(decoding depth)라고 하는데, 2D/8S인 경우 복호화 길이가 16이상이면 거의 최적에 가까운 성능을 얻을 수 있다.

기존의 VD는 transition metric을 구하기 위해 상당히 많은 곱하기 연산과 더하기 연산이 필요하게

되는데 이러한 복잡도를 줄이기 위해 제안된 방법이 modulo VD이다. 그림 9(b)의 Modulo VD는 모든 신호점 space를 subset당 하나의 점을 포함하는 Modulo Set Area(MSA)라는 곳에 접어 넣는 modulo연산을 한다. 이처럼 MSA를 이용하여 modulo연산을 함으로써, transition metric 계산시 euclidean 거리를 여러 번 계산하던 것을 한번으로 가능하게 하였고, transition metric 계산시 곱하기 연산을 더하기 연산으로 가능하게 하였다. 그리고 2D/8S TCM인 경우, 복호화시 기존의 VD는 8개 양자화기의 출력 값을 모두 메모리에 저장해야 하지만, Modulo VD는 등화기의 출력 값만을 메모리에 저장한 후 한 개의 양자화기로 복호화하기 때문에 시스템의 복잡도를 상당히 줄일 수 있는 장점을 가지고 있다. 이처럼 곱하기 연산기와 다중 양자화기를 없애고 많은 연산들을 single cycle instruction으로 만듦으로써 Viterbi 복호기가 40Mb/s 혹은 그 이상의 속도로 동작할 수 있게 설계할 수 있다

### 5.3 Reed-Solomon(R-S) Code with Interleaving

R-S 코드는 non-binary 코드로서 여러 개의 burst 에러가 동시에 발생하는 경우 이를 바로 잡는데 매우 효과적이다. TCM 방식은 random 에러를 바로 잡는데 주로 이용되는 반면, R-S 부호화 방식은 채널의 충격잡음이나 DFE에서의 에러 propagation에 대해 그 영향을 완화하는데 우수한 성능을 보이며, 심볼 에러를 바로 잡는 능력이 뛰어나기 때문에 storage 시스템에 많이 사용된다.  $(n, k)$  R-S 코드는  $n$ 개 심볼의 block 길이와  $k$  개의 information 심볼을 가진다 (여기서  $n > k$ ). 따라서, 모든 연산은 비트 단위가 아니라 심볼 단위로 행해지며,  $t = (n-k)/2$ 개의 심볼을 바로 잡을 수 있다.

HDSL/ADSL 시스템에서 burst 에러를 제거하기 위하여 설계된 R-S 코드는  $GF(2^8)$ 에서의 심볼을 가지는 (135, 131) 코드로 2개의 심볼을 정정할 수 있다. 또한, 충격잡음의 특성을 고려하여 효과적인 부호화 이득을 얻기 위해 Convolutional interleaving 방식

( $I=18, M=4$ )을 택하였다.

## 6. 성능실험 및 결과

그림10은 1.6Mb/s HDSL/ADSL 부호화 시스템의 성능 실험 환경을 나타낸다. 입력 데이터는 (135, 131) R-S encoder를 통과한 후  $I=18, M=4$ 인 interleaver를 거쳐 2D/8S 트렐리스 부호기로 전달된다. 여기서 만들어진 부호화된 64-CAP 신호들은 TH-precoder와 송신부 필터를 거쳐 채널을 통과하게 되는데, 모의 실험시 사용된 선로는 24AWG 6kft 이며NEXT와 cook 펄스가 존재한다. 채널을 통과한 신호들은 FSLF를 거쳐 modulo VD에 전달되어 복호화되는데, 여기서 사용한 복호화 거리는 16이다. VD에서 나온 데이터는 de-interleaver와 R-S 복호기를 거쳐 출력 데이터로 복호화된다.

그림10 HDSL/ADSL 시스템 (I) 성능실험환경

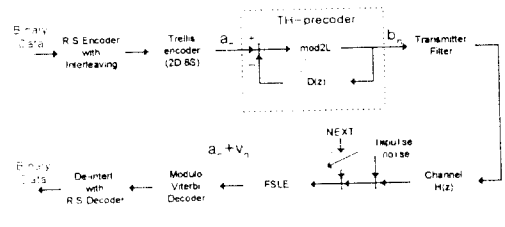


그림11은 HDSL/ADSL 부호화 시스템의 트렐리스 부호기의 출력단부터 modulo Viterbi 복호기의 출력단까지 각 모듈의 출력단에서 본 신호의 신호점을 보여주고 있다. 그림11(a)는 부호화되지 않은 32-CAP 신호들이 트렐리스 부호기를 통과한 후 부호화된 64-CAP신호로 바뀐 신호점을 보여 준다. 트렐리스 부호기의 출력 데이터와 TH-precoder의 케환 필터를 통과한 데이터의 합, 다시 말하면 TH-precoder의  $mod_{2L}$  필터 앞단에서 본 신호의 신호점을 그림11(b)에 나타내었는데, 케환 필터(D(Z))의 모양에 따라 신호의 크기가 상당히 커질 수도 있으며, 만일  $mod_{2L}$  필터를 사용하지 않고 신호를 보낸



다면 송신부의 전력이 상당히 증가할 것이라는 것을 알 수 있다. 그림11(c)는 TH-precoder의 mod2L 필터를 통과한 후의 출력 신호 신호점을 나타내며, 이때 신호들은 [-8, 8] 지역내에 일정한 분포를 가지게 된다. 이러한 신호들을 수신부의 FSLE로 통과시키면, 그림11(d)와 같은 신호점을 얻게 된다. 여기서 얻은 신호는 계속해서 modulo VD내의 mod<sub>2L</sub> 필터를 통과하게 되며 이때 얻은 신호점을 그림11(e)에 나타내었다. 그림11(f)는 VD에서 복호화한 최종 신호점을 나타낸다.

그림11 The Outputs of Each Block for the 64-CAP Tomlinson Coded System

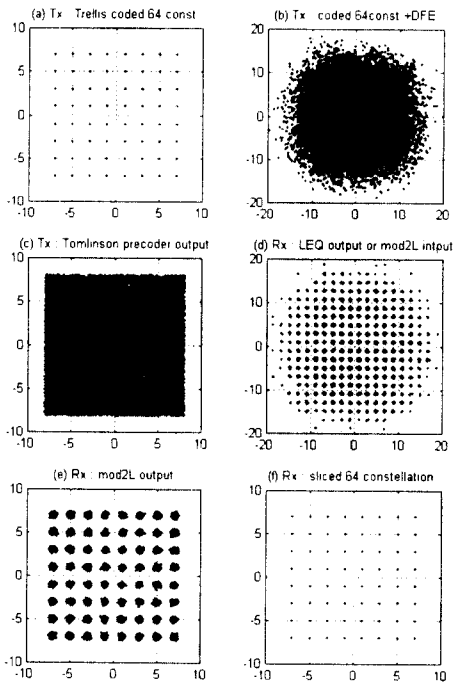
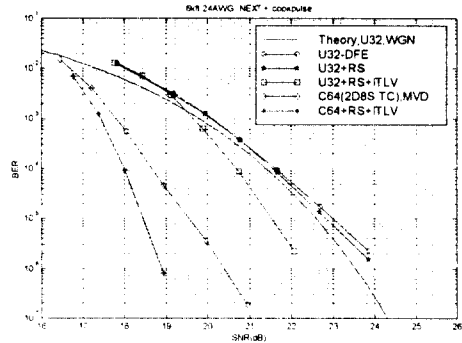


그림12에서는 그림10의 모의 실험 환경하에서 얻은 SNR대 BER 결과를 보여 준다. TH-precoder를 이용한 HDSL/ADSL 부호화 시스템에서, 트렐리스 부호화 이득이 약3.5dB, interleaving을 한 R-S 코드의 부호화 이득이 약 2dB정도임을 볼 수 있다. 여기서 TH-precoder를 이용한 HDSL/ADSL 부호화 시스템의 부호화 이득이 5~6dB 정도 됨을 볼 수 있다.

그림12 SNR vs BER



R-S 코드의 interleaving의 효과를 알아보기 위해 SNR<sub>0</sub> 이 약19dB일 때의 burst 에러 길이의 분포도를 그림13에 나타내었다. 그림13(a)는 트렐리스 코드와 R-S 코드를 모두 사용하지 않은 시스템에서 얻은 분포도이다. 그림13(b)는 R-S 코드만 사용하고 트렐리스 코드와 interleaving은 하지 않은 시스템에서 얻은 분포도인데, cook 필스가 존재하는 환경하에서 interleaving을 하지 않을 경우에 burst 에러의 길이가 10개 심볼 이상인 것도 존재함을 알 수 있다.

그림13 충격잡음 성능실험결과

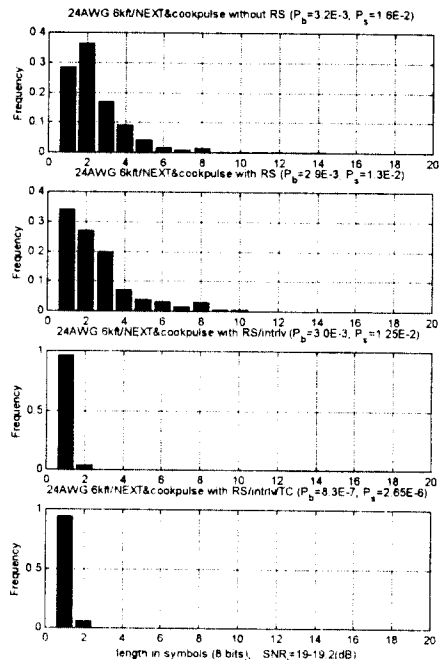


그림13(c)는 interleaved R-S 코드는 사용하고 트렐리스 코드는 사용하지 않은 시스템에서 얻은 분포도인데 burst 에러의 길이가 3개 심볼 이상인 것은 하나도 없음을 볼 수 있다. 그림13(d)는 interleaved R-S 코드와 2D/8S 트렐리스 코드를 모두 사용한 시스템의 분포도를 보여주는데, 그림 13(c)에서처럼 길이가 3개 심볼 이상인 burst 에러는 발생하지 않았으며, 비트 오류(BER)이  $10^3$  대에서  $10^7$  대로 낮아졌음을 알 수 있다.

호기, Viterbi 복호기, 선형 등화기 등의 모듈이 있으며, 모의 실험 환경과 spec.은 그림10의 경우와 동일하다. 그림15는 신호들이 신호점 배치 부호기와 ISI 부호기를 통과하였을 때의 출력 값들을 1차원 상에서 본 분포도이며, 4.2절에서 언급한 바와 같이 전력력이 작은 값들이 많이 분포하고, 전력력이 큰 값들은 거의 없는 Gaussian 분포 형태를 보인다. 그림16은 ISI precoder를 이용한 부호화 시스템(그림14)의 각 모듈의 출력단에서 본 신호점이다.

그림14 HDSL/ADSL System (II)

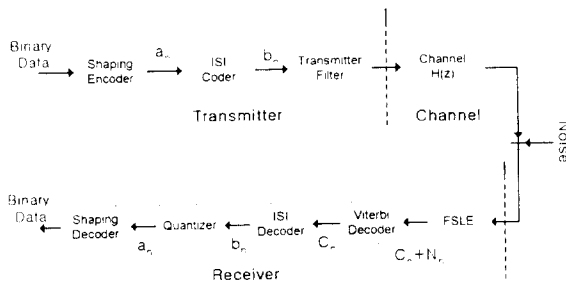


그림16 The Output of Each Block for the 128-CAP ISI Precoding System

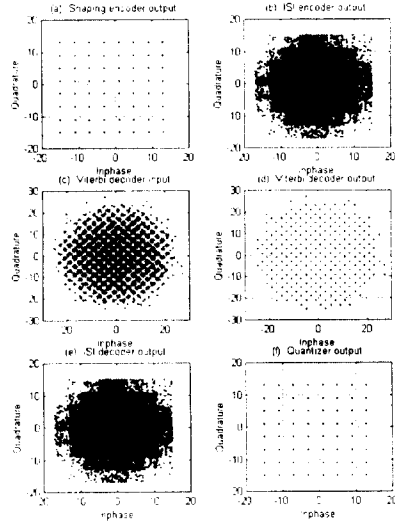


그림15 One Dimensional Relative Density of Shaping and ISI Encoder Output

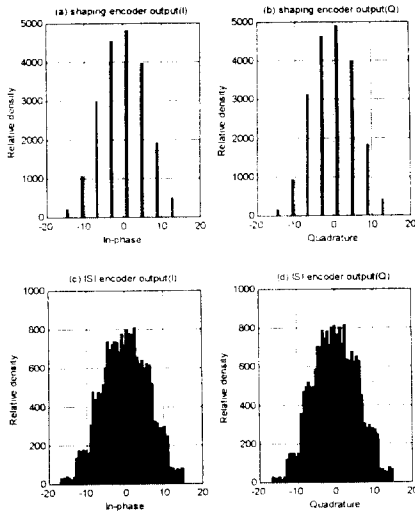


그림17 SNR vs BER

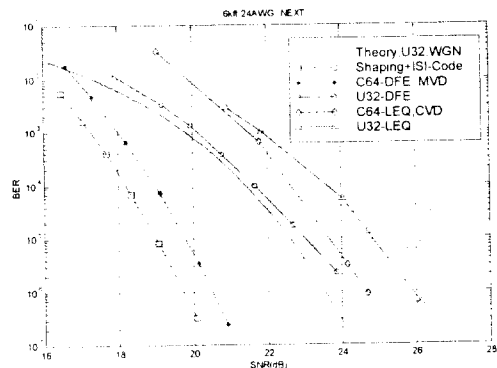


그림14는 4.2절에서 설명한 신호점 배치의 효과를 살펴보기 위해 구성한 부호화 시스템으로, 여기에는 트렐리스 신호점 배치 부호기/복호기, ISI 부호기/복

그림14의 성능실험 환경하에서 얻은 SNR대 BER 결과를 그림17에 나타내었다. 여기서 채널 잡음으로 NEXT를 사용하였고, NEXT 전력을 변화시키면서 SNR대 BER 결과를 얻었다. LE에 비해 DFE의 성능이 약 2dB정도 우수하고, 그림12에서와 마찬가지로 2D/8S 트렐리스 코드를 사용한 부호화 시스템이 부호화되지 않은 시스템보다 약3.5dB 정도의 부호화 이득이 있음을 볼 수 있다. 그리고, 신호점 배치 이득이 약 0.8 dB정도 있는 것도 확인할 수 있다.

## 7. 결론

본 논문에서는 HDSL/ADSL 시스템의 동작환경과 채널(propagation loss, NEXT, 충격잡음 등)에 관하여 언급한 후, 전체 시스템의 구조 및 동작 원리를 기술하였으며, HDSL 시스템의 양방향 채널 1.6Mb/s 64-CAP 전송시스템이 주어진 채널에 대해 최적의 성능을 가질 수 있도록 각 모듈들을 구성하였다. HDSL 시스템의 등화기 이득과 부호(TCM) 이득을 동시에 얻기 위한 TH precoder를 사용함으로써 수신부에서는 에러의 확산을 없애고, 송신부에서는 송신신호 전력의 증가를 없앴으며, modulo 연산에 의한 'data flipping' 효과를 확장된 신호점으로 해결하였다. 신호점 배치 coder와 ISI-coder를 사용하여 약 0.8 dB의 신호점 배치 이득을 얻을 수 있으나 T-H precoder를 사용한 경우와 비교하여 시스템이 복잡하고, 특히 T-H precoder를 사용할 경우 modulo VD에 의하여 시스템이 훨씬 간단해지기 때문에 본 연구에서는 T-H precoder를 사용하여 HDSL/ADSL 시스템을 개발하였다. 2D/8S 트렐리스 코드와 Viterbi 복호기를 설계하여 3.5-4dB 정도의 부호화 이득을 얻었으며, 수신부에서는 modulo 타입의 Viterbi Decoder를 설계하여 사용함으로써 시스템의 복잡도를 줄였다. HDSL 시스템의 채널 변화에 적절하게 대처하기 위해 수신부에서 Hybrid-DFE를 사용하였고, 주요 채널 잡음인 충격잡음에 의한 시스템 성능 저하를 막기 위해 Convolutional-

interleaved R-S 부호기/복호기를 설계하여 2dB 정도의 부호화 이득을 얻었다. 연구 개발된 HDSL/ADSL 전체시스템은 64-CAP 전송방식을 기반으로 TH precoder, TCM, modulo Viterbi 복호기, Convolutional-interleaved R-S 부호기/복호기, Hybrid-DFE, 반향 제거기, 타이밍 복원회로 등으로 구성되어 있다. HDSL/ADSL 전송시스템의 모든 기능들은 디지털로 구현되었으며, 칩 구현을 위하여 각 기능들의 VLSI 시스템 파라미터들을 추출하고 성능시험을 실시하였다.

### ※ 참고문헌

- (1) G. H. Im, "Carrierless AM/PM Modulation and its applications for HDSL/ADSL, ATM LAN and Broadband Interactive Multimedia", 텔레콤 (대전전자공학회), pp30-57, Dec 1994.
- (2) 임기홍 외, "FTTC/VDSL 가입자 전송기술 - 51.84 Mb/s 16-CAP 과 1.62 Mb/s QPSK Burst TDMA," 한국통신학회지, 제15권 7 호, pp.169-179, 7월, 1998.
- (3) G. H. Im, J.J Werner, "Bandwidth-efficient digital transmission over unshield twisted pair wiring", IEEE J. Select. Area Commun., vol. 13, no. 9, pp 1643-1655, Dec., 1995.
- (4) G. H. Im, D. D. Harman, G. Huang, A.V. Mandzik, M-H Nguyen, and J.J Werner, "51.84 Mb/s 16-CAP ATM LAN Standard", IEEE J. Select. Areas Commun., vol. 13. no. 4, pp620-632, May 1995.
- (5) N. R. Shanbhag and G. H. Im, "VLSI systems design of 51.84 Mb/s transceivers for ATM-LAN and broadband access", IEEE Trans. on Signal Processing, vol.46, no.5, pp.1403-1416, May 1998.
- (6) G. H. Im, "Performance of H0, HDSL and ADSL CAP Transceivers in the presence of NEXT", Technical Memorandum, AT&T Bell Labs., March, 1993
- (7) G. H. Im, M. Sorbara, and J.J. Werner, "Performance of CAP based 6Mb/s ADSL

Architectures in the Presence of 2B1Q HDSL Interference", ANSI T1E1.4/93-056, Mar. 8, 1993

(8) G. H. Im, E. Langberg, and M. Sorbara, "Performance of a 64-CAP based Single Pair HDSL", ANSI T1E1.4/95-076R1, June 5-7, 1995.

(9) G. H. Im, C. K. Un, and J. C. Lee, "Performance of a class of adaptive data-driven echo cancellers", IEEE Trans. on Commun., vol. 37, no. 12, pp 1254-1263, Dec. 1989.

(10) R. D. Gitlin, J. F. Hayes, and S B. Weinstein, Data Communications Principles. Plenum press, 1992.

(11) M. Tomlinson, "New automatic equalizer employing modulo arithmetic", Electron. Lett., vol. 7, nos. 5 and 6, pp. 138-139, Mar. 1971.

(12) H. Harashima and H. Miyakawa, "Matched transmission technique for channels with intersymbol interference", IEEE Trans. Commun., vol. COM-20, no. 4, pp. 774-780, Aug. 1972.

(13) G. D. Forney, Jr. and M. V. Eyuboglu, "Combined Equalization and Coding Using Precoding", IEEE Comm. Magazine, pp. 25-34, Dec. 1991.

(14) R. Laroia, "Coding for Intersymbol Interference Channels-Combined Coding and Precoding", Technical Memorandum, AT&T Bell Labs., Dec, 1993

(15) G.H. Im, S. Gadot, E. Langberg, and J.D. Wang, "Hybrid decision-feedback equalizer arrangement for use in data communications equipment", 1996 (U.S. Patent No. 5,513,216).

## 임 기 홍

1980년 2월 : 서울대학교 전자공학과 (B.S.)  
 1987년 2월 : 한국과학기술원 전기 및 전자공학과 (Ph.D.)  
 1987년 2월 ~ 1990년 10월 : 한국과학기술연구원  
 (선임연구원)  
 1990년 10월 ~ 1996년 2월 : AT&T 벨 연구소 (연구원)  
 1996년 2월 ~ 현재 : 포항공대 전자전기공학과 (부교수)  
 관심분야 : 통신 및 신호처리

## 강 규 민

1997년 2월 : 포항공대 전자전기공학과 (학사)  
 1997년 3월 ~ 현재 : 포항공대 전자전기공학과 (석사과정)  
 주관심분야 : 디지털 통신

## 이 용 운

1978년 2월 : 서울대학교 전기공학과 (학사)  
 1980년 2월 : 서울대학교 전기공학과 (석사)  
 1984년 7월 : 미국 Univ. of Pennsylvania 전기공학과 (박사)  
 1984년 8월 ~ 1989년 1월 : 미국 뉴욕주립대 (조교수)  
 1989년 1월 ~ 현재 : 한국과학기술원 (교수)  
 관심분야 : 디지털 신호처리, VLSI 신호처리,  
 디지털 통신, 이동통신

## 이 경 국

1977년 2월 : 한양대학교 통신공학과 (학사)  
 1979년 2월 : 한양대학교 통신공학과 (석사)  
 1990년 3월 ~ : KAIST 박사과정  
 현재 : LG 정보통신(주) 전송연구단장  
 주관심분야 : 디지털 통신

## 문 두 영

1980년 1월 : 한양대학교 전자공학과 (학사)  
 1980년 1월 ~ 1987년 4월 : 금성전기(주)  
 1987년 5월 ~ 현재 : LG정보통신(주) 책임연구원  
 주관심분야 : 디지털 통신, 무선통신

## 한 상 길

1986년 2월 : 한양대학교 전자공학과 (학사)  
 1990년 6월 ~ 현재 : LG정보통신(주) 선임연구원  
 주관심분야 : xDSL 가입자전송