

100 keV O⁺ 이온 빔에 의한 SIMOX SOI의 Si-SiO₂ 계면 구조

김영필[†] · 최시경[†] · 김현경[‡] · 문대원^{‡*}

한국과학기술원 재료공학과
한국표준과학연구원 표면분석그룹
(1997년 8월 27일 접수)

The Si-SiO₂ interface structure of a SIMOX SOI formed by 100 keV O⁺ ion beam

Y. P. Kim[†], S. K. Choi[†], H. K. Kim[‡] and D. W. Moon^{‡*}

[†]Department of materials science, KAIST, Taejon 305-701

[‡]Surface analysis group, KRIS, Taejon, 305-606

(Received August 27, 1997)

요약 - 100 keV O⁺ 이온 빔에 의해 형성된 separation by implanted oxygen(SIMOX) silicon on insulator(SOI)의 열처리 전후의 계면 구조를 high resolution transmission electron microscopy(HRTEM)을 이용하여 관찰하였다. 실리콘에 주입 온도 550°C에서 $\sim 5 \times 10^{17} \text{ cm}^{-2}$ O⁺를 주입한 직후의 계면은 매우 거칠고 산화물 석출, stacking fault, coesite SiO₂상 석출물 등 여러 가지 형태의 결함들을 가지고 있었다. 반면, 이것을 1300°C에서 열처리한 후의 계면은 매우 편평하고 잘 정의된 계면으로 변화하였다. 열처리후의 계면은 HRTEM을 통해서 3 keV O₂⁺ 이온 빔에 의해 형성된 산화막 계면, 그리고 게이트 산화막으로 사용되는 $\sim 6 \text{ nm}$ 열 산화막 계면과 비교하여 볼 때 비슷한 수준의 roughness를 보여 주었다.

Abstract - The Si-SiO₂ interface of silicon on insulator (SOI) formed by 100 keV O⁺ was observed using high resolution transmission electron microscopy (HRTEM), before and after annealing. The interface of as-implanted sample, $\sim 5 \times 10^{17} \text{ O}^+$ implanted at 550°C, was very rough and it has many defects-oxide precipitate, stacking fault, coesite SiO₂ etc. However, the interface became flat by high temperature annealing at 1300°C for 4 hour. It's roughness, observed by HRTEM, was comparable to the interface roughness of 3 keV O₂⁺ ion beam oxide and $\sim 6 \text{ nm}$ gate oxide formed by thermal oxidation.

1. 서 론

절연층위에 결정성 실리콘이 얹혀진 구조인 silicon on insulator(SOI)는 0.1 μm 이하의 채널 길이를 가진 "sub-micron" 스케일의 MOSFET 제조를 위한 기관의 유력한 후보이다. 그것은 SOI를 이용하여 MOSFET를 만들 경우에 shallow junction을 만들기가 쉽고, junction 아래의 절연층이 breakdown을 막아주기 때문이다[1,2,3]. 또한, SOI를 사용하게 될 경우 보통의 실리콘 기관을 사용할 때 생길 수 있는 latch-up현상을 없앨 수 있고 실리콘 기관과 전극 사이의 기생용량을 줄일 수 있는 등 여러 문제들을 해결해 주어 고속소자와 내 방사성 소자

등에 응용하는데 많은 잇점을 준다[1,4,5].

실리콘에 산소 이온을 주입하여 매물 산화층을 형성 시킴으로써 SOI를 만드는 방법은 1966년 Watanabe와 Tooi가 산소를 실리콘에 주입하여 실리콘 내부를 산화시킨 논문[6]을 처음 발표하고 Izumi 등[7]이 산소이온을 주입하여 생성시킨 SOI를 이용하여 CMOS소자를 제조함으로써 SOI 제조를 위한 방법의 하나가 되었다. Izumi 등에 의하여 이렇게 만들어진 SOI가 SIMOX SOI로 이름 지어 졌다.

SIMOX SOI를 제조할 때 제어되어야 할 필수적인 파라미터들인 산소 이온의 조사량과 열 처리 전후의 주입된 산소의 분포[8,9], 주입 온도와 열처리 온도에 따른

실리콘 내부의 미세구조[10-15], 그리고 이온 주입에 의한 결함의 생성과 그것의 열처리 과정에서의 소멸 등에 관한[16,17] 많은 연구들이 high resolution transmission electron microscopy(HRTEM) 등에 의해 연구되어 실제 디바이스 제조 공정에 이용하는 단계에 이르렀다[18].

MOSFET의 축소화를 위해 게이트 산화막의 두께가 3 nm이하로 접근해 가고 SOI층의 두께 또한 얇아짐에 따라, 일반적인 열 산화막에 의한 Si-SiO₂계면 뿐 아니라 SOI의 경우도 SOI-매물 SiO₂-기판 Si계면의 구조에 대한 이해가 필수적이 되었다[3,19,20]. 이 경우 이온빔에 의하여 계면근방에 생기는 결함들과 그 결함이 열처리에 의하여 어떻게 변화하는가, 그리고 이 결함들이 계면의 거칠기에 어떤 영향을 주는가는 더욱 중요한 문제가 된다.

따라서, 본 논문에서는 100 keV O⁺ 이온을 Si(001)에 주입하여 SOI를 형성시키고, 그것의 SOI-SiO₂-기판 Si계면의 열처리 전후의 미세 구조에 대하여 HRTEM을 이용하여 분석하고, 계면의 거칠기를 열 산화에 의한 계면과 비교하여 이온빔에 의한 손상이 계면의 거칠기에 얼마나 영향을 주는지를 조사하였다.

2. 실험 방법

비저항 15~25 Ωcm의 p-type Si(001)웨이퍼를 5 cm × 5 cm 크기로 자른 것을 10% HF용액에 1분 동안 담가 실리콘 표면의 자연 산화막을 제거하였다. 이것을 탈 이온화한 물에 행구어 이온주입기의 표적함에 장치된 가열장치에 장착 하였다.

실험에 사용한 이온주입기[21]는 크게 이온원과 beam line 그리고 표적함으로 이루어져 있다. 이온 소스는 텅스텐 필라멘트를 이용한 hot filament 방전방식으로서 필라멘트를 가열할 때 발생하는 열 전자를 ~100 V 정도로 가속하여 기체분자에 충돌시켜서 기체를 이온화시키고 이것을 추출하는 방식으로 이온을 만들어 낸다. 이때, 추출 전압은 17 keV를 걸어주었다. 이온 원으로부터 O⁺이온을 얻기 위해 CO₂ 기체를 이용하였다.

이온 원에서 추출되어 빔 라인으로 들어서는 이온들은 질량분석기를 거쳐 ¹⁶O⁺만이 선택되고 83 keV로 가속되어 100 keV의 이온이 되고 사중극자 자석렌즈에 의해 집중되어 표적함으로 들어간다. 이때, 스위칭 마그넷이 산소 이온 빔의 방향을 한번 더 틀어주어 중성 원자와 불순물을 걸러내고 ¹⁶O⁺만이 Si표적에 주입되

록 한다.

산소이온을 주입할 때 산소 이온과 실리콘 원자의 충돌에 의해 실리콘이 비정질로 되는 것을 방지하기 위해 주입 중에도 시편을 가열해 주어야 한다. 시편을 가열해 주기 위해 가열장치를 표적함에 설치하고 위에 실리콘 웨이퍼를 장착 하였다. 실리콘의 온도를 측정하기 위해서는 K-type(chromel-alumel) 열전쌍을 이용하였다. 이 열전쌍을 가열장치에 접촉시키고 이 것을 온도 제어기에 연결하여서 가열장치의 온도를 주입하는 동안 일정하게 유지하여 주었다. 이온 주입중의 시료 온도는 550°C 였다[10,11,12].

이온 주입시 조사량을 측정하기 위해서는 매끄럽게 뚫린 지름 3 mm의 구멍 뒤에 Faraday컵을 설치하고 산소이온을 주입할 때 표적 웨이퍼와 함께 이 컵도 스캔하여 그 컵에 흐르는 전류를 측정하고 이것을 적분하여 얻어졌다. 이때, 이온이 Faraday컵에 충돌할 때 발생하는 이차 전자의 발생을 억제하기 위해 Faraday컵을 ~90 V의 dc bias가 걸린 1 cm 정도 간격을 가진 두 판 사이에 두었다. 주입된 이온의 조사율은 $\sim 3 \times 10^{13} \text{ cm}^{-2} \text{ s}^{-1}$ 정도 였고 5시간 정도 주입하여 조사량은 $5 \times 10^{17} \text{ cm}^{-2}$ 였다.

이온주입을 마친 시편은 열처리 과정을 거친다. 열처리는 반도체 공정에서 사용하는 SiC tube 로와 자체 제작한 quartz tube 로를 이용하여 Ar+1% O₂ 분위기의 1300°C에서 4시간 해 주었다[13,14,15]. Quartz tube 로는 튜브 양 끝에 플랜지를 달아서 진공을 뽑은 후 분위기가스를 채울 수 있게 되어 있다. 히터는 SiC히터를 쓰고 R-type(Pt-Pt+13% Rh) 열전쌍을 튜브 바로 아래에 놓아 온도 제어를 이용하여 로의 온도를 제어하였다. 실제 튜브내부의 온도는 따로 열전쌍을 집어넣어 측정함으로써 보정 하였다. 이 로의 온도증가율은 1000°C 이상에서 3°C/min 였다.

산소 이온을 주입하고 열처리한 시편의 SOI형성 여부와 계면의 구조, 결함 등을 관찰하기 위하여 secondary ion mass spectroscopy(SIMS)와 HRTEM을 이용하여 열처리 전후의 이온주입 시편을 분석하였다. SIMS는 시료 표면을 sputtering하면서 튀어나오는 이온을 검출하여 시료의 성분을 분석하는 장치로 미량원소를 분석하는 잘 알려진 분석방법이다. 산소의 분포를 조사하기 위해 5 keV Ar⁺ 이온을 사용하였다. 사용한 SIMS장치는 Vacuum Science Workshop사의 quadrupole형 SIMS로서 양 이온만을 검출할 수 있는 SIMS였으므로 산소의 분포를 알기 위하여 Si⁺와 SiO⁺ 이온의 양을 조사하고, 실

리콘이 산화되었을 때 실리콘의 이온화율이 높다는 사실로부터 산소의 분포를 얻었다[22].

고 분해능 전자 현미경(HRTEM)은 SOI층과 매물 산화층 계면, 그리고 매물 산화층과 기판 실리콘 계면 근방의 결합들을 비롯한 미세구조를 관찰하기 위한 좋은 도구이다. 실험에서 사용한 HRTEM은 300 keV의 전자빔을 사용하는 Hitachi사의 H-9000NAR 고 분해능 전용 현미경이었다(일반적인 단면 TEM사진들인 Fig. 6과 7도 같은 장치를 이용하여 얻어진 것이다). 좋은 고 분해능 상을 얻기 위해서는 시편을 잘 준비해야 하는데, 단면 시편은 일반적인 방법대로 dummy시편을 진짜시편 양편에 붙여 충분한 두께로 만든 다음 잘라서 thinning과 이온밀링을 하여 만들었다[23].

3. 결과 및 논의

3.1 열처리 전후의 산소 분포

Fig. 1는 100 keV O⁺ 이온을 주입한 실리콘 시편의 열처리전과 후를 SIMS를 이용하여 깊이 분포를 조사한 것이다. 실험 방법에서 간단히 언급한 바와 같이 Si⁺ 이온과 SiO⁺ 이온을 검출하여 그것의 분포를 실리콘 내부의 산소의 분포로 취급하였다[22]. Fig. 1(a)의 열처리 전 시편의 스펙트럼은 산소 이온이 실리콘 시편의 표면에는 존재하지 않고 실리콘 내부에 가우스 분포를 하면서 주입되어 있다는 것을 보여준다. 반면, 이것을 열처리한 후의 시편의 스펙트럼인 Fig. 1(b)는 주입된 산소가 재분포하여 주입직후보다 훨씬 sharp한 계면을 이루게 되었다는 것을 보여준다.

또한, 이 Fig. 1(b)는 이온 주입에 의한 매물 산화층뿐 아니라, 열처리 과정에서 실리콘 표면에 열 산화막이 형성된 것도 함께 보여주고 있다. 이 SOI층위에 생긴 열 산화막은 실제 SOI를 MOSFET에 응용하는 것과는 관계없는 것이다. 그러나, 이 두 산화막을 비교하여 봄으로써 주입된 산소이온의 재 분포에 의해 생긴 매물 산화층의 계면이 열 산화막과 비교 할만하게 잘 정의되어 있다는 것을 알 수 있다. 같은 시편을 TEM으로 관찰한 결과로부터 측정할 매물산화층의 깊이는 280 nm, 두께는 65 nm SOI층의 두께는 250 nm였다.

열처리 후의 SIMS 스펙트럼에서 실리콘 표면이 열 산화되어 산화막이 되는 과정에서의 부피팽창을 고려하여 열처리 전후의 매물 산화층의 위치를 비교해보면, 열처리 과정에서 산소량이 최대인 깊이를 중심으로 모여

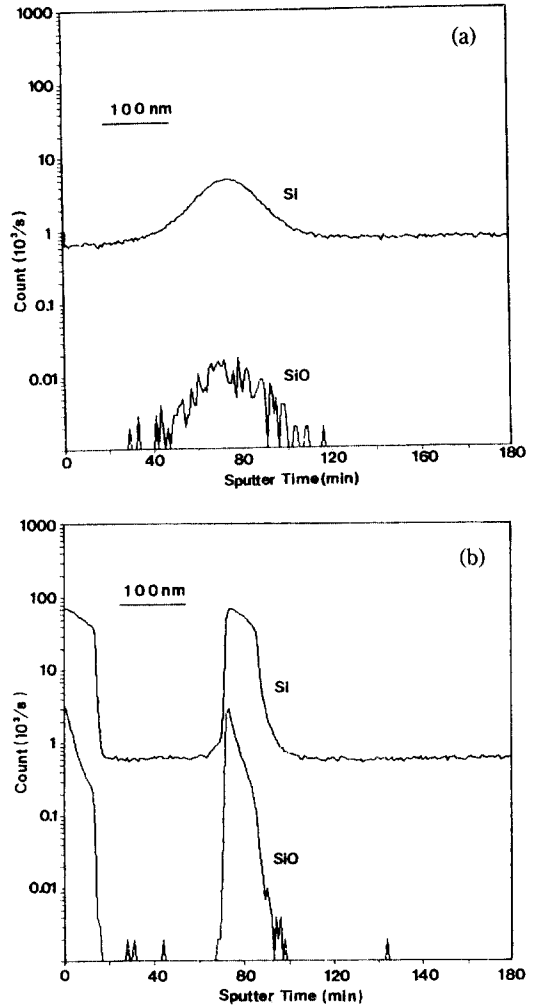


Fig. 1. SIMS depth profiles for 100 keV O⁺ ion implanted silicon ((a) before annealing (b) after annealing at 1300°C for 4 hr.) The profiles of Si and SiO can be treated as a distribution of implanted oxygen.

들어 매물 산화층을 형성한다는 사실을 확인할 수 있다.

3.2 열처리전 시편의 계면근방의 미세구조

Fig. 2은 산소 이온을 주입하고 열처리하기 전 시편을 단면 TEM으로 관찰한 것이다. 표면으로부터 ~280 nm 깊이에 계면이 매우 거칠기는 하지만 연속적인 매물층이 형성되어 있다는 것을 알 수 있다. 또한, SOI층에 결합들이 특징적인 층을 형성하며 분포하는 것을 알 수 있다. Fig. 2에서 보는 바와 같이 표면의 밝은 층(a)을 시작으로 아래로 내려갈수록 어두운 층(b), 밝은 층(c), 다

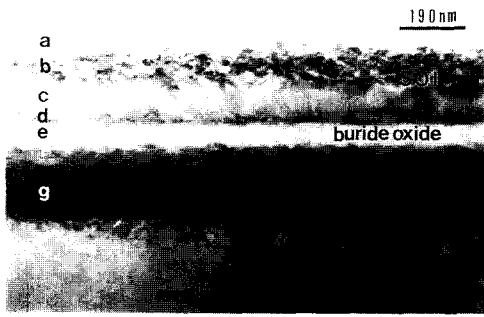


Fig. 2. A cross sectional TEM image for 100 keV O^+ ion implanted silicon ((a) before annealing. A SOI layer divided 4 different damaged sub-layers was observed (a, b, c, d). And the interface of SOI-buried oxide and buried oxide-Si substrate are very rough.

시 어두운 층(d)의 4개의 층으로 나누어진 SOI층의 형태를 볼 수 있다.

주입 온도 350-400°C에서 주입하고 주입 후 1150°C로 열처리한 Tuppen 등[10]의 실험에서도 SOI층이 Fig. 2와 매우 비슷한 양상을 보였다. Tuppen의 시편에서는 표면으로부터 (1)산소가 거의 없는 양질의 결정 Si층, (2)SiO₂ 석출에 의한 dislocation이 다량으로 분포하는 층, (3)다시, SiO₂ 석출이 없는 층, (4)산소 분포에서 'spike'를 보이는 다결정의 불연속적인 산화층, (5)산소 농도가 SiO₂보다 작고 Si crystallite들이 불규칙적으로 분포하는 다결정 층의 다섯 층으로 나누어진 형태를 보였다. 그리고 이 양상은 주입 온도에 따라 달라진다는 것도 보여주었다. 이것을 Fig. 2과 비교하여 볼 때, 각각 (1)-(a), (2)-(b), (3)-(c), (5)-(d)에 해당한다. Fig. 2의 경우 (4)에 해당하는 층을 볼 수는 없었다. 350-400°C에서 주입하고 주입 후 150°C로 열처리한 시편과 550°C에서 주입하고 열처리 안한 시편이 비슷한 양상을 보인다는 것은 주입 후에 후 열처리에 의한 효과 보다 주입 도중에 시편을 가열해 주는 효과가 SOI층의 결함에 미치는 영향이 훨씬 크다는 것을 알 수 있다.

산소 이온을 주입하는 과정에서 충돌에 의해 전달되는 에너지는 대략 산소이온의 도달거리 R_0 의 0.8배 정도에서 최대가 된다[24]. 그 거리는 대략 Fig. 2의 (c)-(d)의 위치에 해당된다. 그러나, Fig. 2에서 보는 것과 같이 (c)와 (d)층의 결함이 (b)에 비하여 적다. 이와 같은 사실은 이 결함이 이온의 충돌에 의해 생긴 것이라기 보다는 충돌에 의해 생긴 일차적 결함들이 550°C의 주입 온도에서 확산되어 (b)의 위치에서 문쳐 결함을 생성시킨다

는 것을 알 수 있다.

Fig. 3은 열처리 전 시편의 매몰 산화층과 SOI계면 그리고 매몰 산화층과 기판 실리콘과의 계면 근방의 미세 구조를 보여주는 HRTEM사진이다. Fig. 3에 SOI와 기판 실리콘 쪽에 결정 상태의 실리콘이 있음을 보여주는 격자부리와 함께 산소 석출물들이 둥근 모양의 비정질 상태로 섞여 있는 것이 보인다. 또한, 아래의 매몰 산화층과 기판 실리콘과의 계면 근방에는 둥근 비정질 석출물과 함께 시편 면과 평행한 방향으로 판상의 석출물들이 SOI-매몰 산화층 경계면 부근 보다 더 발달되어 있다는 것도 보여 주고 있다.

이와 같은 경향은 열처리후의 dislocation의 밀도에 영향을 미친다[25,26,27]. Dislocation이 생기는 원인이 실리콘이 산화되면서 생기는 Si 틈새 원자가 SiO₂상에서 확산해 가는 속도가 실리콘에서의 그것보다 매우 느리

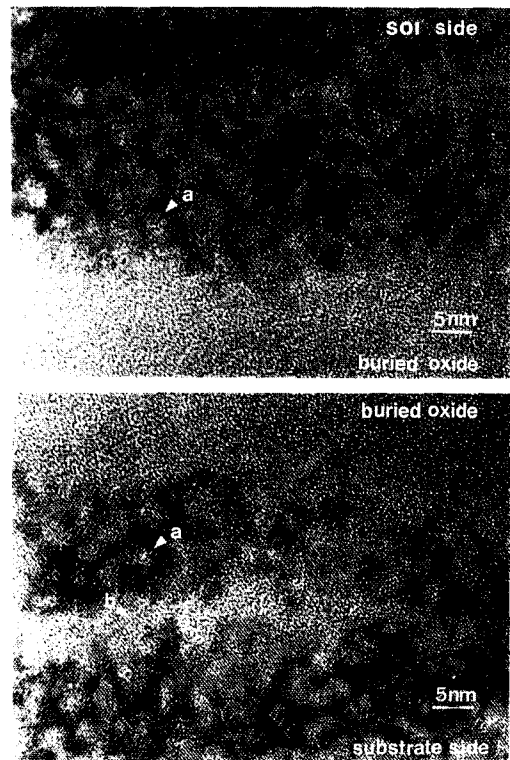


Fig. 3. A cross sectional HRTEM images a for as-implanted SIMS SOI near the Si-buried SiO₂ interfaces. Lattice images for crystalline Si and small spherical oxide precipitates were observed. And lamella shaped oxide precipitates were also observed near the lower interface. (a: spherical oxide precipitate, b: lamella precipitate).

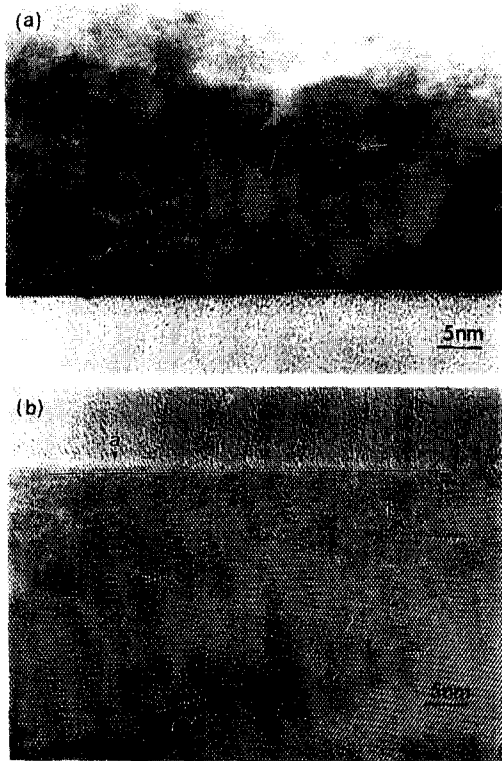


Fig. 4. The HRTEM images for Si-SiO₂ interface for a 100 keV O⁺ implanted and annealed at 1300°C for 4 hour, (a) upper interface, (b) lower interface. Si and SiO₂ phase were separated well by well defined Si-SiO₂ interfaces. The guide line is to estimate the interface roughness and pointed Si lattice by a marker **a** is a upper most one which can be identified as a crystalline Si. And **b** is a dislocation.

기 때문에 SiO₂상에 가로 막혀 쌓여서 dislocation을 만든다는 설명은 Fig. 3과 Fig. 4을 비교하여 관찰함으로써 타당한 근거를 갖는다[27]. Fig. 3을 열처리한 후의 HRTEM사진인 Fig. 4은 아래쪽 계면인 매물 산화층-실리콘 기판 계면에서 SOI-매물 산화층 계면보다 많은 dislocation을 보여주고 있다.

열처리 전에 HRTEM관찰에서 나타나는 또 다른 형태의 결함들은 Fig. 5에 나타낸 stacking fault(a)와 산소 화합물 석출(b)이다. 이 또한 SOI-매물산화층 계면근방과 매물 산화층-실리콘 기판 계면 근방에 특징적으로 나타난다. Stacking fault는 주로 SOI-매물 산화층 계면 근방에서 나타나는 반면 화합물 석출(b)는 주로 매물 산화층-기판 실리콘 계면 근방에서 나타난다. Fig. 5(b)의 석출물의 특징은 무엇보다도 먼저 규칙적인 방향으로 정렬되어서

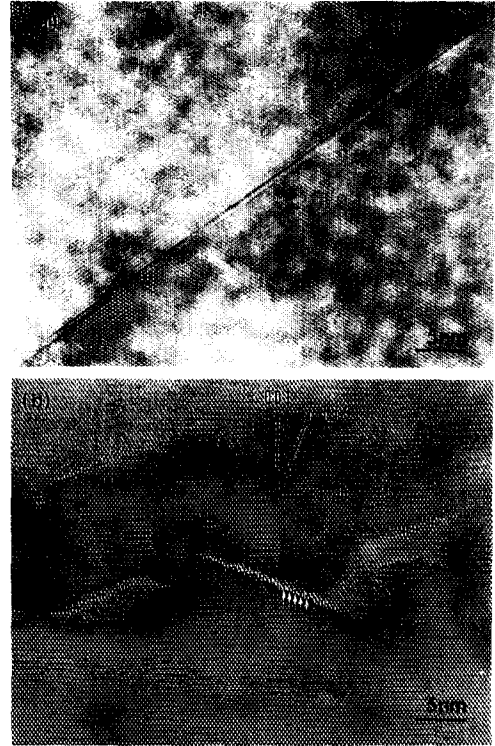


Fig. 5. Two different types of defect near the interface before annealing. ((a) stacking fault at the upper (SOI-buried SiO₂) interface (b) {113} coesite precipitate at the lower (buried SiO₂-Si substrate) interface. Small arrow indicates periodic dark spots of the precipitate. The precipitate forms a ordered phase of SiO₂.

나타난다는데 있다. 기판 실리콘 쪽 계면 근방을 보다 넓게 관찰한 다른 TEM사진들에서 Fig. 5(b)의 석출물들이 넓은 영역에서 규칙적인 방향으로 정렬되어 있는 것을 볼 수 있었다. 이 석출물은 실리콘 [110] 방향과(24.8±1.2)°의 각을 이루고 있다. 이 방향은 Fig. 5(b)에 표시한 대로 25.8°를 이루는 실리콘의 {113} 방향과 거의 일치한다. 또한 이 석출물은 아래쪽에 화살표로 표시한 것과 같이 일정한 주기성을 가지고 있다. 실리콘 격자점의 간격으로 측정된 이 주기는 0.72 nm였다. 이 값을 coesite SiO₂의 a₀방향의 격자 상수인 0.717 nm[28]와 일치한다. 또한 이 석출물에 대하여 microfocusing하여 얻은 회절패턴을 분석한 결과[29]를 종합해 볼 때, 이 석출물은 실리콘의 {113}면에 놓인 판형의 coesite상임을 알 수 있다. 이 석출물이 매물 산화층-실리콘 기판 계면 근방에 광범위하게 나타나지만 그것이 어떤 기작에 의해 생기고 또, 열처리 후의 dislocation에 어떤 영향을 미치는지는 알

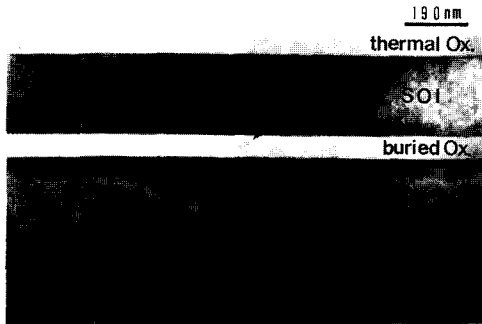


Fig. 6. A cross TEM image for 100 keV O^+ ion implanted and annealed at 1300°C for 4 hour. A 250 nm SOI layer, a 65 nm buried oxide and a thermal oxide (which was formed during annealing) were observed. A pointed one is an island in buried oxide layer.

수 없다. 그러나, 열처리후의 HRTEM 사진인 Fig. 4은 이 결함이 열처리 후에는 거의 없어진다는 것을 보여준다.

3.3 열처리후의 계면

Fig. 6은 Fig. 2에 보여준 시편을 열처리한 후의 모습이다. 표면 산화막 아래에 250 nm 두께의 SOI층과 그 아래에 65 nm 두께의 매물 산화층이 잘 정의된 계면을 가지고 형성되어 있음을 보여준다. SOI층에 열처리 전에 나타났던 결함층의 형태들이 사라지고 다만 중앙에 결함에 의한 스트레스로부터 기인하는 것으로 보이는 명암 무늬가 한 두개 넓게 분포하고 있을 따름이다. 또한, 화살촉으로 가리킨 것과 같이, 매물 산화층의 내부에 실리콘 island들이 한 두개 보인다. 이것들은 SOI와 기판 실리콘 사이에 전기적인 경로를 형성하여 breakdown 전압을 낮추는 역할을 하게되어 문제점의 하나가 된다.

열처리 후 SOI-매물 산화층 계면과 매물 산화층-기판 실리콘 계면을 조사하기 위한 HRTEM 사진인 Fig. 4은 무엇보다도 열처리 전에 Si상과 SiO_2 상이 거칠게 섞여 있어서 불분명하던 계면이 두 상이 잘 분리되어 매우 잘 형성된 계면을 가진 SIMOX SOI 구조를 이루고 있다는 점을 잘 보여주고 있다. 그러나 열처리 후에도 SOI층과 계면근방의 기판 실리콘 층에 dislocation(Fig. 4(b)의 b)을 비롯한 결함들이 존재한다는 것이 보인다.

3.4 100 keV SIMOX SOI와 3 keV 이온 빔 산화막의 Si-SiO₂ 계면

100 keV SIMOX SOI 계면의 거칠기를 측정하기 위하

여 그림에서 보는 것과 같이 기판 실리콘의 격자점 중 계면과 가깝고 격자무늬가 확실한 격자점을 따라서 기준선을 긋고 그 기준선으로부터 계면에서 마지막으로 구분할 수 있는 Si 격자점까지의 거리를 Si 격자점 간격을 단위로 측정하였다[30].

그 결과 계면의 최첨단에 있는 결정 Si 격자의 최대 편차는 HRTEM 격자 간격을 u_0 라고 할 때 $\sim 4 u_0$ 였다. [001] 방향의 격자 거리 $d_{(001)}$ 는 0.136 nm이므로 HRTEM 격자의 [001] 방향의 간격은 $u_0 = 0.136 \times 2 = 0.3$ nm 가된다. 따라서 Fig. 4로부터 측정된 100 keV SIMOX SOI의 계면 거칠기의 rms 값은 ~ 1.2 nm 정도가 된다.

이 값은 bonded and etched back SOI(BESOI)와 SIMOX SOI에 대하여 Crowder 등[31]이 atomic force microscope(AFM)을 이용하여 측정된 값인 1.48 nm(BESOI)와 2.92 nm(SIMOX)와 비교하여 볼 때, BESOI의 거칠기를 갖는 매우 매끄러운 계면을 갖는 시편임을 알 수 있다.

또한, 100 keV SIMOX SOI의 계면 거칠기를 보다 낮은 에너지의 이온 빔 산화막 계면인 3 keV O_2^+ 이온 빔에 의한 산화막 계면의 거칠기와 게이트 산화막으로 사용하는 ~ 6 nm 열 산화막 계면의 거칠기를 비교하여 보았다. Fig. 7는 6 nm 게이트 산화막과 3 keV 이온 빔 산화막의 계면을 HRTEM으로 관찰한 것이다. 이 HRTEM 사진들로부터도 SIMOX SOI 계면의 경우와 마찬가지로 그 거칠기를 재본 결과 열 산화막과 이온 빔 산화막이 각각 ~ 0.6 nm와 ~ 1.2 nm였다. 이것은 HRTEM에서 켄 100 keV SIMOX SOI 계면의 거칠기가 3 keV 이온 빔의 경우와 거의 같고 열산화막도 비교할만한 수준이라는 것을 보여준다.

여기서 HRTEM을 통해 측정된 Si-SiO₂ 계면의 거칠기에 관하여 언급하고 싶은 것은 3 keV 이온 빔 산화막과 ~ 6 nm 게이트 산화막의 계면을 medium energy ion scattering(MEIS) 분석법으로 조사한 결과[32]에 의하면 Si-SiO₂ 계면의 두께가 각각 2.3 nm와 1.3 nm 정도로 HRTEM의 격자 점의 위치로부터 위의 방법으로 켄 계면 거칠기보다 두꺼웠다는 점이다. 그러나 HRTEM을 이용하여 계면의 거칠기를 켈때에 Fig. 7(a)에 보이는 실리콘과 다른 격자 무늬를 갖고 있고 스트레스에 의한 명암차이를 가지고 있는 $4 u_0$ 정도 두께의 영역을 전이층으로 본다면 MEIS 결과와 HRTEM 결과가 같은 계면 두께를 준다고 말할 수 있다. 이와 같이 Si-SiO₂ 계면을 HRTEM으로 관찰하는 경우에 거친 계면을 가진 두꺼운

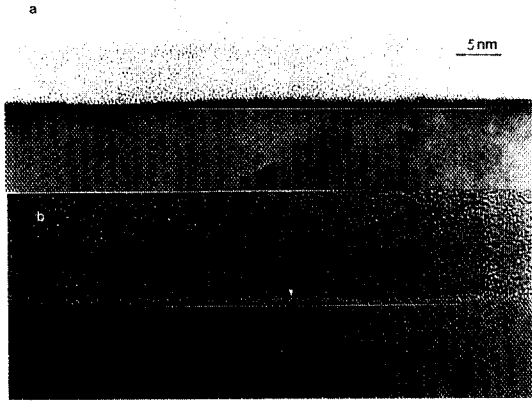


Fig. 7. The HRTEM images for Si-SiO₂ interface a ~6 nm gate thermal oxide(a) and an ion beam oxide formed by 3 keV O⁺ bombardment.

시편의 경우 -TEM 시편의 두께 영역에서 Fig. 7(a)와 같은 격자 무늬를 갖는 다는 것은 Akatsu 등[33]에 의해 알려져 있다.

결합의 농도를 비교하여 볼때, 100 keV O⁺에 의한 Si-SiO₂ 계면의 경우 dislocation과 같은 결합이 열처리 후에도 남아있는 것이 발견되었으나 열 산화에 의한 계면과 3 keV O₂⁺에 의한 계면의 경우는 쉽게 보이지 않았다. 이것은 SIMOX SOI의 결합은 Si-SiO₂ 계면의 격자 불일치에 의한 stress보다는 100 keV O⁺ 이온주입 과정에서 발생하는 격자 손상이 완전히 해소되지 못한 것이 주요한 원인이라고 생각할 수 있다.

4. 결 론

100 keV O⁺ 이온 빔에 의해 형성된 SIMOX SOI의 열처리 전후의 계면 구조를 HRTEM을 이용하여 관찰하였다. 실리콘에 주입 온도 550°C에서 $\sim 5 \times 10^{17} \text{ cm}^{-2}$ O⁺를 주입한 직후의 계면은 매우 거칠고 산화물 석출, stacking fault, coesite SiO₂상 석출물등 여러 가지 형태의 결합들을 가지고 있었다. 반면, 이것을 1300°C에서 열처리한 후의 계면은 매우 편평하고 잘 정의된 계면으로 변화하였다. 이 계면의 거칠기를 HRTEM을 통해서 3 keV O₂⁺ 이온 빔에 의해 형성된 산화막 계면, 그리고 게이트 산화막으로 사용되는 ~6 nm 열산화막 계면과 비교하여 본 결과 계면 거칠기만의 측면에서는 SIMOX SOI와 3 keV 이온 빔 산화막, 그리고 열 산화막이 큰 차이를 보이지 않는다는 것을 알 수 있었다. 그러나 계면

의 결합은 100 keV SIMOX SOI의 경우가 열 산화막이나 3 keV 이온 빔 산화막의 경우보다 많이 존재 하였으며 이것으로부터 100 keV SIMOX SOI의 결합이 산화막과 실리콘의 stress보다는 이온 주입 과정의 격자 손상으로부터 크게 기인한다고 말할 수 있다.

감사의 글

시편의 열처리에 도움을 주신 배영호 박사님과 HRTEM 사진을 찍고 해석하는 데 도움을 주신 이학주 박사님께 감사를 드립니다. 본 연구는 분자과학연구센터의 지원을 받았읍니다.

참고문헌

1. J.P. Calinge, *Silicon-on-Insulator Technology: Materials to VLSI*, (Kluwer Academic, Boston, 1991).
2. R. Yan, A. Ourmazd and K.F. Lee, IEEE Trans. Electr. Dev. **39**, 1704 (1002).
3. C.A. Mead, J. VLSI Signal Processing **8**, 9 (1994).
4. H.H. Hosack, T.W. Houston and G.P. Pollack, Solid State Technol. Dec. (1990) pp. 61.
5. M.A. Guerra, Solid State Technol. Nov. (1990) pp. 75.
6. M. Watanabe and A. Tooi, Jpn. J. Appl. Phys. **5**, 737 (1966).
7. K. Izumi, M. Doken and H. Ariyoshi, Electron. Lett. **14**, 593 (1978).
8. E.A. Maydell-Ondrusz and I.H. Wilson, Thin Solid Films **114**, 357 (1984).
9. S. Nakashima and K. Izumi, J. Mater. Res. **7**, 788 (1992); IEICE Trans. Electr. **E75-C(12)** 1415 (1992).
10. C.G. Tuppen, M.R. Taylor, P.L.F. Hemment and R. P. Arrowsmith, Appl. Phys. Lett. **45**, 1081 (1984).
11. O.W. Holland, T.P. Sjoreen, D. Fathy and J. Narayan, Appl. Phys. Lett. **45**, 1081 (1984).
12. A. Golanski, A. Perio, J.J. Grob, R. Stuck, S. Maillot and E. Clavelier, Appl. Phys. Lett. **49**, 1423 (1986).
13. B.Y. Mao, P.H. Chang, H.W. Lam, B.W. Shen and J.A. Keenan, Appl. Phys. Lett. **48** 794 (1986).
14. A. Mogro-Campero, R.P. Love, N. Lewis, E.L. Hall and M.D. McConnell, J. Appl. Phys. **60**, 2103 (1986).
15. G.K. Celler, P.L.F. Hemment, K.W. West, J.M. Gibson, Appl. Phys. Lett. **48**, 532 (1986).
16. J. Margail, J. Stoemenos, C. Jaussaud and M. Bruel, Appl. Phys. Lett. **54**, 562 (1989).

17. B. Leroy, *Philos. Mag. B*, **55**, 159 (1987).
18. Y. Hu, C.W. Teng, T.W. Houston, K. Joyner and T. J. Anton, 1996 Sympo. on VLSI Technol. Digest of Technical Paper, (1996) p. 128.
19. M. Jurczak, A. Jakubowski and L. Lukasiak, *Micr-oelectronics J.* **28**, 173 (1997).
20. H.S. Momose, M. Ono, T. Yoshitomi, T. Ohguro, S. Nakamura, M. Saito and H. Iwai, *IEEE Trans. Electr. Dev.* **43**, 1233 (1996).
21. 김현경, 문대원, 김영필, 이재철, 강희재, *한국진공학회지*. **6**(2), 97 (1997).
22. K. Wittmack, *Surf. Sci.* **112**, 168 (1981).
23. 이석재, 석사학위논문 한양대학교 (1996) pp. 15-19.
24. B.K. Winterbon, *Ion implantation range and energy deposition distributions*, (Plenum, New York, 1975).
25. D. Hill, P. Fraundort and G. Fraundort, *J. Appl. Phys.* **63**, 4933 (1988).
26. D. Venables, K.S. Jones and F. Nambar, *Appl. Phys. Lett.* **60**, 3147 (1992).
27. J. Margail, J. Stoemenos, C. Jaussaud and M. Bruel, *Appl. Phys. Lett.* **54**, 526 (1989).
28. R.W.G. Wyckoff, *Crystal Structure*, 2nd ed. vol. 1 (Interscience Publishers, New York, 1963).
29. A.H. van Ommen, B.H. Koek and M.P.A. Vieggers, *Appl. Phys. Lett.* **49**, 628 (1986).
30. S.M. Goodnick, D.K. Ferry, C.W. Wilmsen, Z. Liliental, D. Fathy and O.L. Krivanek, *Phys. Rev. B* **32**, 8171 (1985).
31. S.W. Crowder, P.B. Griffin and J.D. Plummer, *Appl. Phys. Lett.* **65**, 1698 (1994).
32. Y.P. Kim, S.K. Choi, H.K. Kim and D.W. Moon, *Appl. Phys. Lett.* (in press).
33. H. Akatsu, Y. Sumi and I. Ohdomari, *Phys. Rev. B* **44**, 1616 (1991).